

目录

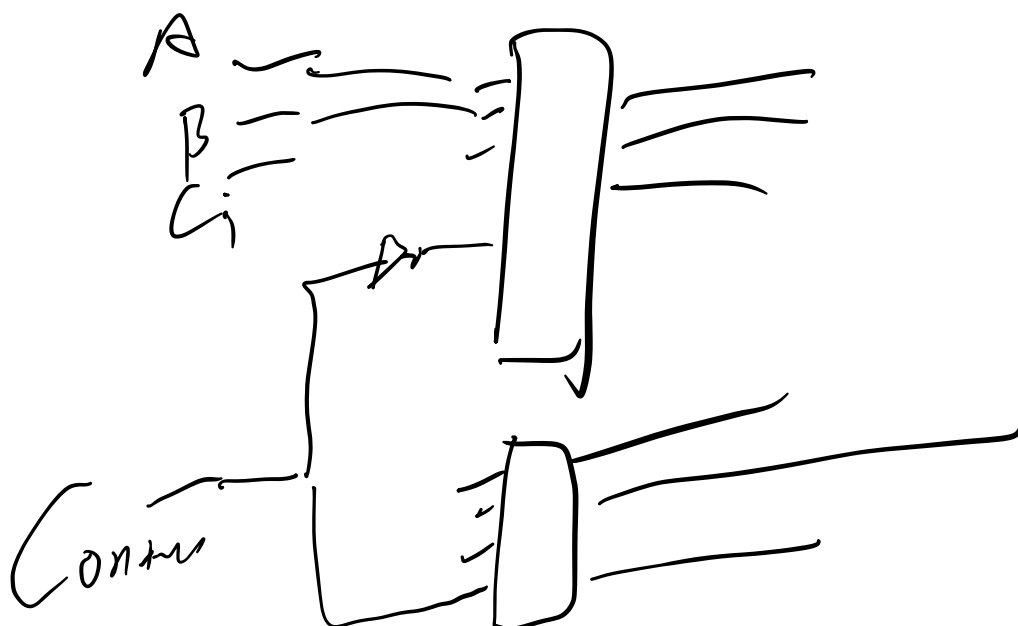
一、实验要求.....	2
二、参考内容.....	3
1. 数据选择器及应用.....	3
2. 译码器及应用	6
三、实验开发板 DE0 的基本使用	9

一、实验要求

要求 1: 参照参考内容，调用 MAXPLUSII 库中的组合逻辑器件 74153 双四数据选择器和 7400 与非门，用原理图输入方法实现一位全加器。（QuartusII 实现波形仿真和下载开发板验证）

要求 2: 参照参考内容，调用 MAXPLUSII 库中的组合逻辑器件 74138 三线八线译码器和 7420 与非门，用原理图输入方法实现一位全减器。（QuartusII 实现波形仿真和下载开发板验证）

要求 3: 在要求 1 和要求 2 的基础上，自选门电路或组合逻辑电路，用一个开关作为控制端，当控制开关为 0 时实现一位全加器；当控制开关为 1 时实现一位全减器。（QuartusII 实现波形仿真和下载开发板验证）



二、参考内容

1. 数据选择器及应用

一、实验目的

1. 通过实验的方法学习数据选择器的电路结构和特点。
2. 掌握数据选择器的逻辑功能及其基本应用。

二、实验内容

1. 某导弹发射场有正、副指挥员各一名，操作员两名。当正副指挥员同时发出命令时，两名操纵员中有一人按下发射按钮，即可产生一个点火信号发射导弹，设计组合逻辑电路，用 **74LS153** 和门电路完成点火信号的控制，写出函数式，列出真值表，画出实验电路。
2. 用 **74LS153** 和门电路设计一个一位全加器。

三、实验步骤与结果

1. 点火信号控制电路设计

组合逻辑电路采用正逻辑。A、B、C、D 为四个输入变量（A、B 为指挥员，C、D 为操作员），F 表示输出变量（1 表示发射，0 表示不发射）。真值表为：

A	B	C	D	F
1	1	1	0	1
1	1	0	1	1
1	1	1	1	1

画出卡诺图：

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	0	0	1	0
10	0	0	1	0

降维卡诺图：

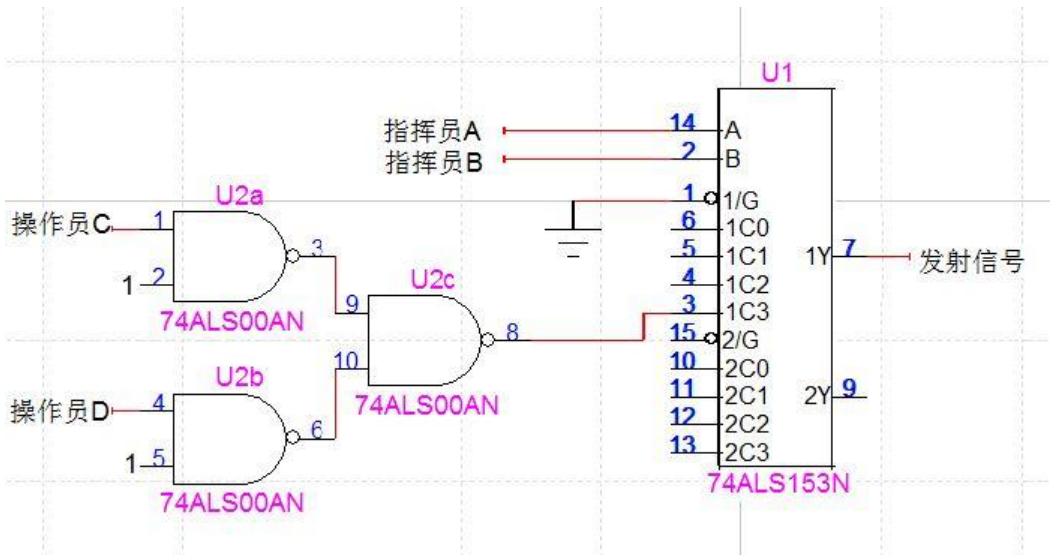
AB \ C	0	1
00	0	0
01	0	0
11	D	1
10	0	0

根据降维卡诺图得到如下表达式：

$$F = A\overline{B}\overline{C}D + ABC$$

$$= AB(C + D)$$

组合逻辑电路为：



2. 一位全加器设计

组合逻辑电路中 A、B、C 为输入端，S1、C0 为输出端，其中 A 为被加数，B 为加数，C 为前级加法器的进位，S1 为和的个位，C0 表示是否进位。真值表为：

A	B	C	S1	C0
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

根据真值表，画出卡诺图：

AB \ C	00	01	11	10
0	0	1	0	1
1	1	0	1	0

S 卡诺图

AB \ C	00	01	11	10
0	0	0	1	0
1	0	1	1	1

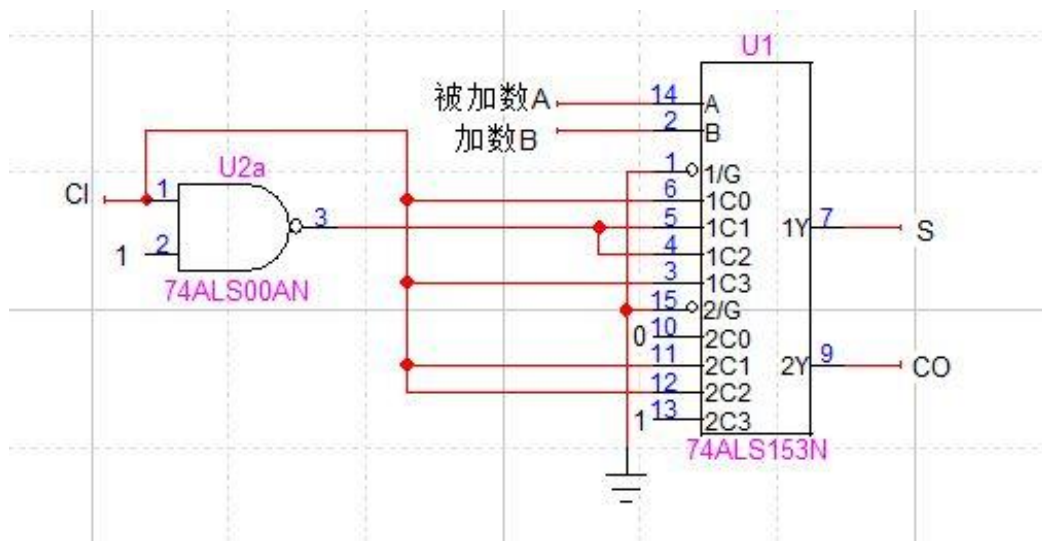
$\overline{A}\overline{B}$ · C0
· C1

C0 卡诺图

降维后：

AB	00	01	11	10
S1 端	CI	\overline{CI}	CI	\overline{CI}
CO 端	0	CI	1	CI

组合逻辑电路为:



2. 译码器及应用

一、实验目的

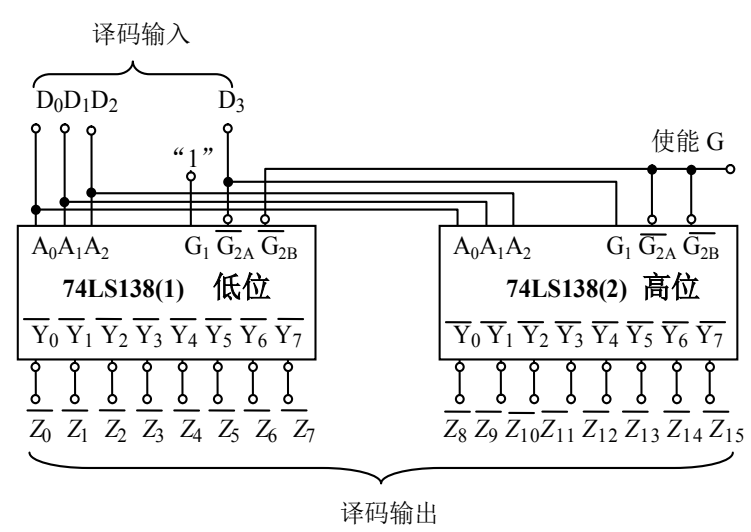
1. 通过实验的方法学习 74LS138 的电路结构和特点。
2. 掌握 74LS138 的逻辑功能及其基本应用。

二、实验内容

1. 将两个 3/8 线译码器组成 4/16 线译码器。
2. 利用 74LS138 设计实现脉冲分配器。
3. 利用 74LS138 设计实现全加器。

三、实验步骤与结果

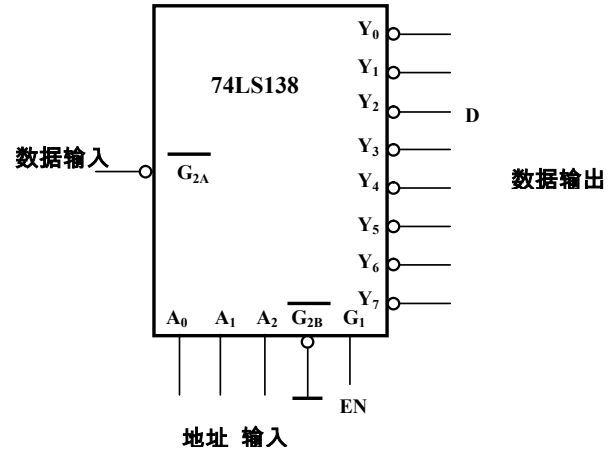
1. 利用使能端将两片 74LS138（3/8 译码器）组合成一片四线十六线译码器。



74LS138 扩展图

2. 设计实现脉冲分配器。

二进制译码器实际上也是脉冲分配器。利用使能端中的一个输入端输入数据信息，器件就成为一个数据分配器(又称多路分配器)，如图所示。若在 **G1** 输入端输入数据信息， $\overline{G_{2A}} = \overline{G_{2B}} = 0$ ，地址码所对应的输出是 **G1** 数据信息的反码；若从 $\overline{G_{2A}}$ 端输入数据信息，令 **G1**=1、 $\overline{G_{2B}} = 0$ ，地址码所对应的输出就是 $\overline{G_{2B}}$ 端数据信息的原码。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。



74LS138 实现脉冲分配器

3. 利用 74LS138 设计实现全加器。

3 位二进制译码器给出 3 变量的全部最小项;

$$Y_0 = \overline{C}\overline{B}\overline{A} = \overline{m_0} \quad Y_1 = \overline{C}\overline{B}A = \overline{m_1} \quad Y_2 = \overline{C}B\overline{A} = \overline{m_2} \quad Y_3 = \overline{C}BA = \overline{m_3}$$

$$Y_4 = C\overline{B}\overline{A} = \overline{m_4} \quad Y_5 = C\overline{B}A = \overline{m_5} \quad Y_6 = CB\overline{A} = \overline{m_6} \quad Y_7 = CBA = \overline{m_7}$$

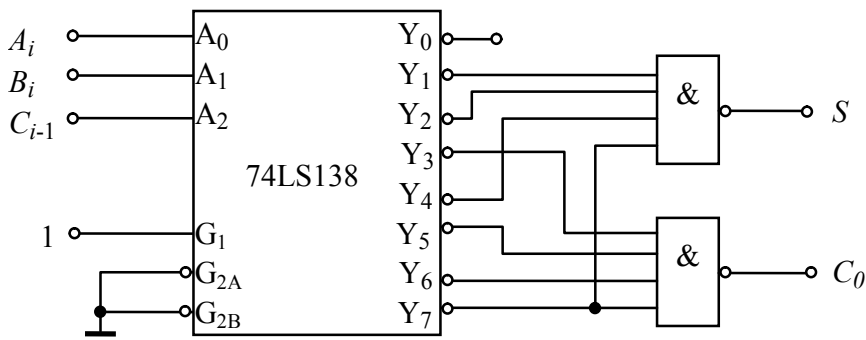
利用这些最小项实现各种组合逻辑电路。

A	B	C _{i-1}	S	C ₀
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

①写出全加器函数的标准与或表达式，并变换为与非-与非形式。

$$\begin{cases} S(A_i, B_i, C_{i-1}) = \sum m(1,2,4,7) = \overline{m_1}\overline{m_2}\overline{m_4}\overline{m_7} \\ C_o(A_i, B_i, C_{i-1}) = \sum m(3,5,6,7) = \overline{m_3}\overline{m_5}\overline{m_6}\overline{m_7} \end{cases}$$

②画出用二进制译码器和与非门实现这些函数的接线图。



用 74LS138 实现全加器

三、实验开发板 DE0 的基本使用

(1) 开关

开发板DE0提供了10个拨动开关，分别以SW0到SW9标注。它们如图4所示分别直接连接到Cyclone III FPGA芯片上。开关拨至上方对应的FPGA输入为高电平（3.3V）；当开关拨至下方对应的FPGA输入为低电平（0V）。拨动开关的引脚分配如表1所示。

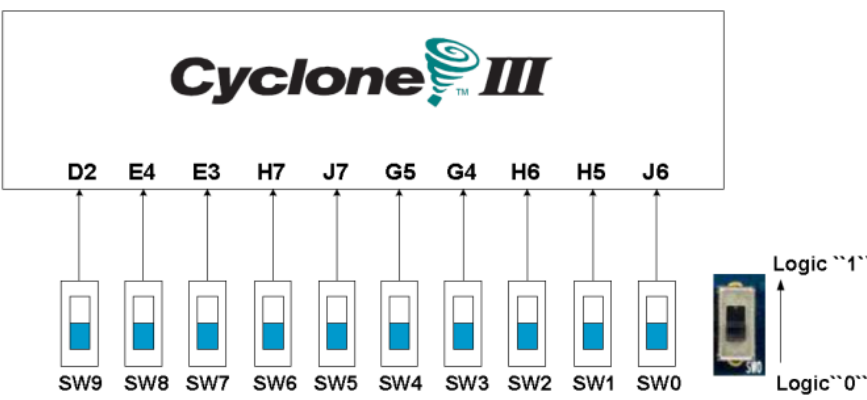


图4 拨动开关与Cyclone III FPGA之间的连接

表1 拨动开关的引脚分配表

信号名称	FPGA引脚号
SW[0]	PIN_J6
SW[1]	PIN_H5
SW[2]	PIN_H6
SW[3]	PIN_G4
SW[4]	PIN_G5
SW[5]	PIN_J7
SW[6]	PIN_H7
SW[7]	PIN_E3
SW[8]	PIN_E4
SW[9]	PIN_D2

(2) LED灯

板上提供了10个用户可控的发光二极管，分别以LDE0到LED9标注。它们如图5所示方式连接到Cyclone III FPGA芯片上。当FPGA对应输出端口为高电平时，点亮相应的发光二极管。发光二极管的引脚分配如表2所示。

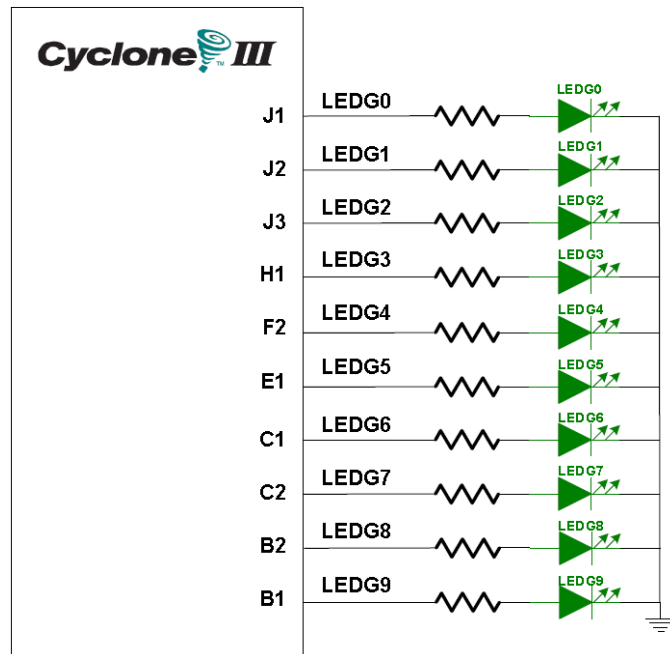


图5 发光二极管与Cyclone III FPGA之间的连接

表2 发光二极管的引脚分配表

信号名称	FPGA引脚号
LEDG[0]	PIN_J1
LEDG[1]	PIN_J2
LEDG[2]	PIN_J3
LEDG[3]	PIN_H1
LEDG[4]	PIN_F2
LEDG[5]	PIN_E1
LEDG[6]	PIN_C1
LEDG[7]	PIN_C2
LEDG[8]	PIN_B2
LEDG[9]	PIN_B1

(3) 7段数码管

板上提供了4个7段共阳极数码管，分别以HEX0到HEX3标注。它们如图6所示方式连接到FPGA芯片上。当FPGA对应输出端口为低电平时，点亮数码管相应的段；当FPGA对应输出端口为高电平时，熄灭数码管相应的段。数码管的各段位置索引如图7所示。4个7段共阳极数码管的各段引脚与FPGA引脚引脚分配如表3所示。

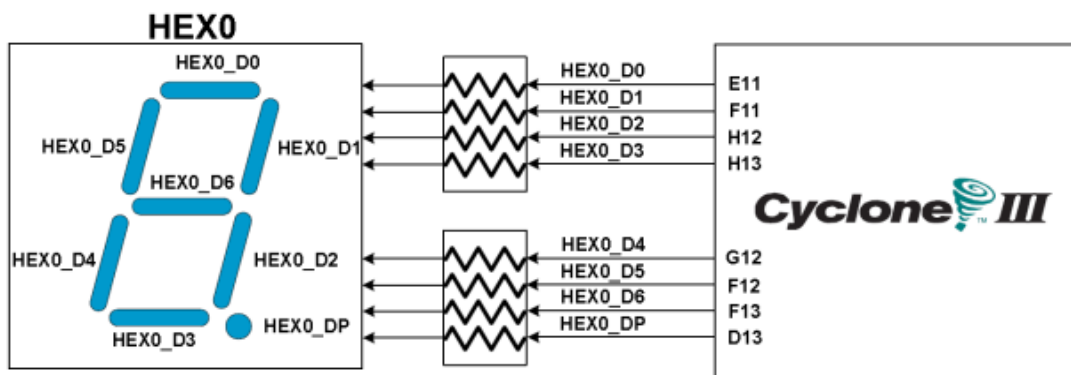


图6

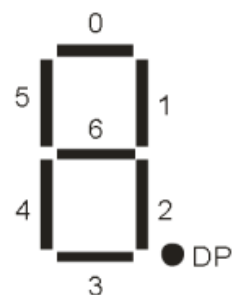


图7

表3 4个7段共阳极数码管的各段引脚与FPGA引脚分配表

信号名称	FPGA 引脚号	信号名称	FPGA 引脚号	信号名称	FPGA 引脚号	信号名称	FPGA 引脚号
HEX0-0	PIN_E11	HEX1-0	PIN_A13	HEX2-0	PIN_D15	HEX3-0	PIN_B18
HEX0-1	PIN_F11	HEX1-1	PIN_B13	HEX2-1	PIN_A16	HEX3-1	PIN_F15
HEX0-2	PIN_H12	HEX1-2	PIN_C13	HEX2-2	PIN_B16	HEX3-2	PIN_A19
HEX0-3	PIN_H13	HEX1-3	PIN_A14	HEX2-3	PIN_E15	HEX3-3	PIN_B19
HEX0-4	PIN_G12	HEX1-4	PIN_B14	HEX2-4	PIN_A17	HEX3-4	PIN_C19
HEX0-5	PIN_F12	HEX1-5	PIN_E14	HEX2-5	PIN_B17	HEX3-5	PIN_D19
HEX0-6	PIN_F13	HEX1-6	PIN_A15	HEX2-6	PIN_F14	HEX3-6	PIN_G15
HEX0-DP	PIN_D13	HEX1-DP	PIN_B15	HEX2-DP	PIN_A18	HEX3-DP	PIN_G16

(4) 时钟电路

板上提供一个50MHz时钟信号，该时钟信号连接到FPGA中作为用户逻辑时钟使用。

实验板时钟分配框图如图8所示。时钟输入到FPGA的I/O引脚的相关引脚分配如表4所示。

注：实验中使用用PIN_G21管脚。

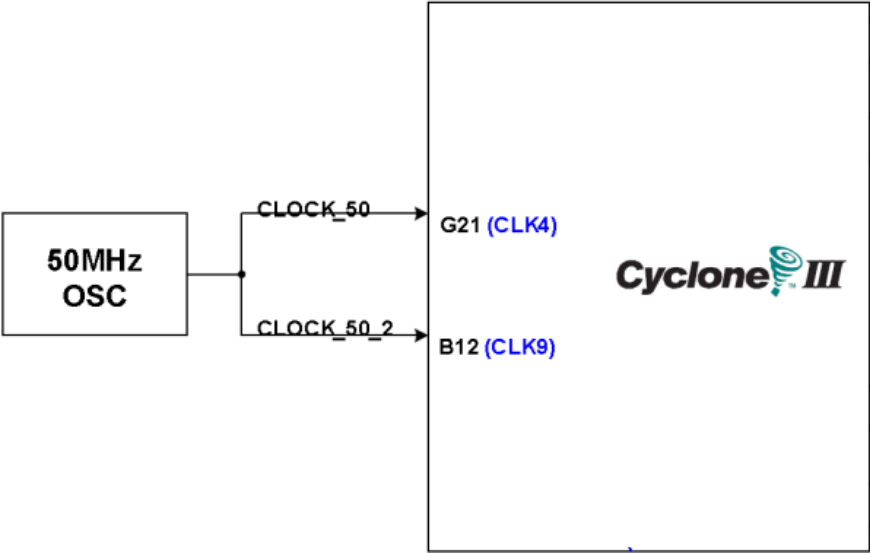


图8 时钟分配框图

表4 FPGA时钟输入的引脚分配表

信号名称	FPGA引脚号
CLOCK_50	PIN_G21
CLOCK_50_2	PIN_B12