

目录

一、实验要求	2
二、参考内容：Quartus II 基本应用—用原理图输入编写一位全加器.....	3
1 创建工程项目	3
2 新建原理图文件	7
3 绘制原理图.....	8
4 编译程序	11
5 波形仿真	12
6 目标器件的引脚设置	17
7 目标器件写入.....	19
三、实验开发板 DE0 的基本使用.....	21

一、实验要求

要求 1: 测试与非门逻辑功能。用 MULTISIM 软件仿真后，用 FPGA 实现电路测试逻辑功能。

要求 2: 用与非门实现“与”逻辑。用 MULTISIM 软件仿真后，用 FPGA 实现电路测试逻辑功能。

要求 3: 用与非门实现“或”逻辑。用 MULTISIM 软件仿真后，用 FPGA 实现电路测试逻辑功能。

要求 4: 用与非门实现“异或”逻辑。用 MULTISIM 软件仿真后，用 FPGA 实现电路测试逻辑功能。

要求 5: 用门电路设计实现一位全加器，用 MULTISIM 软件仿真后，用 FPGA 实现电路测试逻辑功能。

二、参考内容：Quartus II 基本应用—用原理图输入编写一位全加器

下面以一位全加器的设计为例，介绍使用Quartus II软件的原理图输入方法进行电路设计的过程。一位全加器电路图如图1所示：

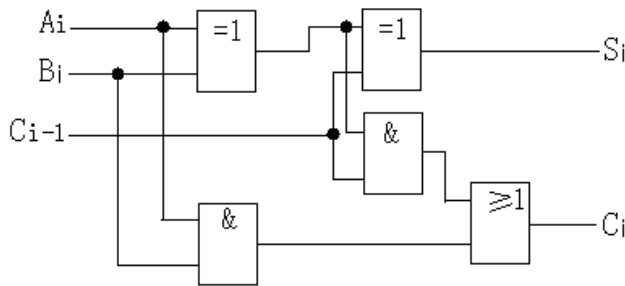


图 1

1 创建工程项目

Quartus II软件设计电路采用了项目概念，所谓项目就是将当前的设计描述、设置、数据以及输出进行集合，Quartus II会将这些不同类型的文件存储于同一文件夹中，便于进行管理。

启动Quartus II软件，出现如图2所示的程序界面，新建一个项目，如图3所示，执行【File/New Project Wizard ...】菜单命令。进入如图4所示的新项目向导简介，若在该界面中勾选—Don't show me this introduction again—前的选择框，以后启动新建项目就不再显示该向导简介页面。点击【Next】按钮，进入如图5所示的项目基本信息设置对话框。第一个编辑框设置存放该项目的路径名与文件夹名，例如：直接输入存放项目的路径与文件夹d:\alterawork\add1a；第二个编辑框设置项目名称，例如：输入add1a；第三个编辑框设置顶层实体名称，需要注意的是，顶层实体名和项目名应该相同，这样可以避免仿

真时出错，因此，在输入第二个项目名称编辑框时，自动会在第三个编辑框中生成一个与项目名称相同的顶层实体名称add1a。同时顶层实体名和项目名都不能使用中文或与Quartus II设计库中的模块名称相同。完整的项目信息填写如图6所示。

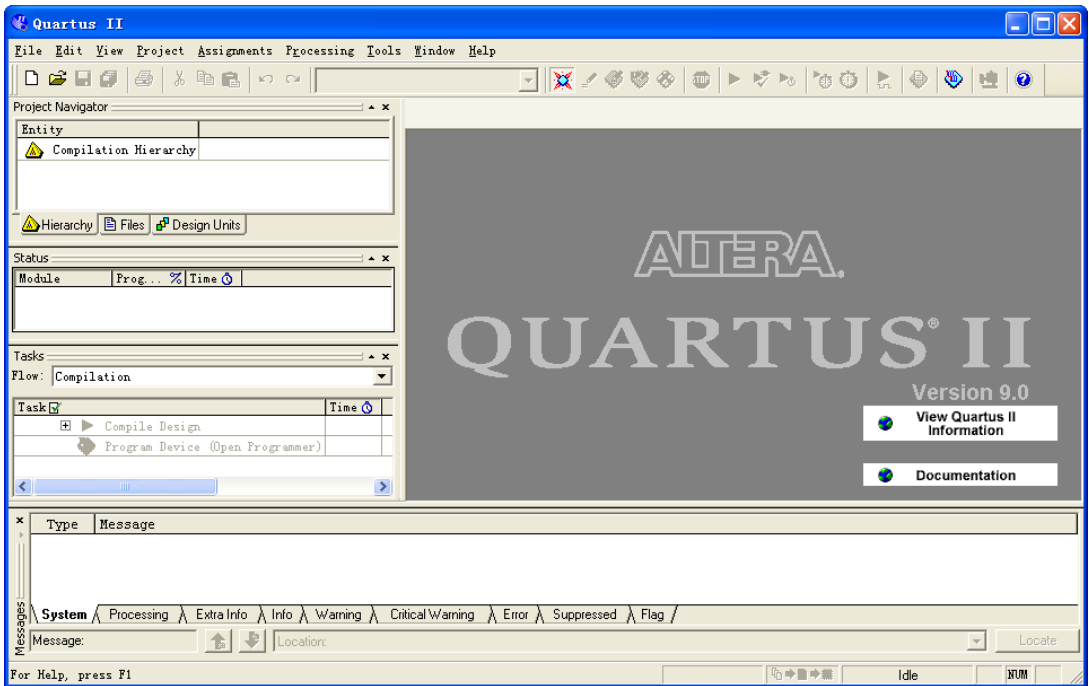


图2 Quartus II程序界面

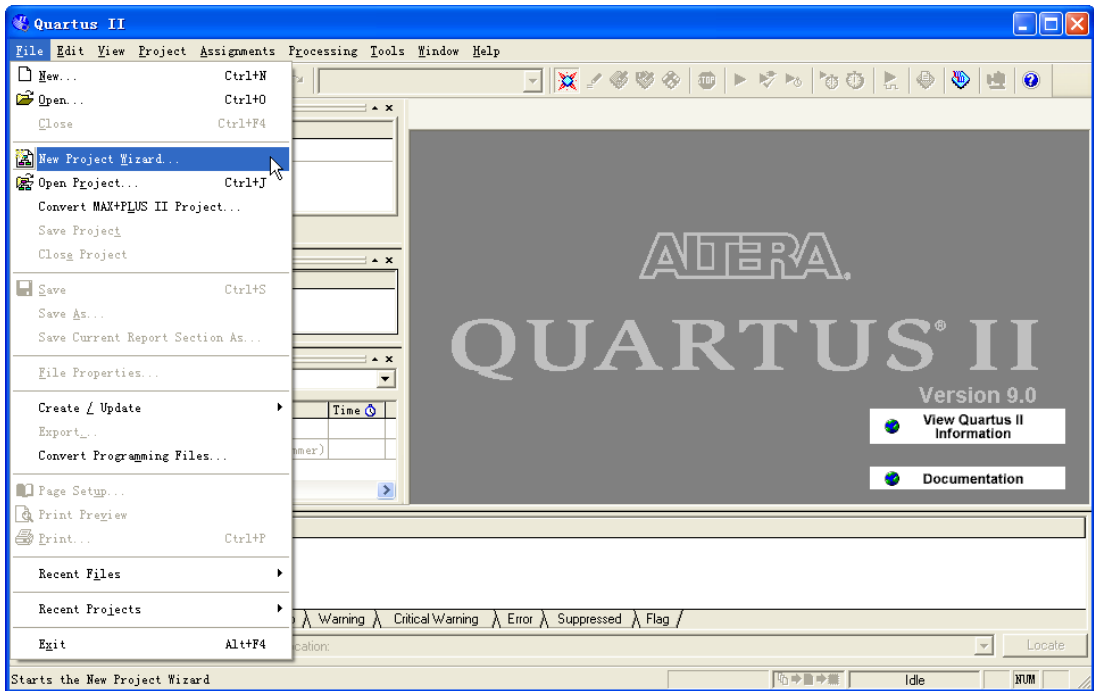


图3 新建项目

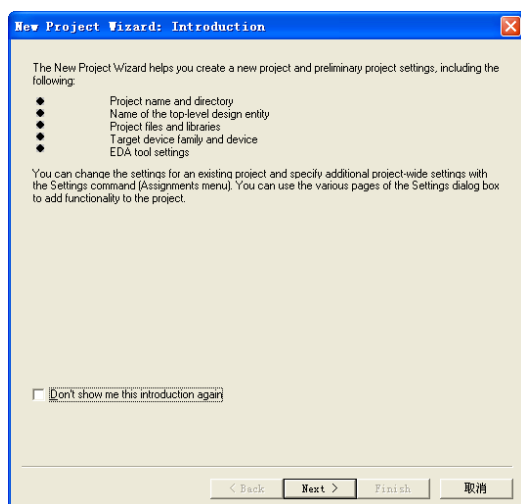


图4 新项目向导简介页

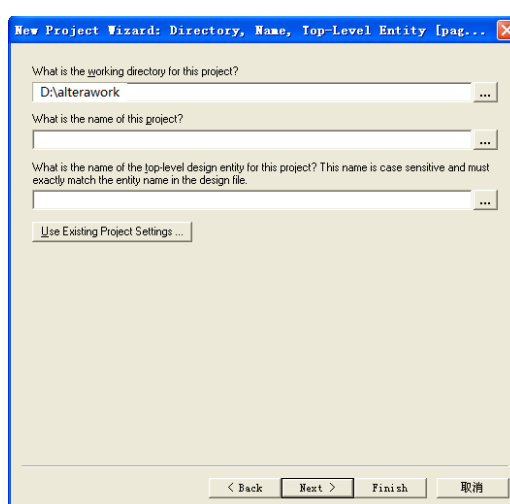


图5 项目基本信息设置对话框

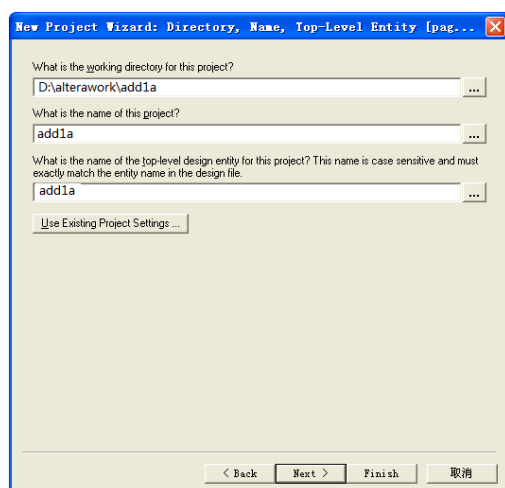


图6 项目信息填写

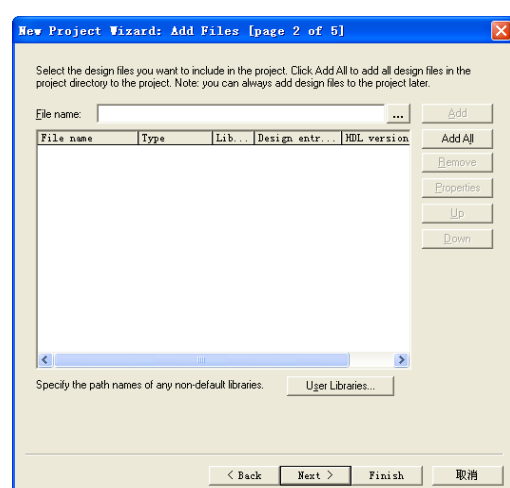


图7 添加设计文件对话框

项目信息设置完成后，点击【Next】按钮，如果项目文件夹不存在，会弹出对话框询问是否新建该项目文件夹，点击【是】按钮确认新建。然后进入如图7所示的添加设计文件对话框，如需要可通过点击【...】按钮选择文件后，点击【Add】按钮将已完成的设计文件添加到本项目中，或点击【Add All】按钮将所有以选择的文件添加到当前设计项目中，如果不需添加设计文件则点击【Next】按钮跳过，进入目标器件设置对话框，如果将所设计的文件下载到实验开发板DE0中，选择Cyclone III系列中的EP3C16F484C6器件，如图8所示。点击【Next】按钮，进入如图9所示的EDA工具设置对话框，用于设置使用第三方的综合器、仿真器和时序分析工具。如果不使用点击【Next】按钮，进入

如图10所示的新项目设置汇总信息。在该对话框中可以察看所有设置的信息。点击【Finish】按钮完成新项目向导设置。

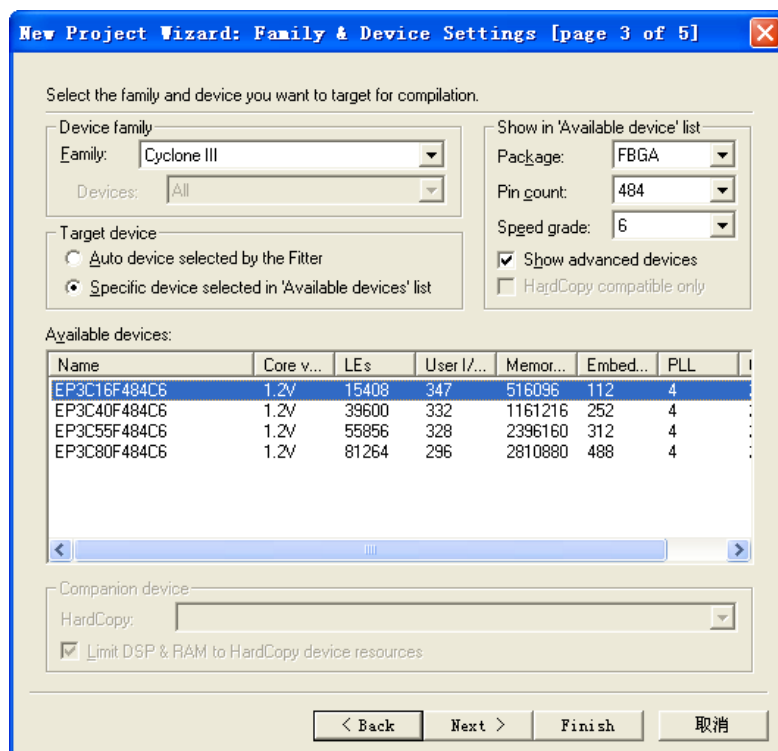


图8 目标器件设置对话框

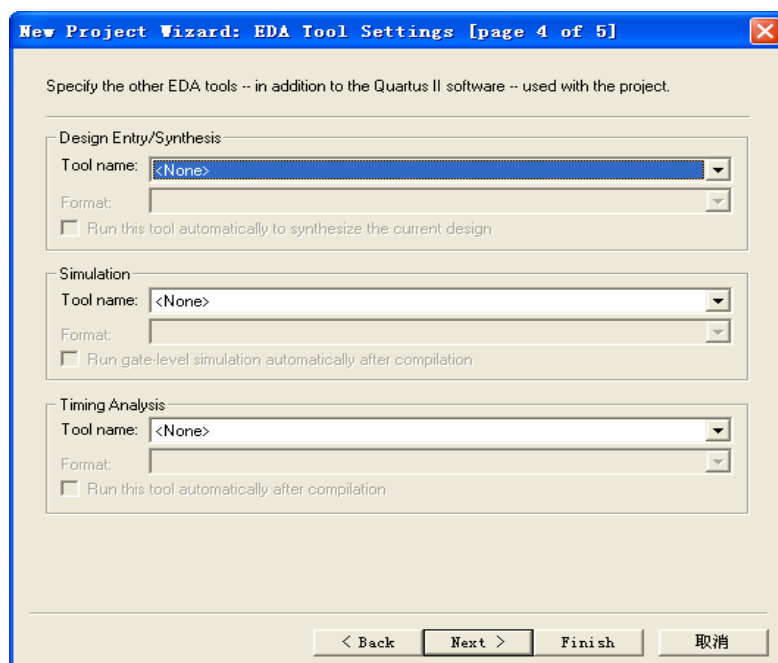


图9 EDA工具设置对话框

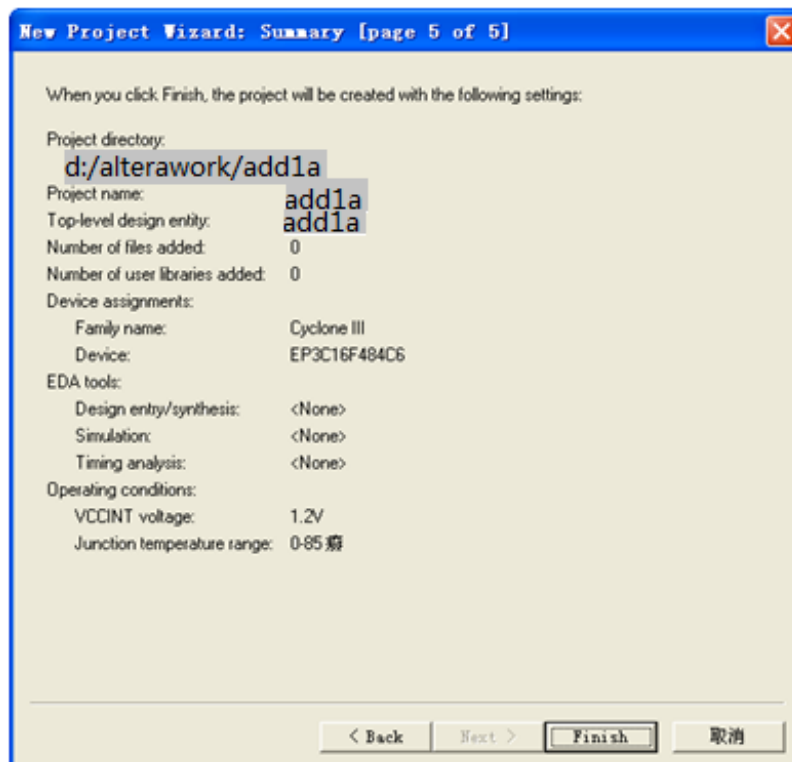


图10 新项目设置汇总信息

2 新建原理图文件

完成新建项目add1a，出现如图11所示的界面。执行【File\New ...】菜单命令，进入如图12所示的新建文件类型选择对话框。选择Design Files中的Block Diagram/Schematic file项。点击【OK】按钮，进入如图13所示的新建原理图窗口。

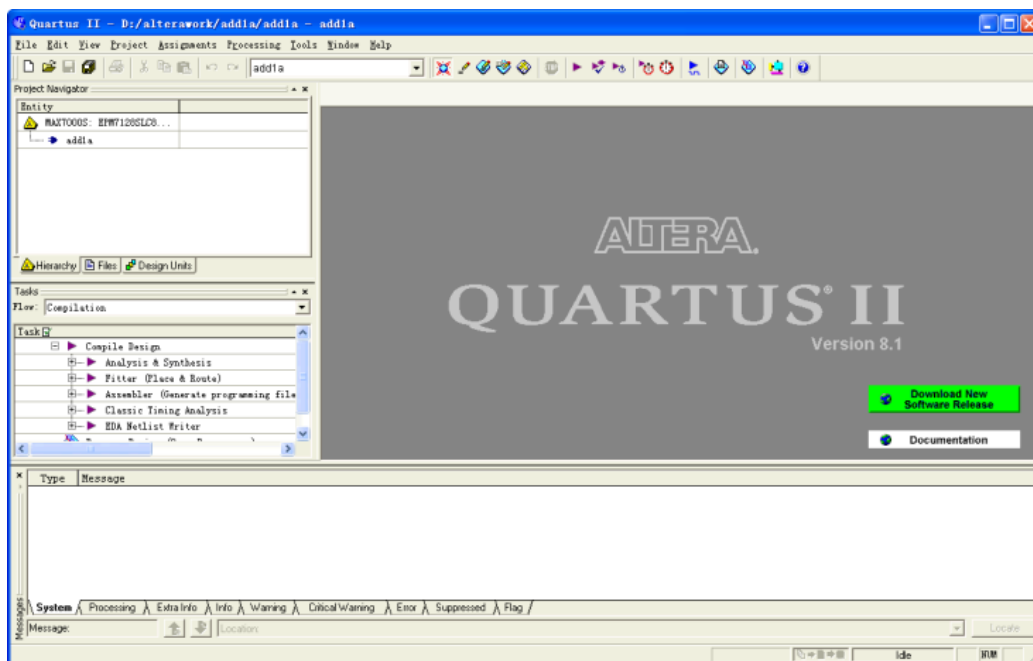


图 11 新建项目 add1a 界面

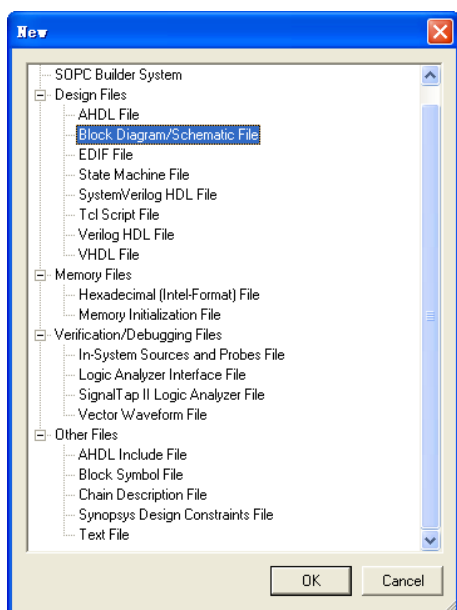


图 12 新建文件类型选择对话框

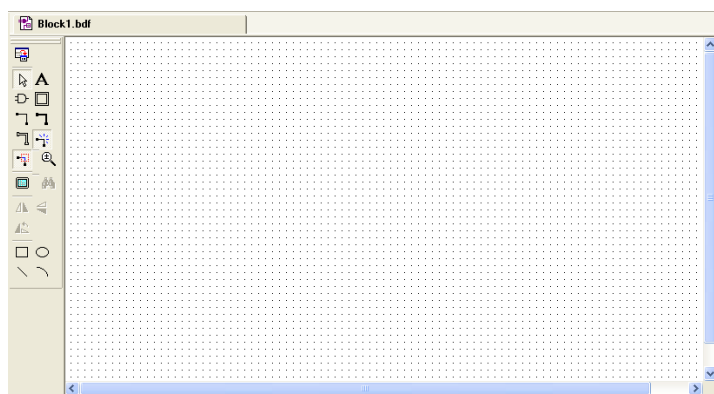



图 13 新建原理图窗口

3 绘制原理图

(1) 放置元件符号

点击绘图工具  图标弹出如图14所示的图形符号对话框, 在【Libraries:\primitives\logic】

下选择【and2】，在右侧的图形窗口出现二输入与门，勾选【Repeat insert mode】项可重复放置该元件符号。点击【OK】按钮，将其放置到图13所示的原理图窗口，按键盘【Esc】可退出重复放置元器件符号。同理放置异或门【XOR2】和或门【OR2】。然后，如图15所示在图形符号对话框中，选取【Libraries:\primitives\pin】下的输入引脚【input】及输出引脚【output】放置到图13所示的原理图窗口。如图16所示为放置元件符号完成后的原理图窗口。

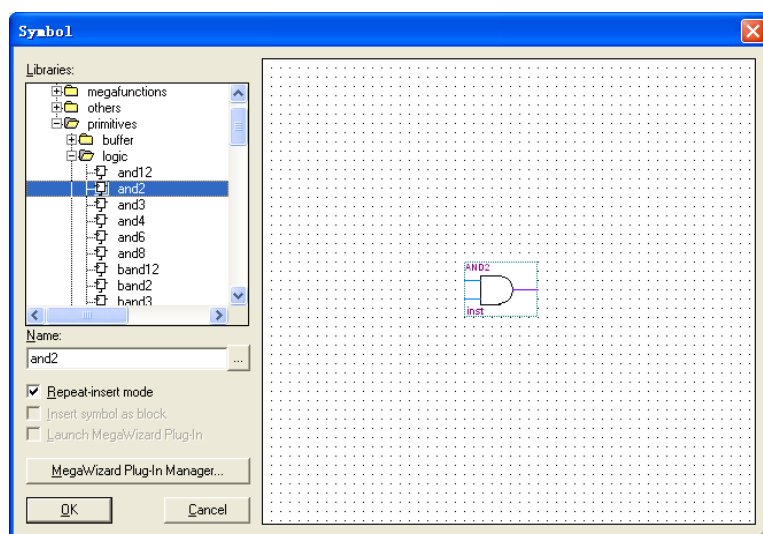


图14 图形符号对话框(选取二输入与门)

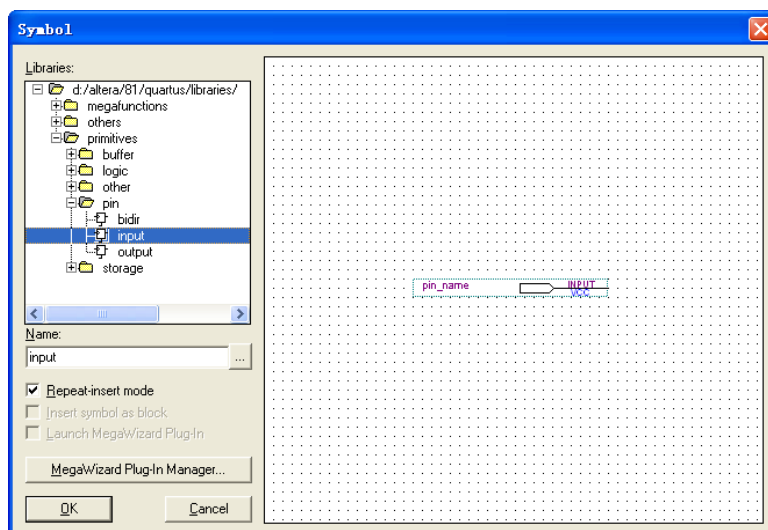


图15 图形符号对话框(选取输入引脚)

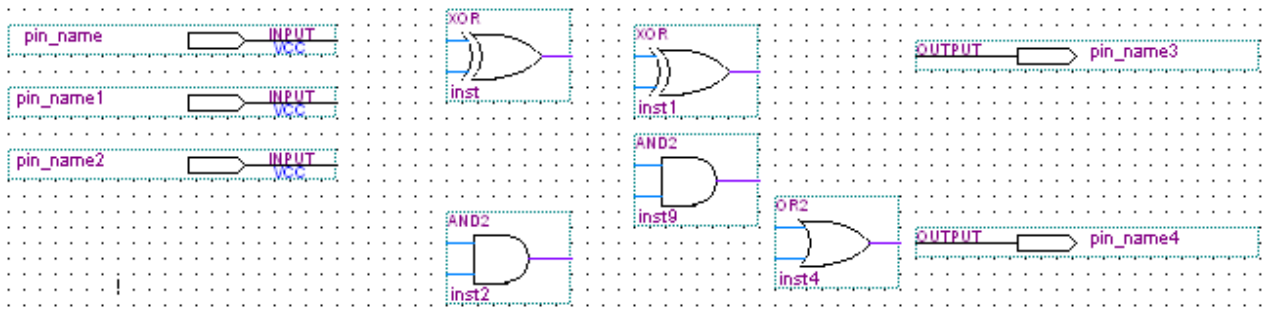




图16 放置元件符号完成后的原理图窗口

(2) 绘制连线

点击连线工具  图标，在需要连线的起点位置，按住鼠标左键开始画线，拖动鼠标直到绘线终点后释放鼠标左键。在绘图过程中可使用缩放工具  图标，缩放原理图的某个区域。图17所示为完成绘制导线状态。

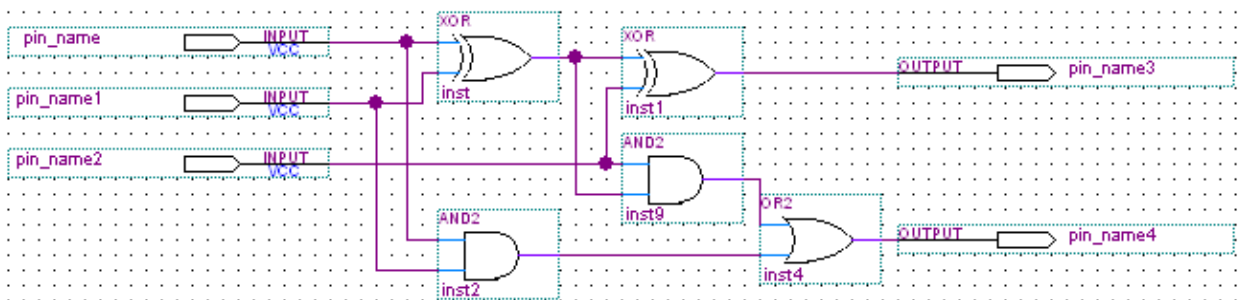


图17 完成绘制导线

(3) 修改引脚名称

双击引脚图形符号，弹出如图18所示的对话框，将【pin_name】修改成对应的引脚名称。同理将所有的引脚分别修改成A、B、C0、S和C1。修改完成后如图19所示。

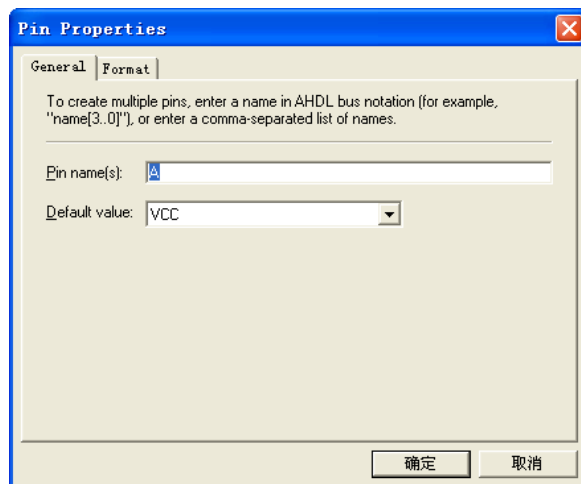


图18 引脚属性编辑对话框

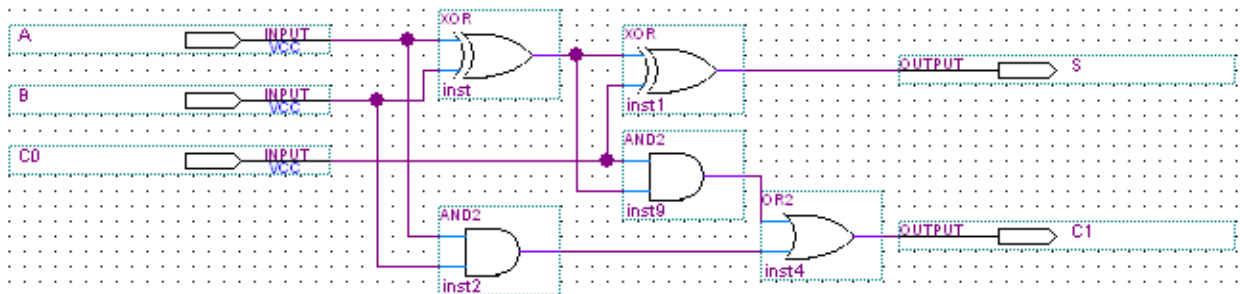




图19 引脚属性编辑完成后的原理图

4 编译程序

原理图绘制完成后点击工具栏中的图标 ，保存绘制的原理图。然后点击工具栏中的  图标编译程序或执行【Process/Start compilation】菜单命令进行全编译，即完成Synthesis、fitter、assemble等全部编译过程。编译完成显示如图20所示的界面。在编译过程中对于出现提示Warning信息可以不去管它，只要不出现Error提示程序编译就可以认为通过。

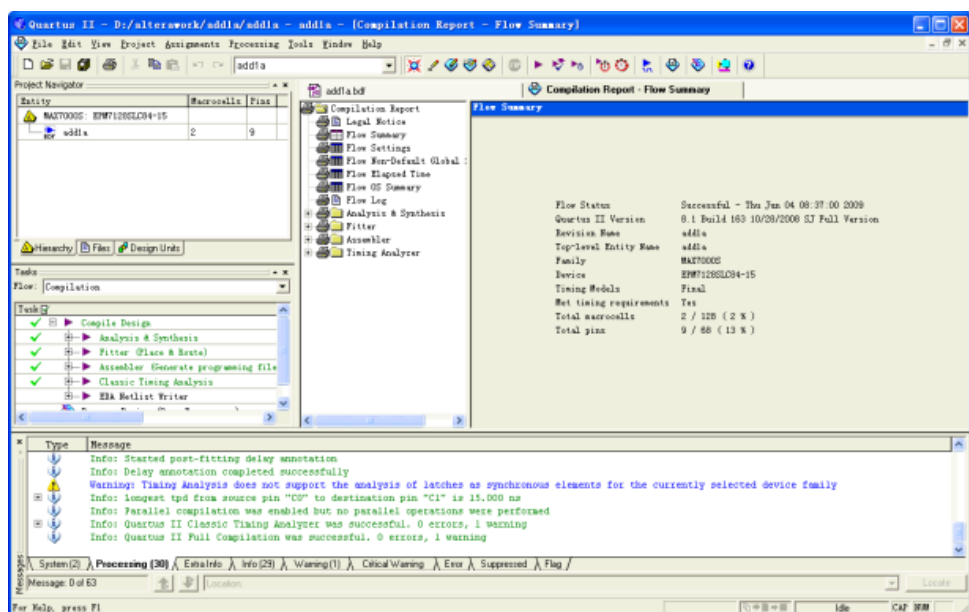


图20 编译完成界面

5 波形仿真

通过对程序的波形仿真，可以了解设计结果是否满足设计要求。波形仿真就是采用激励的方式，给定输入波形，观察输出是否正确。

(1) 新建波形文件

执行【File\New ...】菜单命令，进入如图21所示的新建文件类型选择对话框。选择Verification、Debugging中的Vector Waveform File项。点击【OK】按钮，新建名为Waveform1.vwf的仿真波形文件。执行【File\Save As ...】菜单命令，将其另存为add1a.vwf文件。出现如图22所示的add1a.vwf波形仿真编辑窗口。

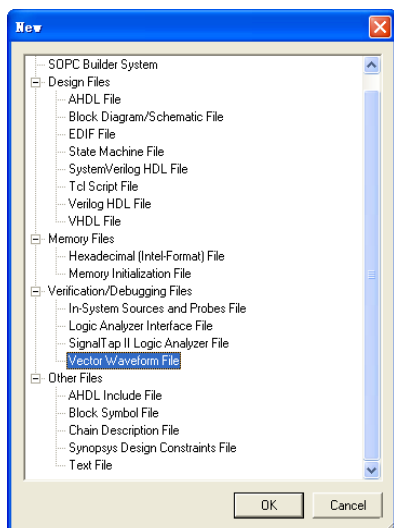


图21 新建文件类型

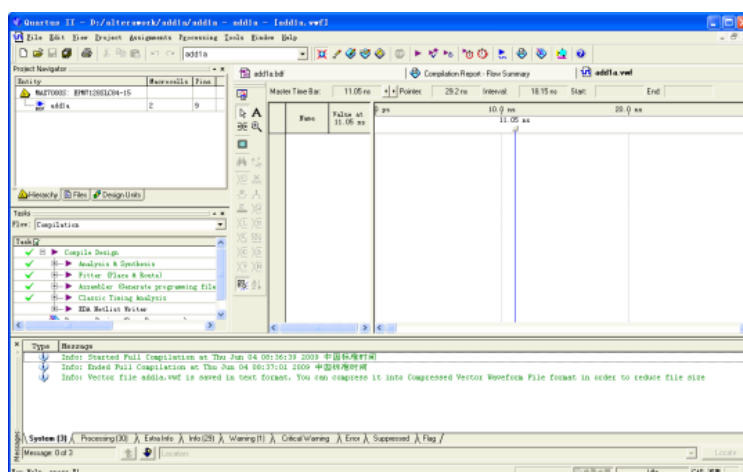



图22 add1a.vwf波形仿真编辑窗口

(2) 添加仿真信号

在波形仿真编辑窗口中添加仿真信号有多种方法，可采用执行【Edit/Insert/Insert Node or Bus】菜单命令，进入如图23所示的仿真信号选择对话框。点击【Node Finder...】按钮，弹出如图24所示的节点查找对话框。点击【Flier】下拉菜单选取【Pins:all】；点击【List】按钮显示找到的节点；点击【>>】按钮选择所有节点。完成以上三步后，点击【OK】按钮，并再点击仿真信号选择对话框上的【OK】按钮。如图25所示选中的信号出现在波形仿真编辑窗口。完成后点击工具栏中的  图标，保存波形仿真编辑窗口，弹出如图26所示的对话框，确认保存路径与文件名后，点击【保存】按钮。注意：波形文件文件名与仿真的实体名一定要保持一致。

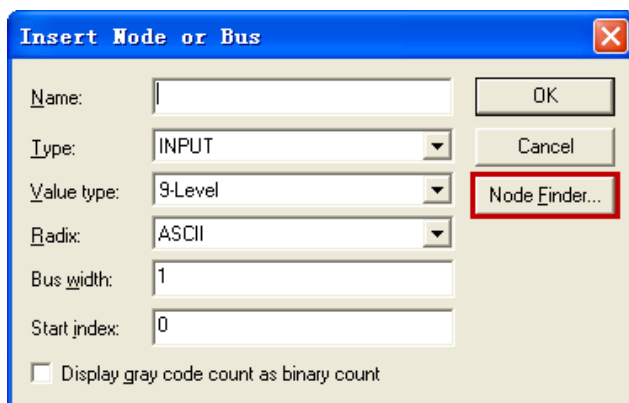


图23 仿真信号选择对话框

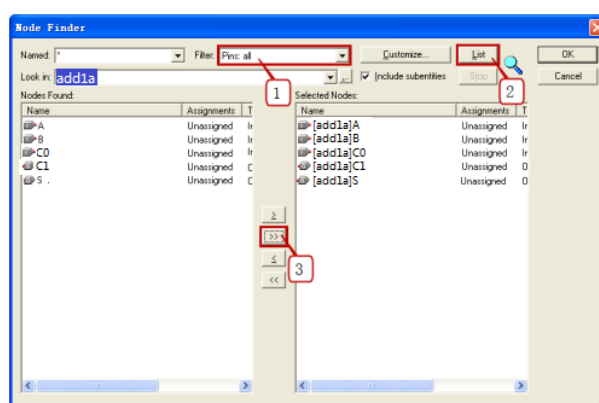


图24 节点查找对话框

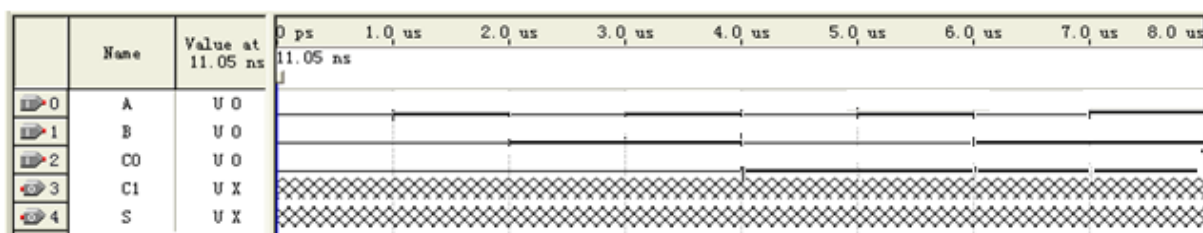


图25仿真波形设置

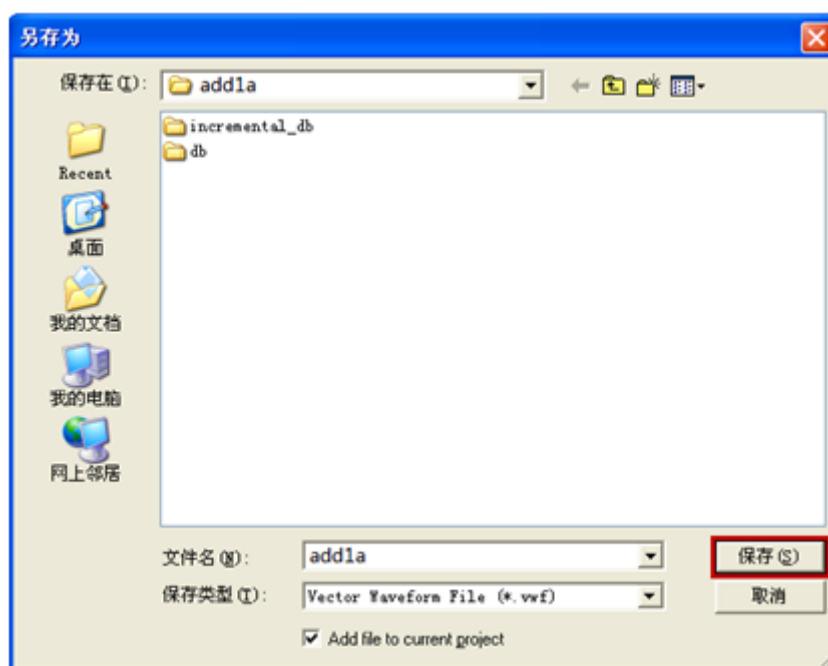


图26 确认保存路径与文件名对话框




(3) 设置仿真时间



Quartus II软件默认的仿真时间为1 μ s，通过执行【Edit\End Time...】菜单命令，修改仿真结束时间，为了能便于观察仿真波形将其修改为40 μ s。通过执行【Edit\Grid Size...】菜单命令，修改显示的栅格线宽度，将其修改为1 μ s。

(4) 设置仿真激励

仿真激励指的是输入信号。Quartus II软件提供了多种仿真激励的设置方法，输入激励的设置是随意的，但是决定了仿真的输出，可以根据不同的设计和需要来设置输入激励（波形）。设置方法为选中需设置的信号或信号的某个时间区域，使用工具栏中的工具

进行设置。

对于一位全加器的A信号的设置步骤为，点击激活A信号，点击工具栏中计数值图标，在弹出的计数值对话框中选择【Timing】标签页，如图27所示的设置A信号计数值每1.0μs变化一次；采用同样的方法，设置B信号计数值每2.0μs变化一次，如图28所示；设置C0信号计数值每8.0μs变化一次，如图29所示。然后点击工具栏缩放图标在波形仿真编辑窗口不断点击鼠标右键，缩小窗口后显示如图30所示的波形。

对于想使输入波形的某一段为高电平，可以先用鼠标圈选某段波形，然后点击图标，就可以将鼠标圈选的那部分设置为高电平。工具栏中的其它图标，可以实践了解它们的功能。需要注意的是当设置时钟波形时，可使用图标进行设置。

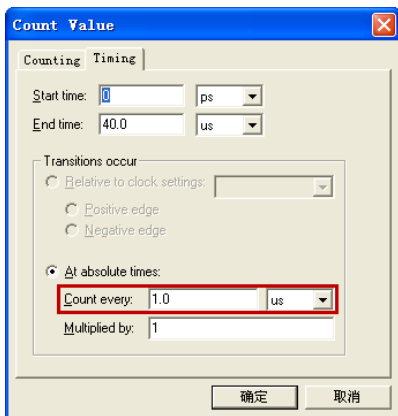


图27 设置A计数值1.0μs

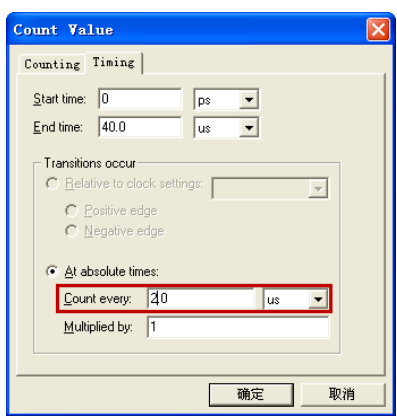


图28 设置B计数值2.0μs

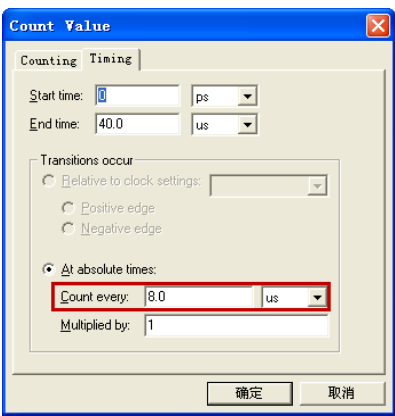


图29 设置C0计数值8.0μs

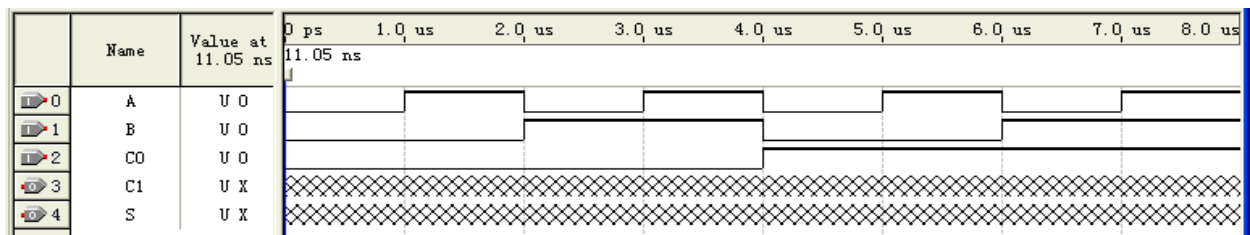


图30 缩小波形窗口

(5) 仿真设置

Quartus II软件仿真分为功能仿真和时序仿真，功能仿真仅测试电路的逻辑功能，时序仿真不仅测试逻辑功能，还测试电路的时序关系。执行【Processing\Simulator Tools】菜

单命令，显示如图31所示的仿真工具对话框，在仿真模式栏中可选择仿真模式。在此选择功能仿真，点击【Generate Functional Simulation Netlist】按钮，完成后在弹出的对话框中点击【确定】按钮。

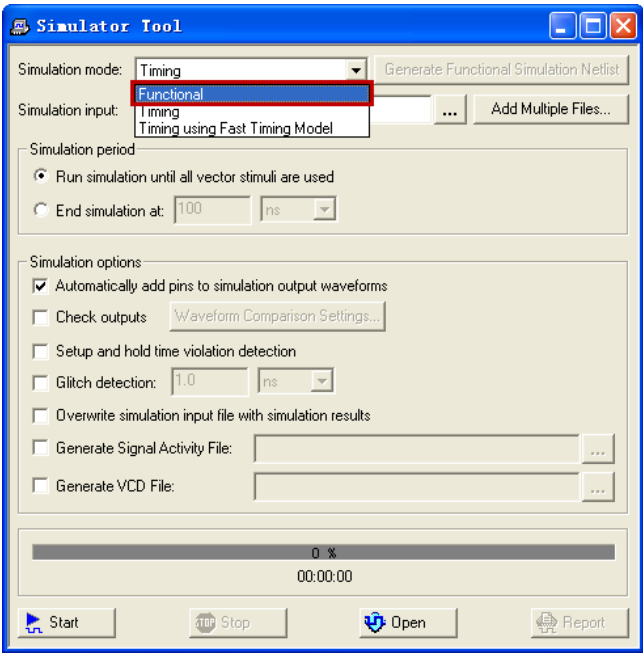


图31仿真工具对话框

(6) 启动仿真

在仿真工具对话框中点击【Start】按钮，然后在弹出的对话框中点击【确定】按钮。最后在仿真工具对话框中点击【Report】按钮；也可执行【Processing/start simulation】菜单命令。启动仿真进程。仿真完成后，出现如图32所示的仿真波形。通过仿真波形图可查看波形是否满足设计要求。

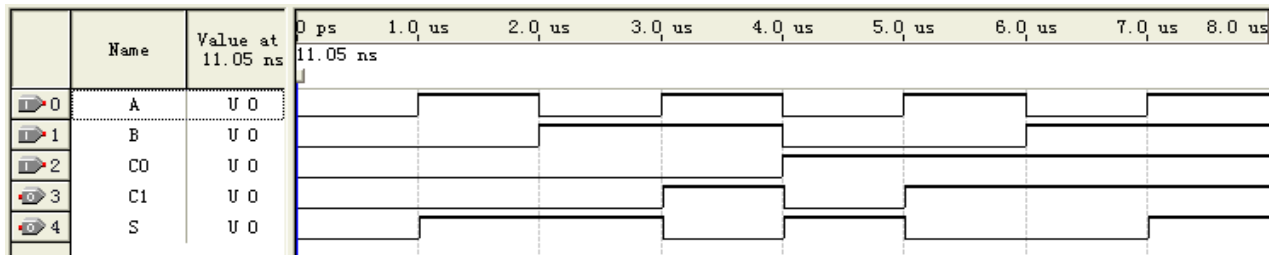


图32 最终仿真波形

6 目标器件的引脚设置

在顶层文件设计且验证完成后，为了能使设计的一位全加器电路进行硬件测试，应将其输入输出信号锁定在芯片确定的引脚上，编译后下载。当硬件测试完成后，还必须对配置芯片进行编程下载，完成FPGA 的最终开发。

(1) 设置目标器件

对于目标器件的设置，可以在新建立项目时进行设置，如果在新建立项目时没有设置，也可在后期进行设置，后期设置目标器件，执行【Assignments/Device】菜单命令显示如图33所示的Device对话框。在该对话框中选择合适的器件。对于实验DE0开发板，选择Cyclone III系列中的**EP3C16F484C6**器件。

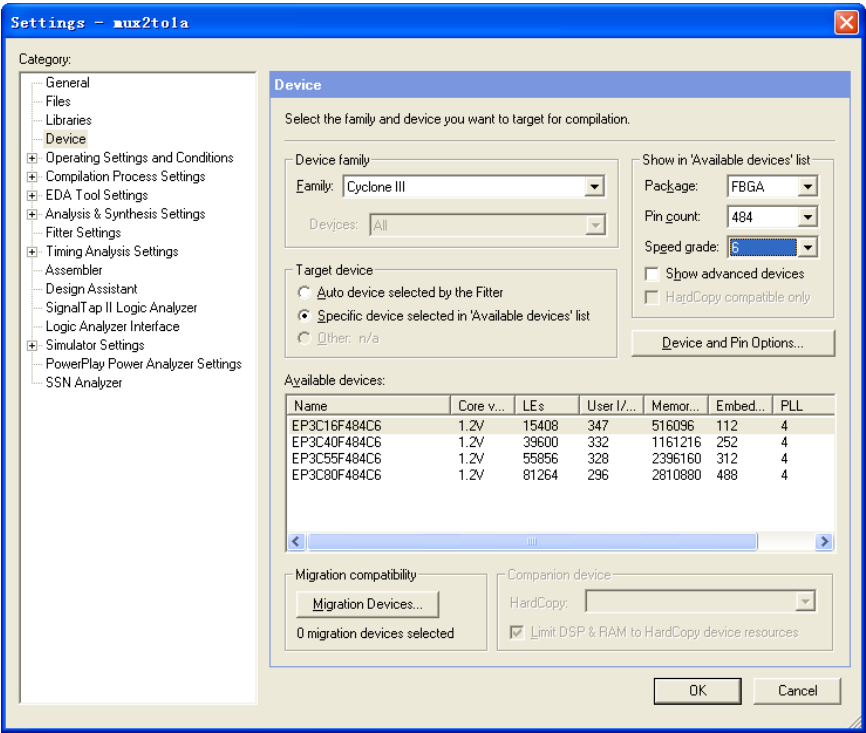



图33 Device对话框

(2) 锁定器件引脚

锁定器件引脚需要通过查阅有关芯片引脚对照表以确定引脚号。引脚锁定方法：执行【Assignments/Pins】菜单命令或点击工具栏图标，弹出如图34所示的Pin Planner对话

框。

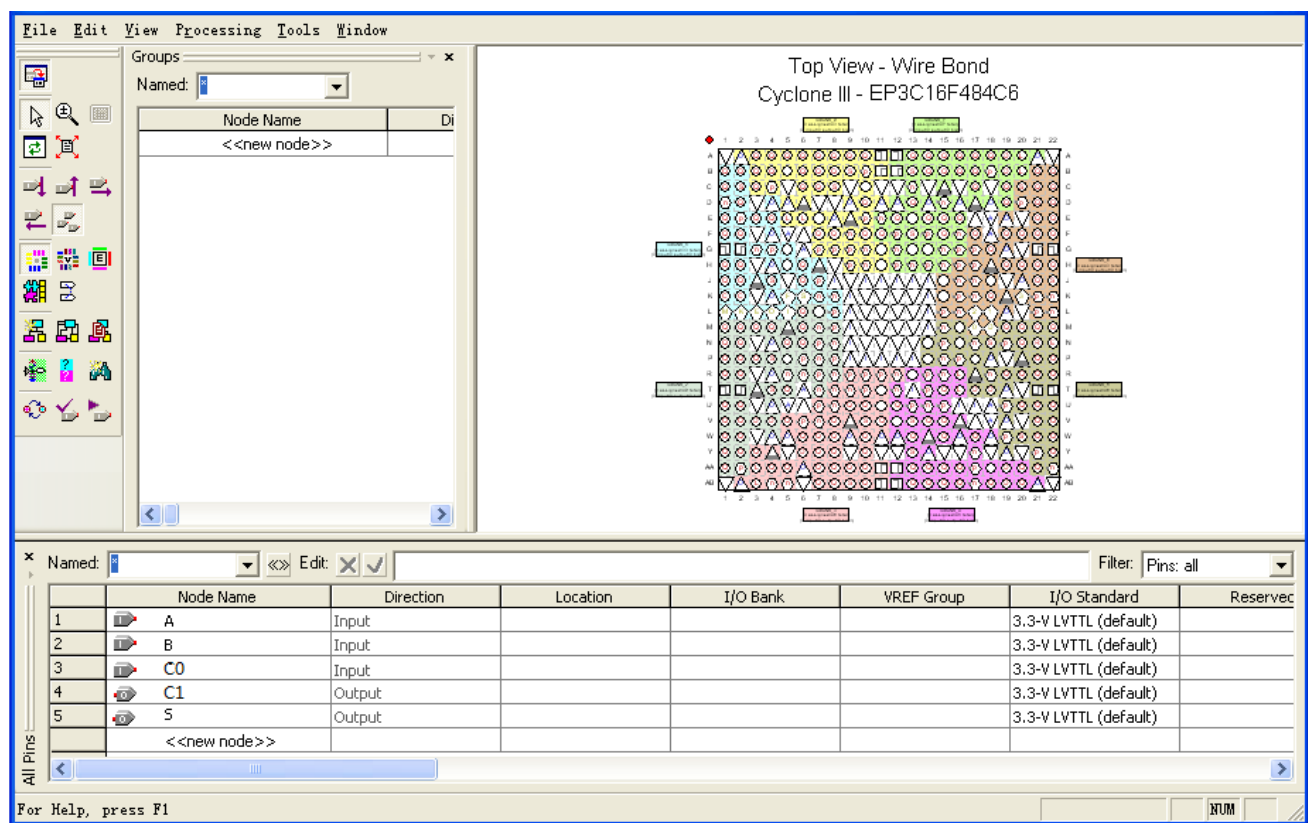


图34 Pin Planner对话框

锁定器件引脚一般可采用以下方法，在对应引脚的Location处双击鼠标后，直接输入引脚号，如图35所示。

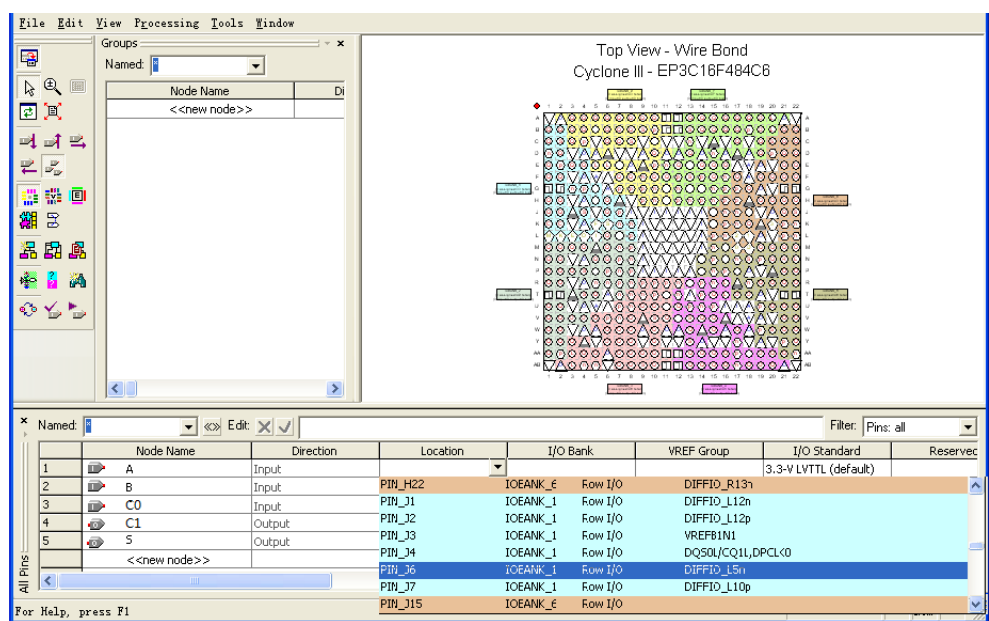



图35 根据端口名输入引脚号

锁定器件引脚其它还可以通过编写Tcl脚本文件、添加*.cvs文件等方法实现。

一位全加器器件引脚锁定如图36所示。锁定引脚后还需要对设计文件重新编译，产生设计电路的下载文件（.sof）。点击工具栏中的图标或执行【Process/Start compilation】菜单命令进行全程编译。

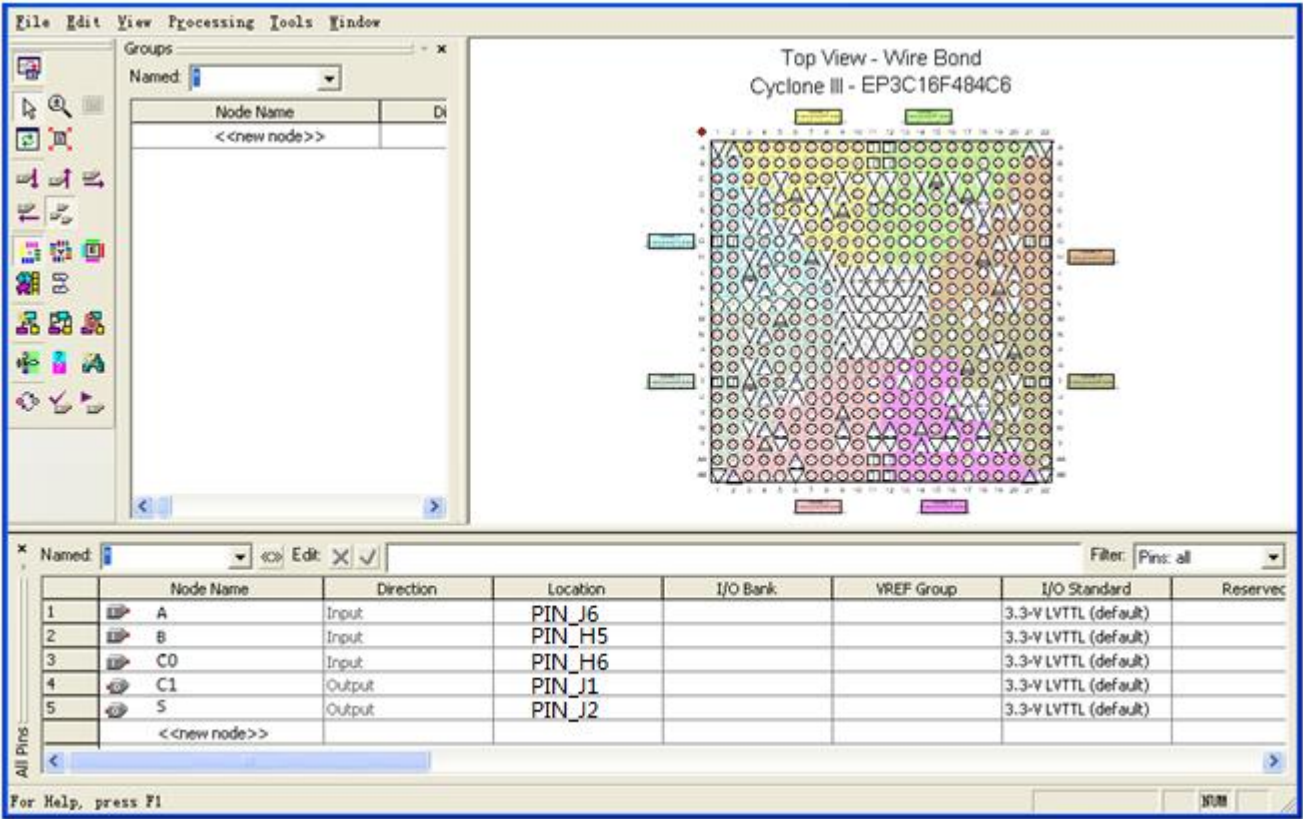



图36 一位全加器器件引脚锁定

7 目标器件写入

将编译产生的配置/编程文件写入目标器件，将生成的*.SOF文件以JTAG方式配置进FPGA。

(1) 启动编程器

执行【Tools/Programmer】或点击工具栏图标，弹出如图37所示的编程器对话框。在Mode下拉菜单中选择JTAG编程模式，然后单击Hardware Setup按钮设置下载接口方式，



如图38所示在弹出菜单中双击选择USB-Blaster，选择完成后单击【Close】按钮。

(2) 编程下载

在配置文件(*.sof)信息窗口处（屏幕右下大半区域），勾选—program/configure，然后单击【start】按钮，即启动配置/编程；当编程窗口右上角progress显示出100%，以及在底部的状态栏出现Configuration Succeeded时，表明编程下载完成。

若编程器自身有故障或者未正确连接，则不能编程/配置，底部的处理栏会有红色字体的信息提示，这时需要检查编程器的连接。

(3) 采用DE0板上的FPGA器件作为目标器件，将目标文件(*.sof)写入到FPGA器件的步骤：

- a. 计算机USB端口与DE0开发板USB端口(J8)间用USB电缆连接。
- b. 按下DE0开发板上的红色电源开关(SW10)
- c. 运行Quartus II软件，执行【Tools/Programmer】或点击工具栏图标，弹出如图37所示的编程器对话框。执行—Edit\Hardware Setup\菜单命令或点击工具栏按钮，弹出如图38所示的硬件设置对话框。在—Currently selected hardware:下拉选项中，选取—USB-Blaster [USB-0]选项。
- d. 在实验开发板DE0上验证一位全加器的逻辑。（分别拨动三个开关，观察两个LED灯输出）

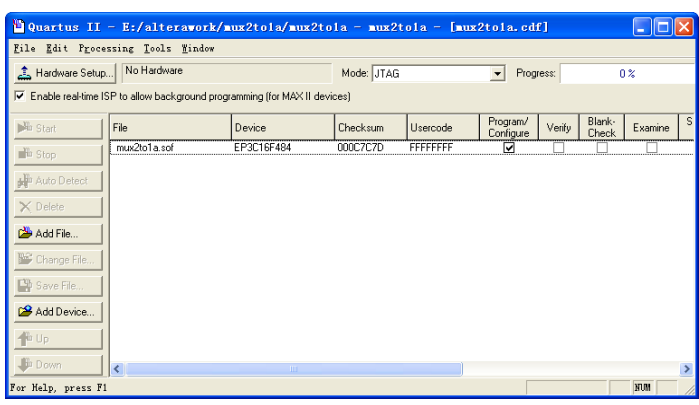


图37 编程器对话框

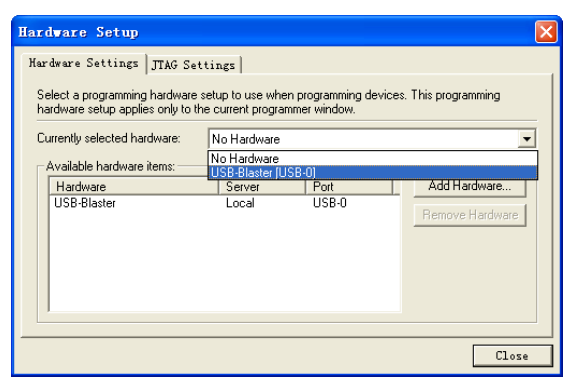


图38 硬件设置对话框

三、实验开发板 DE0 的基本使用

(1) 开关

开发板DE0提供了10个拨动开关，分别以SW0到SW9标注。它们如图39所示分别直接连接到Cyclone III FPGA芯片上。开关拨至上方对应的FPGA输入为高电平（3.3V）；当开关拨至下方对应的FPGA输入为低电平（0V）。拨动开关的引脚分配如表1所示。

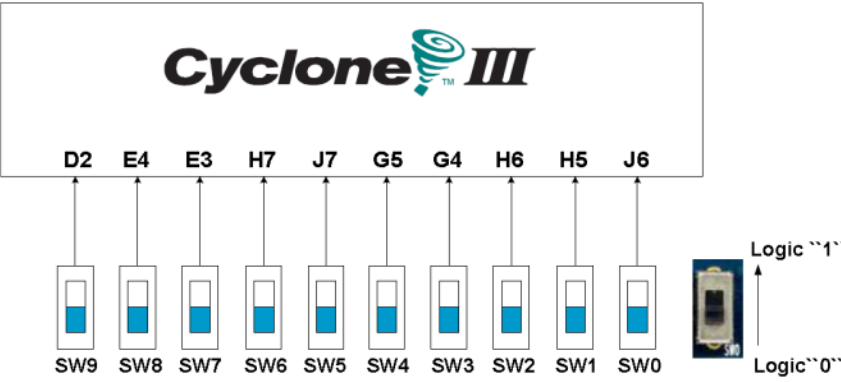


图39 拨动开关与Cyclone III FPGA之间的连接

表1 拨动开关的引脚分配表

信号名称	FPGA引脚号
SW[0]	PIN_J6
SW[1]	PIN_H5
SW[2]	PIN_H6
SW[3]	PIN_G4
SW[4]	PIN_G5
SW[5]	PIN_J7
SW[6]	PIN_H7
SW[7]	PIN_E3
SW[8]	PIN_E4
SW[9]	PIN_D2

(2) LED灯

板上提供了10个用户可控的发光二极管，分别以LDE0到LED9标注。它们如图40所示方式连接到Cyclone III FPGA芯片上。当FPGA对应输出端口为高电平时，点亮相应的发光二极管。发光二极管的引脚分配如表2所示。

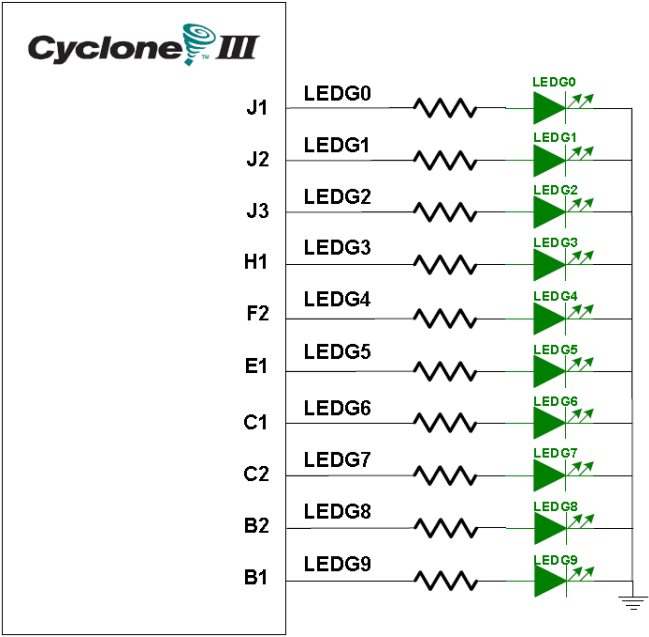


图40 发光二极管与Cyclone III FPGA之间的连接

表2 发光二极管的引脚分配表

信号名称	FPGA引脚号
LEDG[0]	PIN_J1
LEDG[1]	PIN_J2
LEDG[2]	PIN_J3
LEDG[3]	PIN_H1
LEDG[4]	PIN_F2
LEDG[5]	PIN_E1
LEDG[6]	PIN_C1
LEDG[7]	PIN_C2
LEDG[8]	PIN_B2
LEDG[9]	PIN_B1