

目 录

一、实验要求:	2
二、实验步骤:	2
1.PLL 锁相环简介	2
2 QuartusII 配置 PLL	2
3 生成波形数据文件.....	5
4.QuartusII 配置 ROM	7
5.DA 模块.....	9
6.顶层设计文件框图.....	11
三、DE0 外接引脚说明	13

基于 FPGA 的信号发生器

一、实验要求：

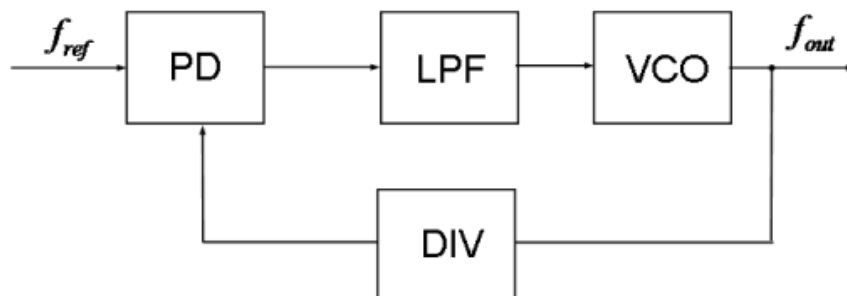
1. 用 PLL 生成 100M 时钟作为计数器计数脉冲，利用计数器（如 74161 等）或硬件描述语言生成的计数模块的输出依次扫描 ROM 的地址端读取 ROM 内容。
2. 配置宽度为 8 位的 ROM，并在 ROM 中存储 256 个地址的正弦波数据。
3. 将 ROM 输出的数字信号通过 DA 模块（AD9708）转换为模拟信号，利用示波器显示波形。

附加要求：利用控制开关控制波形切换，比如当拨动开关置为 0 时，输出正弦波，当拨动开关置为 1 时，输出三角波。

二、实验步骤：

1. PLL 锁相环简介

锁相环（PLL: Phase-locked loops）是一种利用反馈（Feedback）控制原理实现的频率及相位的同步技术，其作用是将电路输出的时钟与其外部的参考时钟保持同步。当参考时钟的频率或相位发生改变时，锁相环会检测到这种变化，并且通过其内部的反馈系统来调节输出频率，直到两者重新同步，这种同步又称为“锁相”。其原理图如下。



其中：

PD：鉴相器 LPF：低通滤波器 VCO：压控振荡器 DIV：DIV 分频器

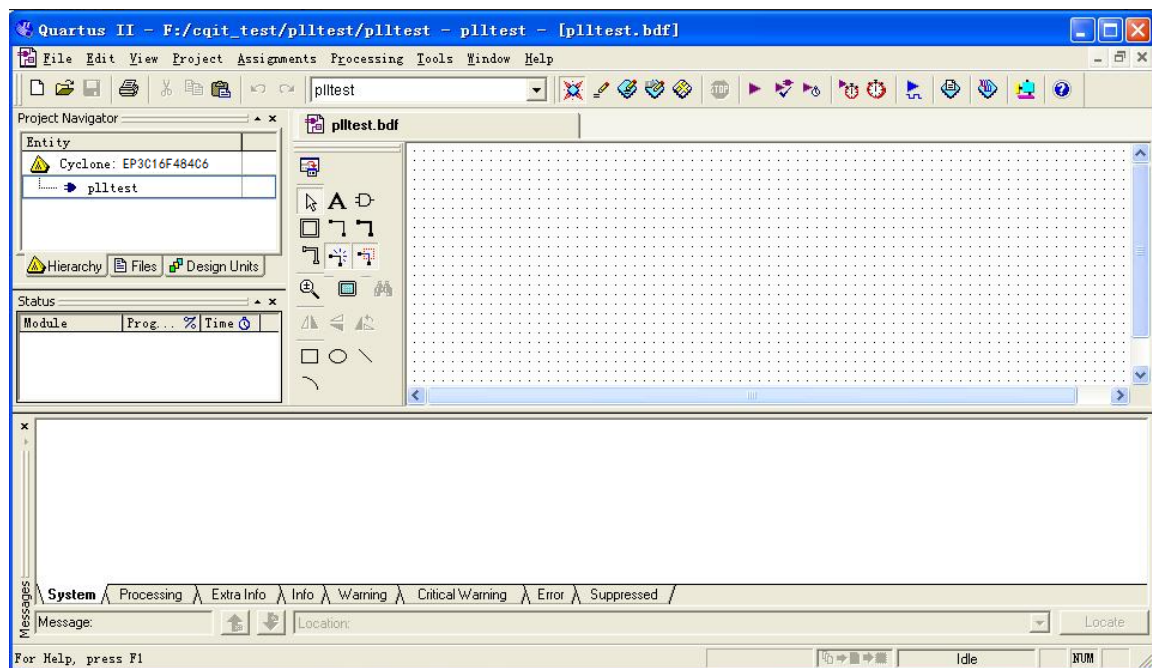
锁相环具有以下特征：

- a) 锁定是无剩余频差；
- b) 具有良好的窄带载波跟踪性能；
- c) 具有良好的宽带调制跟踪性能；

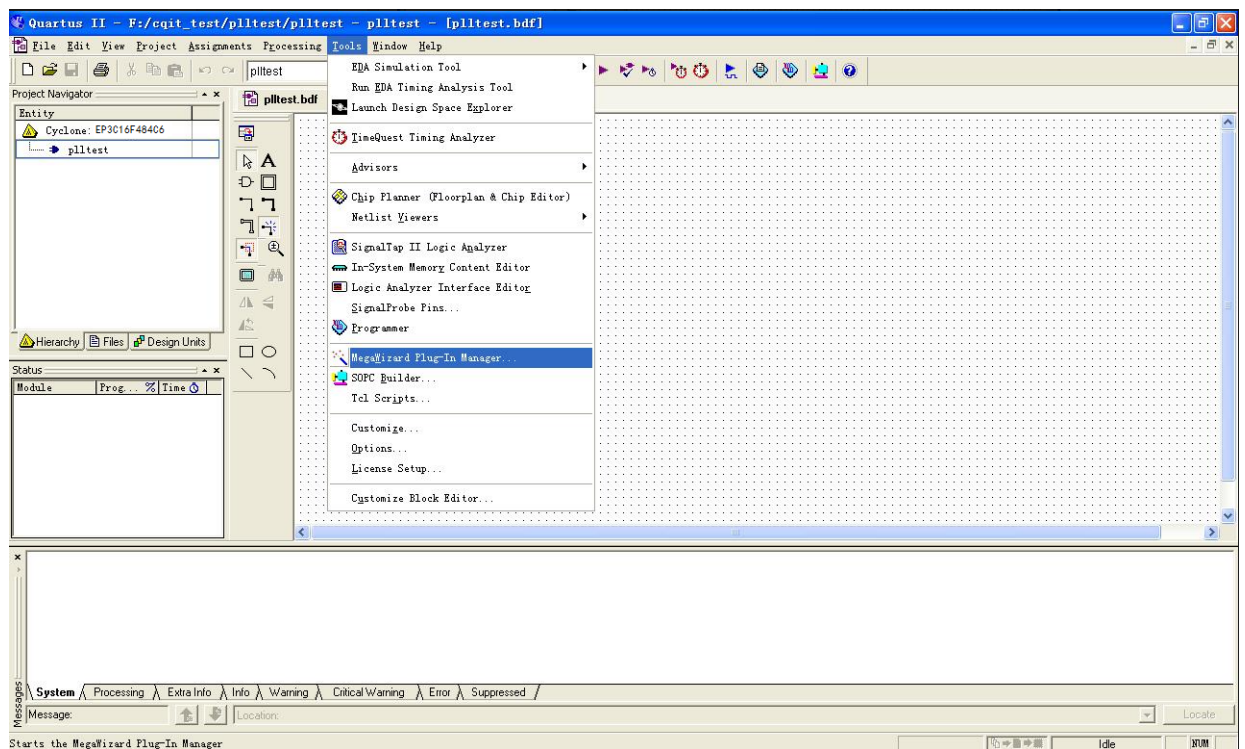
2 QUARTUSII 配置 PLL

PLL 调用步骤：

- 2.1 打开一个工程，建立原理图文件（plltest.bdf）做顶层文件



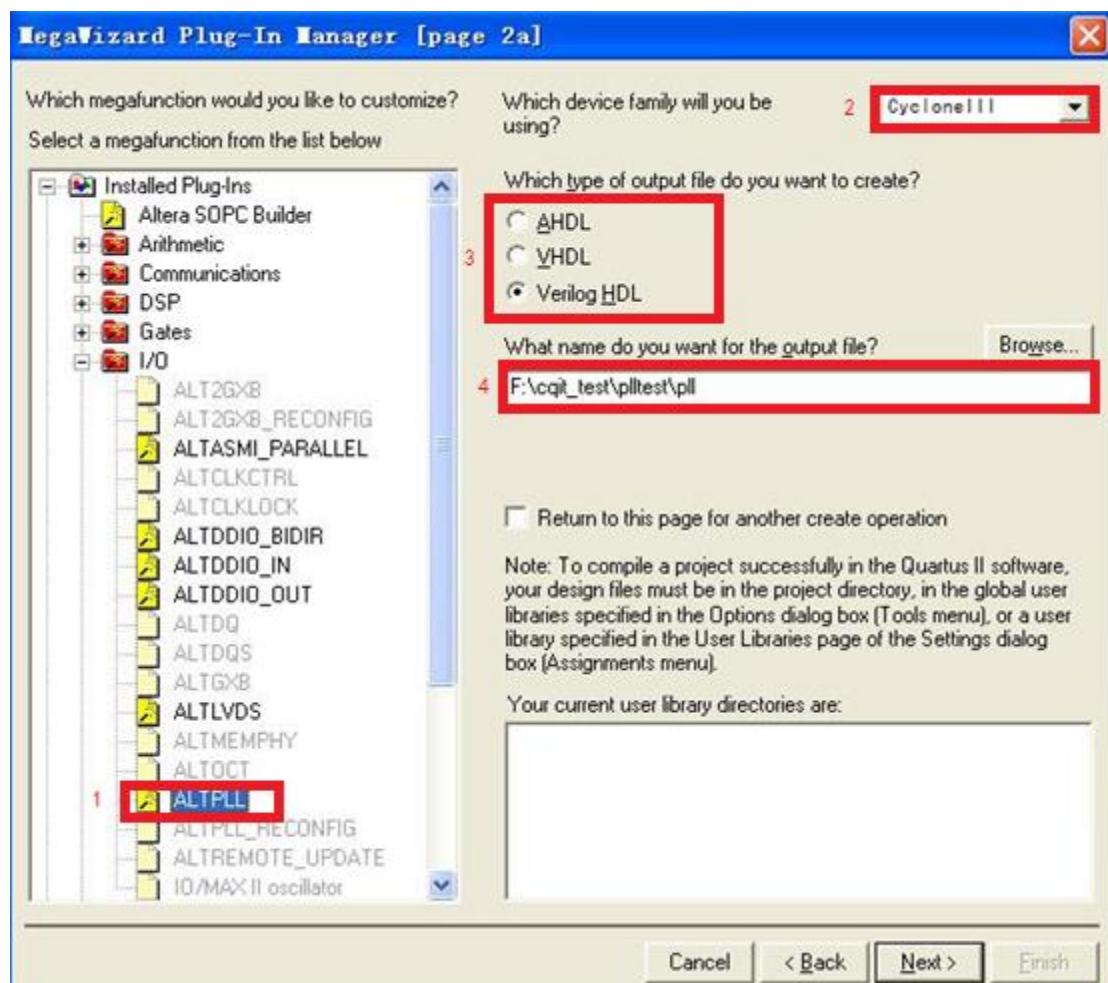
2.2 打开 MegaWizard Plug



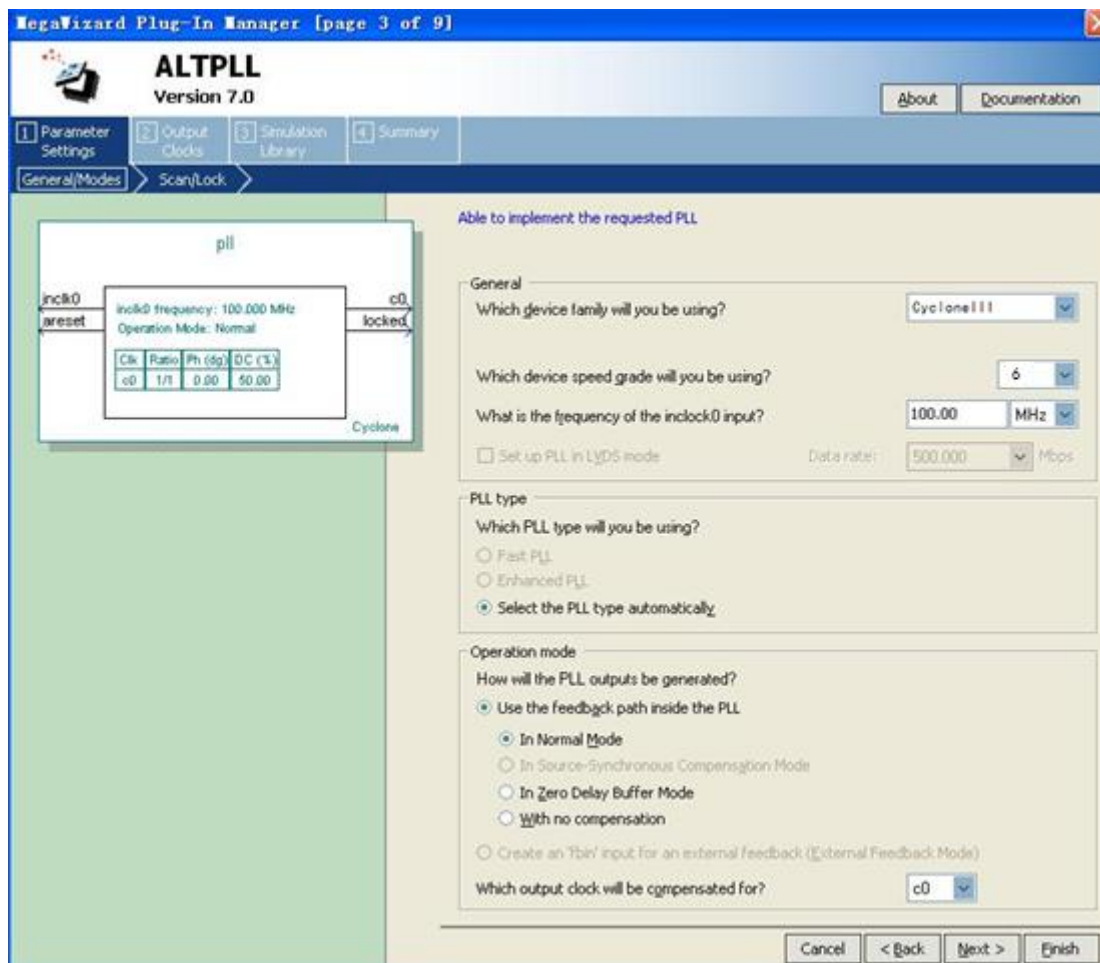
2.3 创建一个 Megafunction。选第一项，点 Next



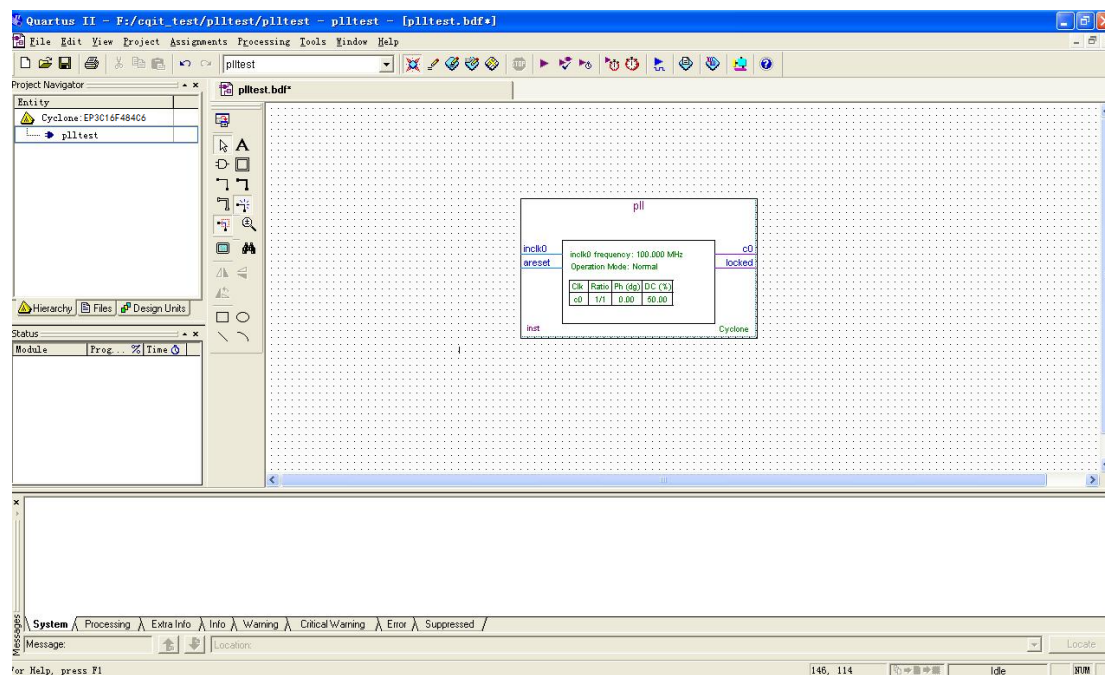
2.4 创建 PLL。1.左边选中 I/O 栏下的”ALTPLL”；2.选择 FPGA 系列；3.为生成的 PLL 选择语言， AHDL, VHDL, Verilog HDL 三种可以任选一种；实验中选择 VHDL 或 Verilog HDL。4. PLL 命名，此处命名为“PLL”。



2.5 进入 PLL 参数定义。根据参数需要选择 PLL 设置。



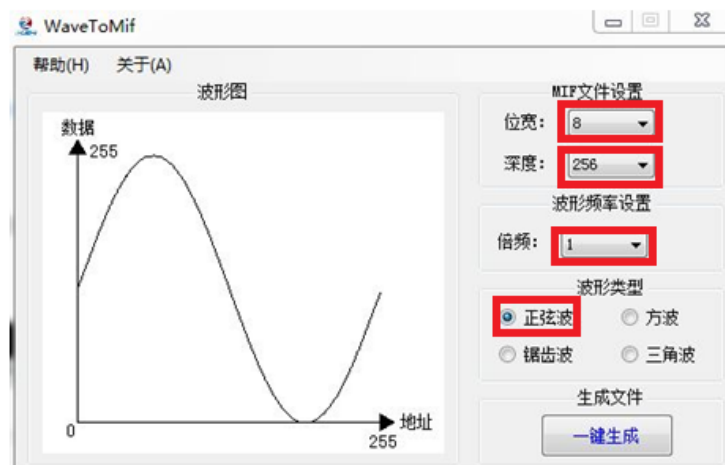
2.7 生成 PLL。参数设置完毕后，单击 finish 按钮生成 PLL 功能框图。



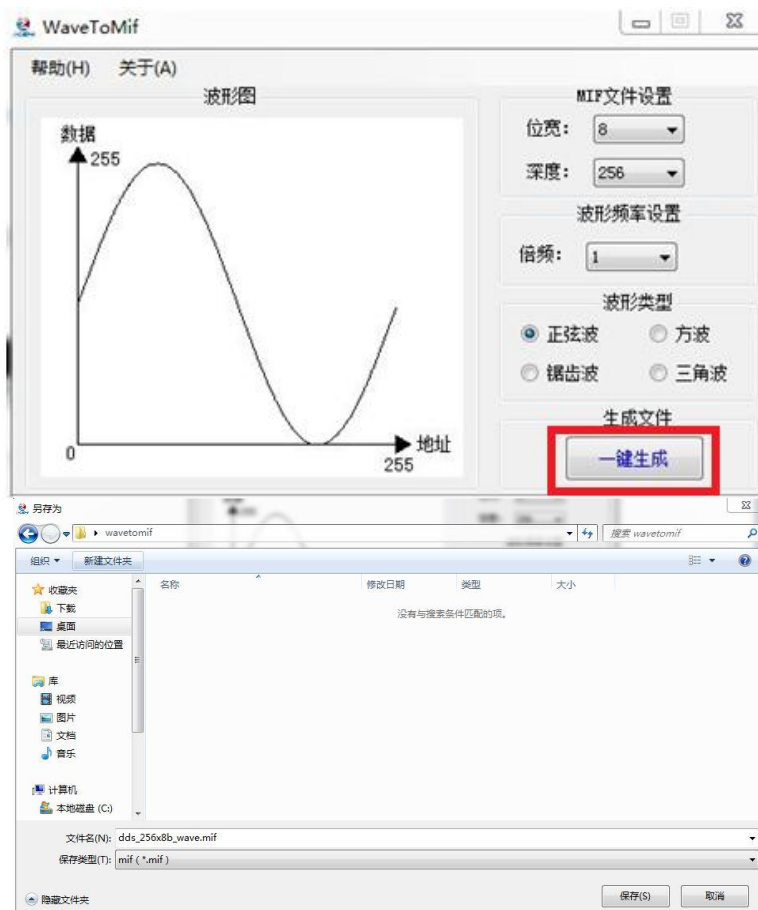
3 生成波形数据文件

3.1 利用 MIF 软件（WaveToMif_V1.0.exe）生成波形数据

A) 选择数据位宽、深度、倍频和波形类型

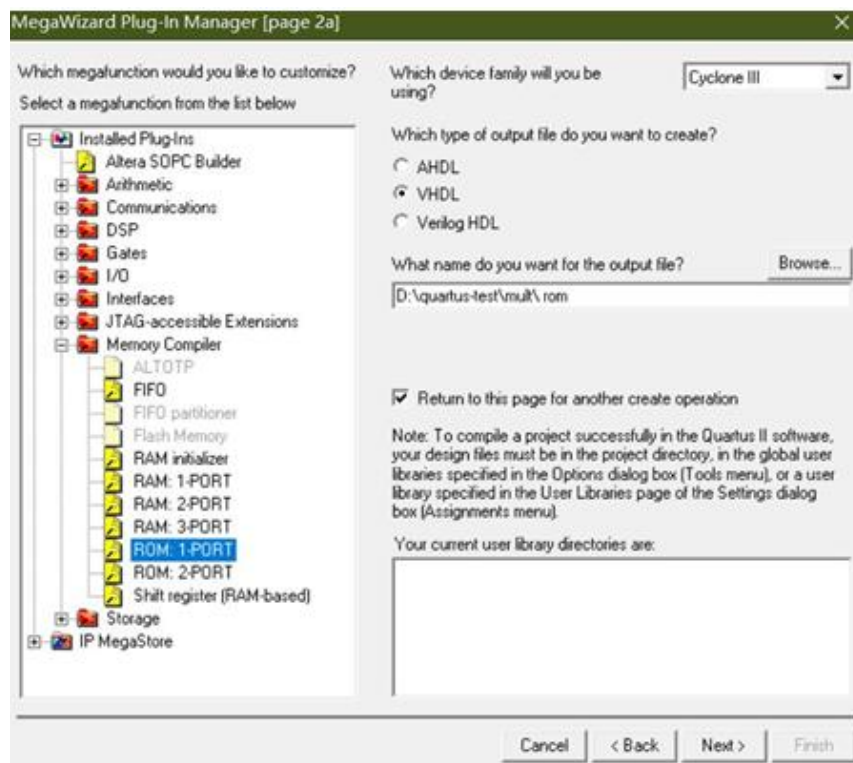


B) 单击生成文件框中的一键生成，保存 MIF 文件

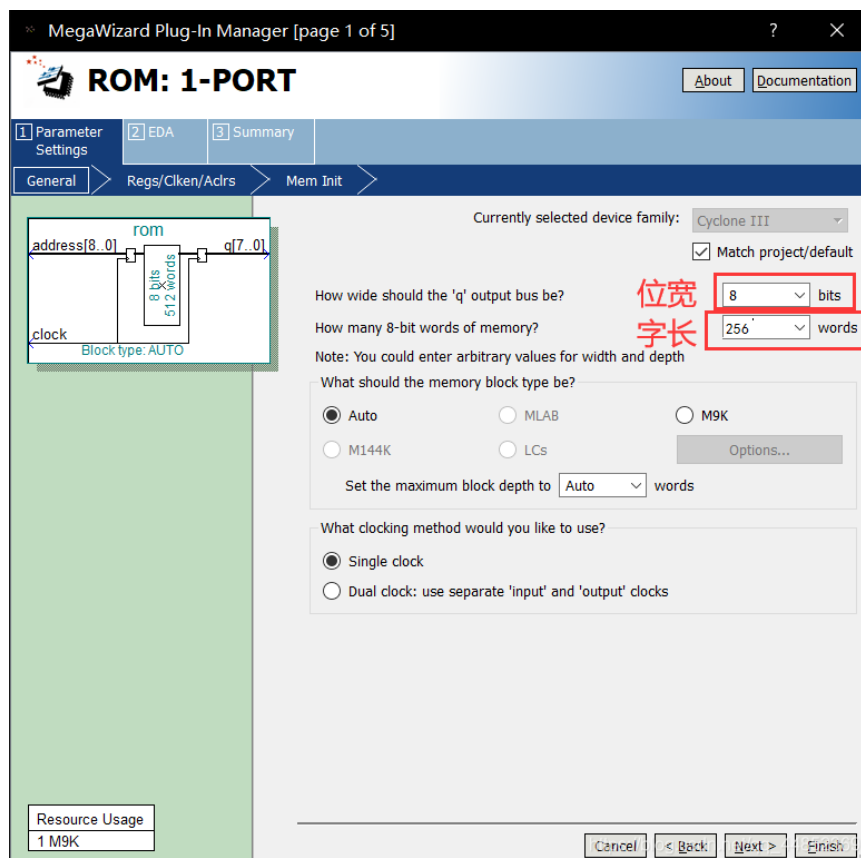


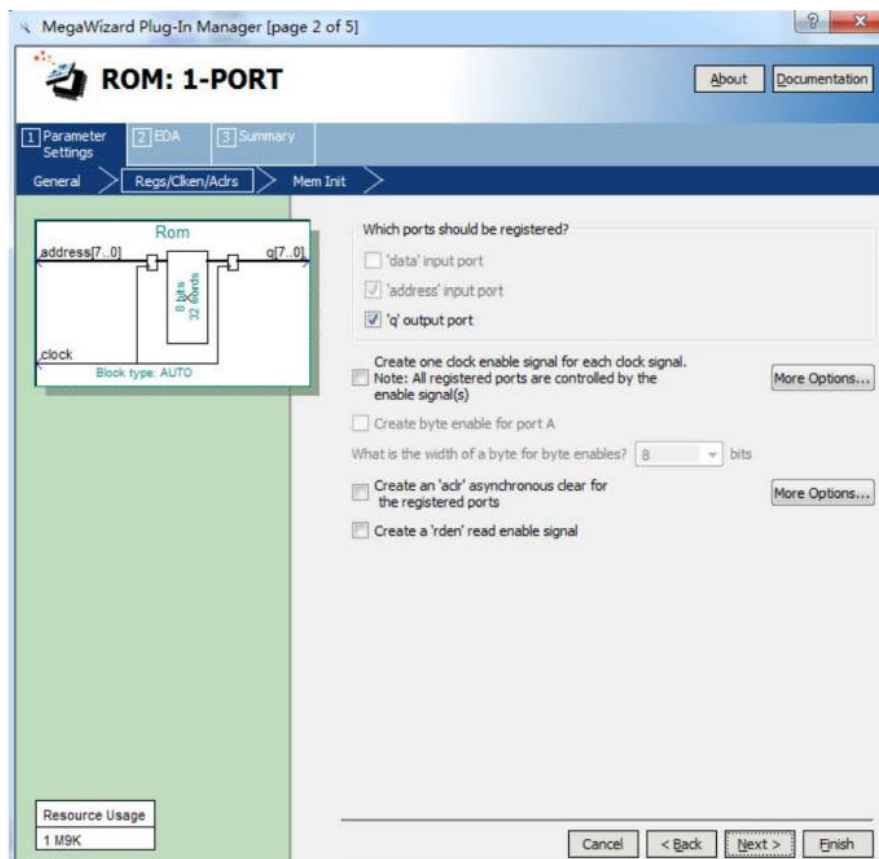
4. QUARTUSII 配置 ROM

4.1 找到 ROM-1PORT，并创建 rom 文件：

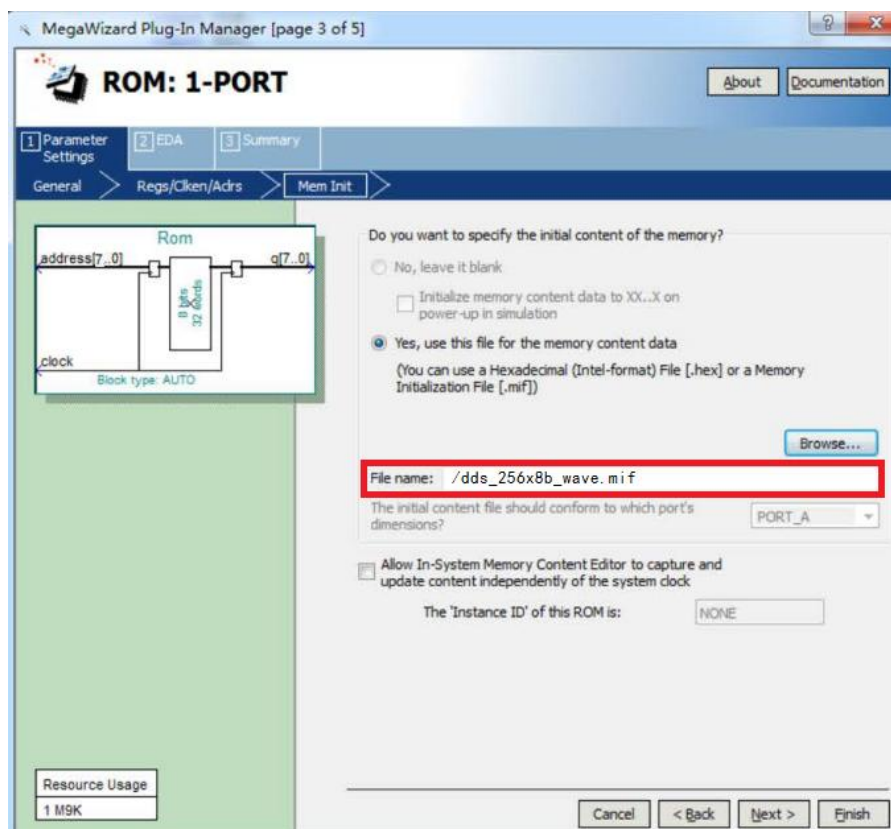


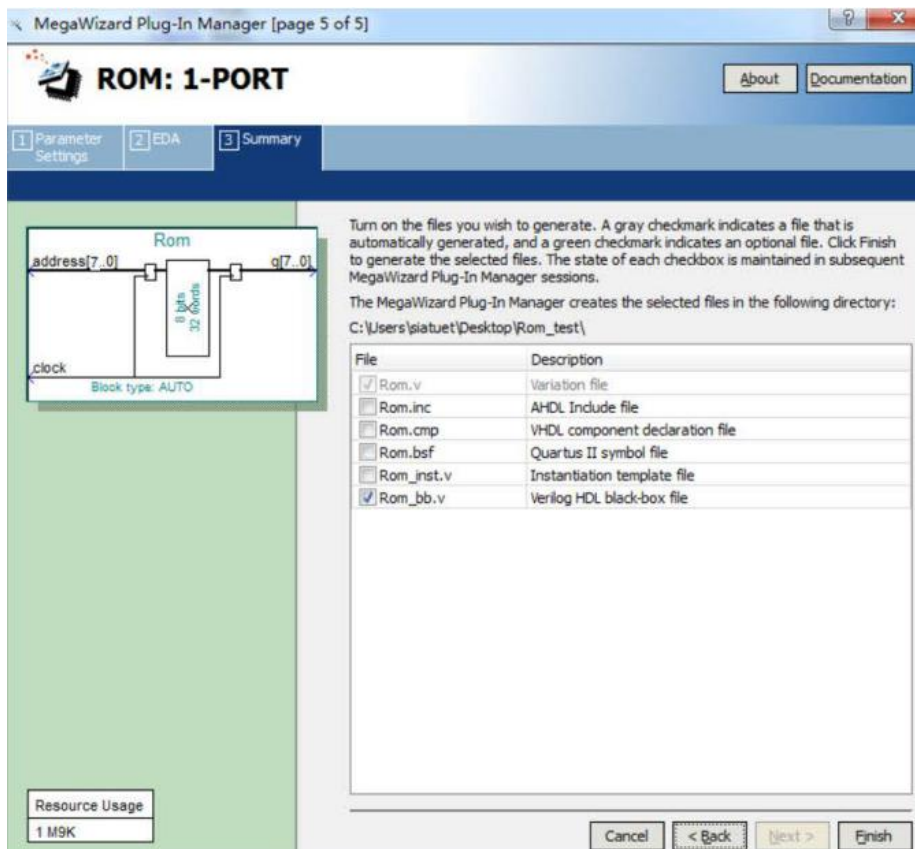
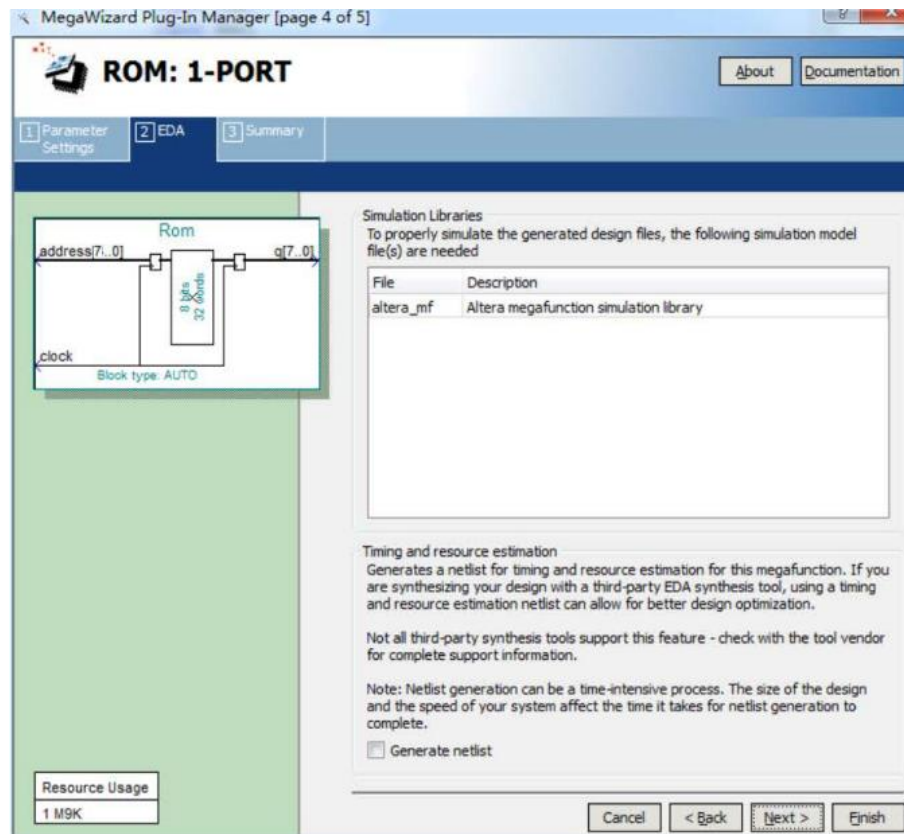
4.2 配置 ROM 空间的位宽和字长：





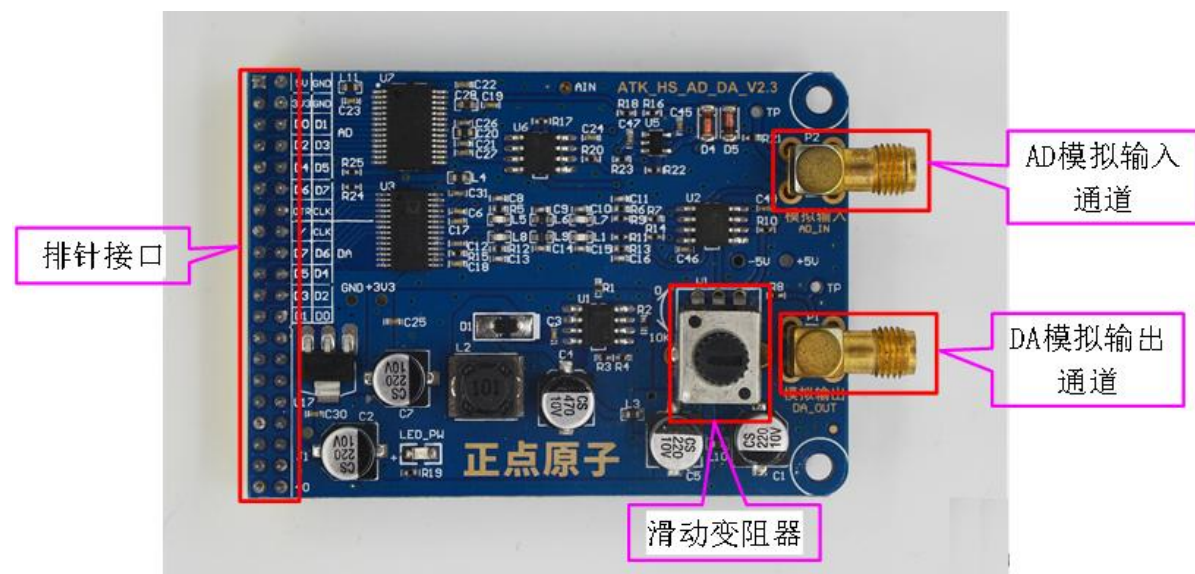
4.3 找到 MIF 波形文件路径:





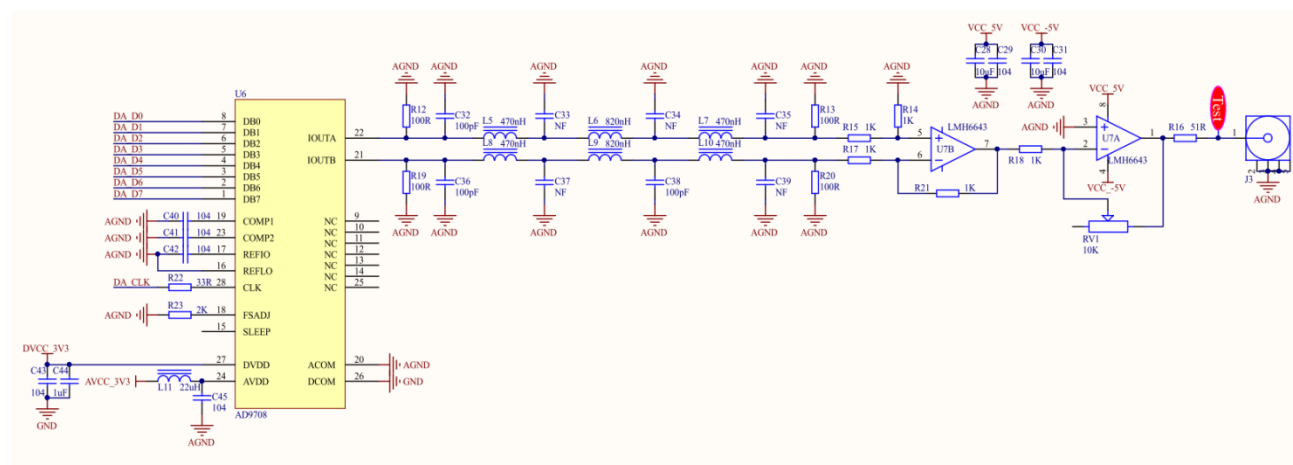
5. DA 模块

5.1 AD/DA 模块



5.2 D/A 芯片 AD9708 原理

5.2.1 原理图

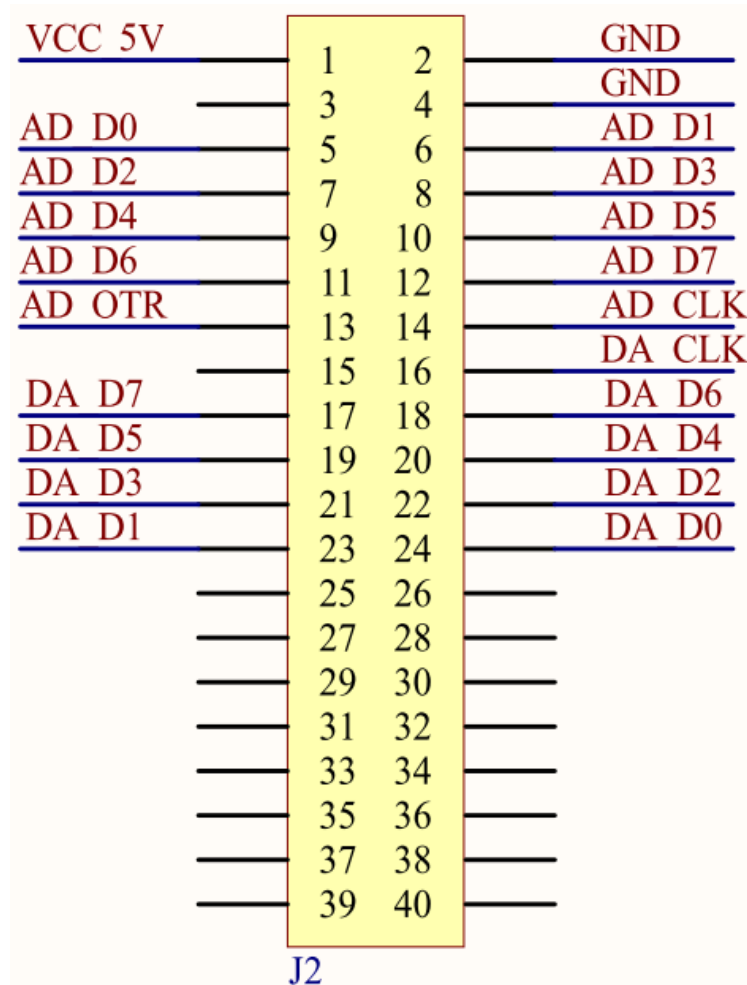


5.2.2 工作原理

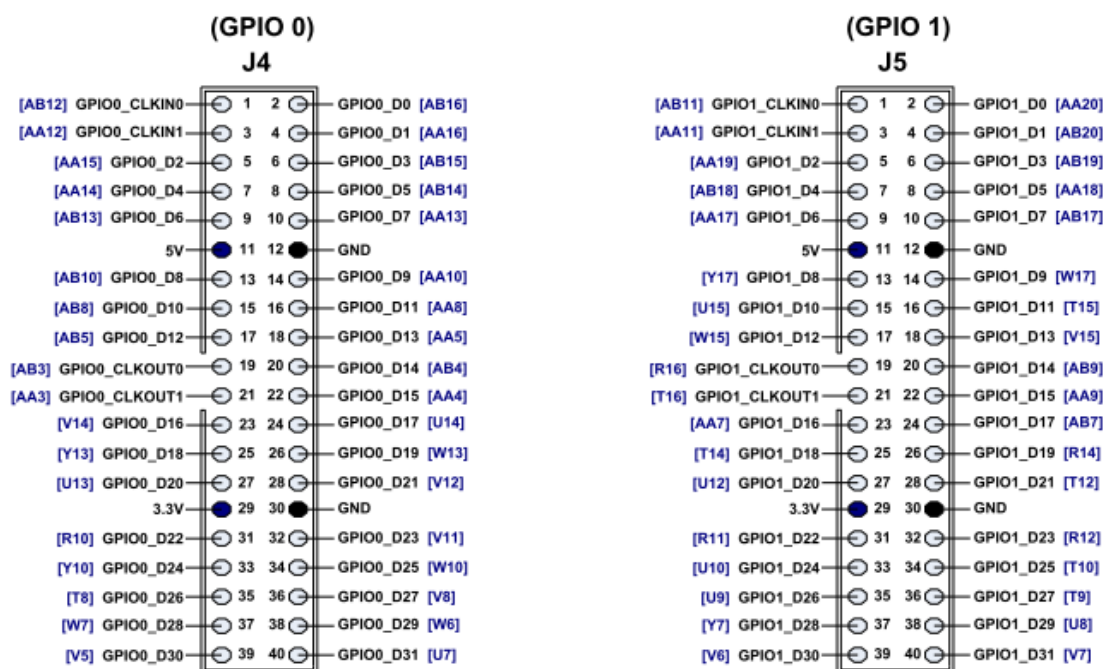
AD9708 输出的一对差分电流信号先经过滤波器，再经过运放电路得到一个单端的模拟电压信号。图中 RV1 为滑动变阻器，可以调节输出的电压范围，使输出的电压范围在-5V 至+5V 之间。

5.2.3 引脚配置

A) D/A 模块外接引脚

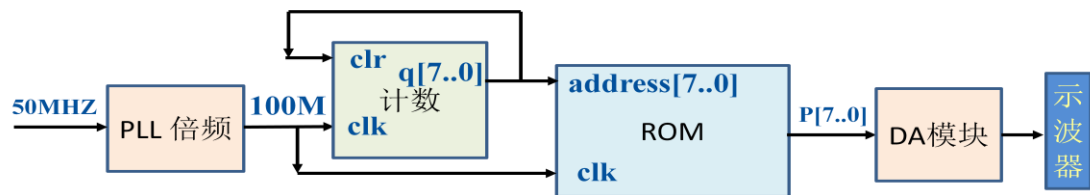


B) FPGA 外接引脚

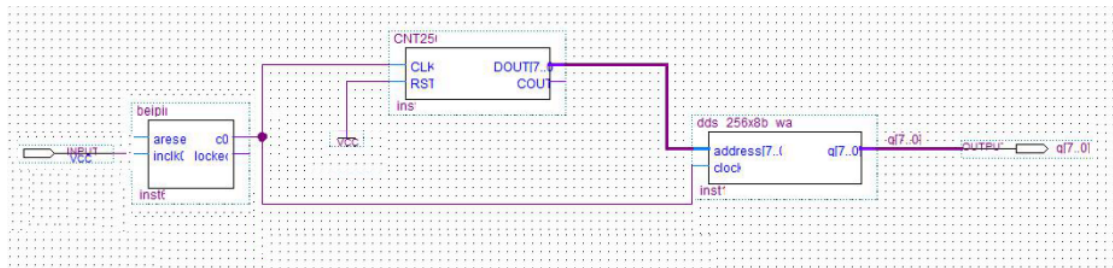


6. 顶层设计文件框图

6.1 原理框图

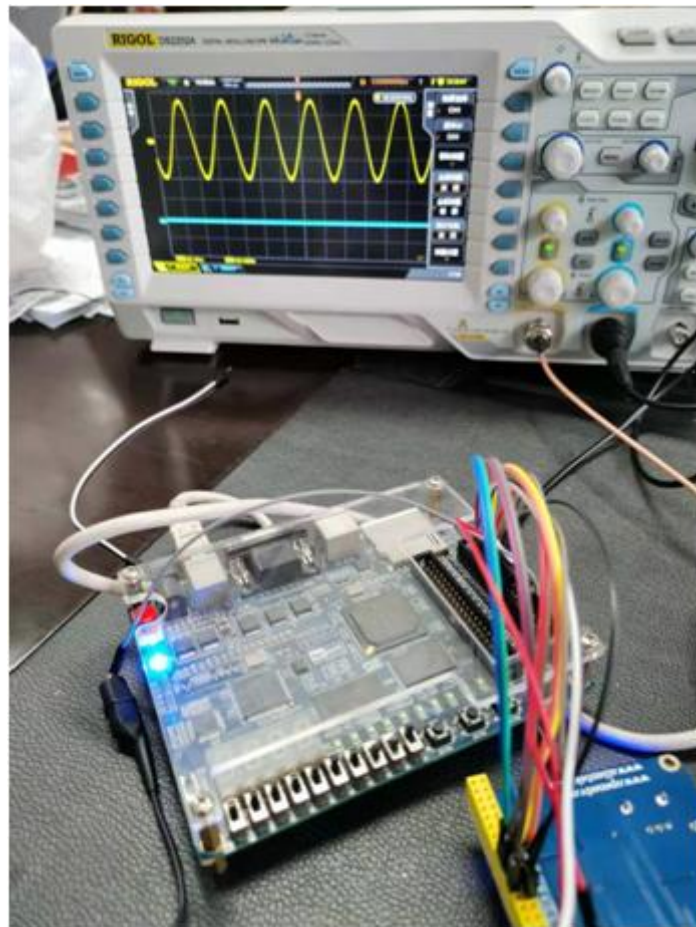


6.2 顶层电路原理图

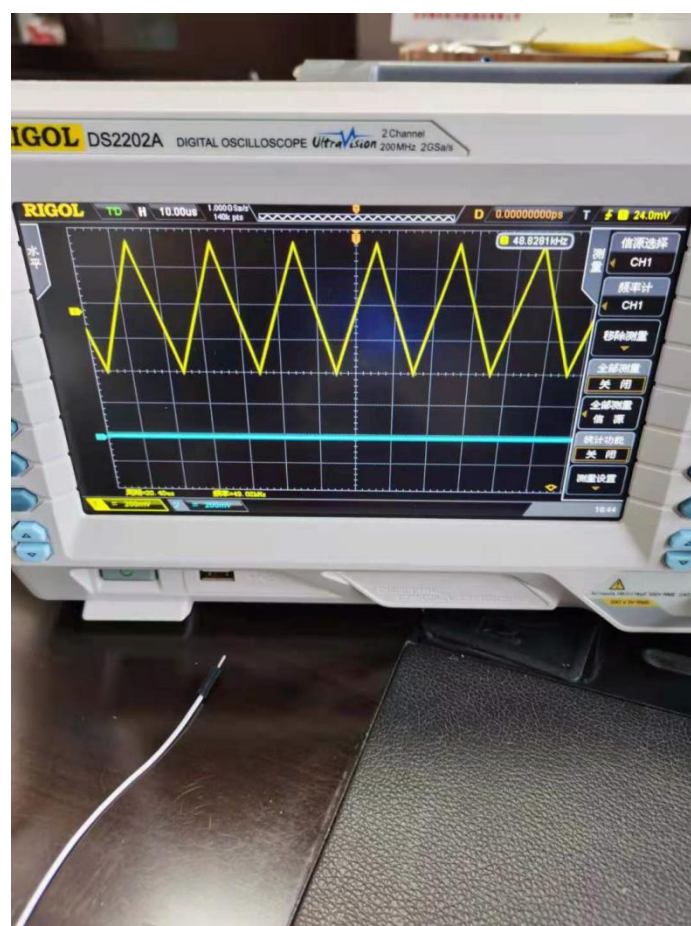


6.3 示波器显示

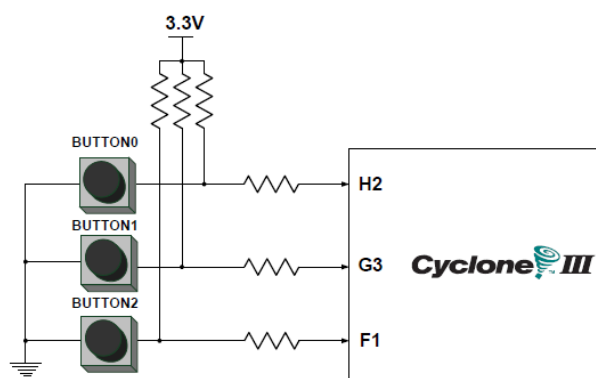
6.3.1 正弦波



6.3.2 三角波



三、DE0 外接引脚说明

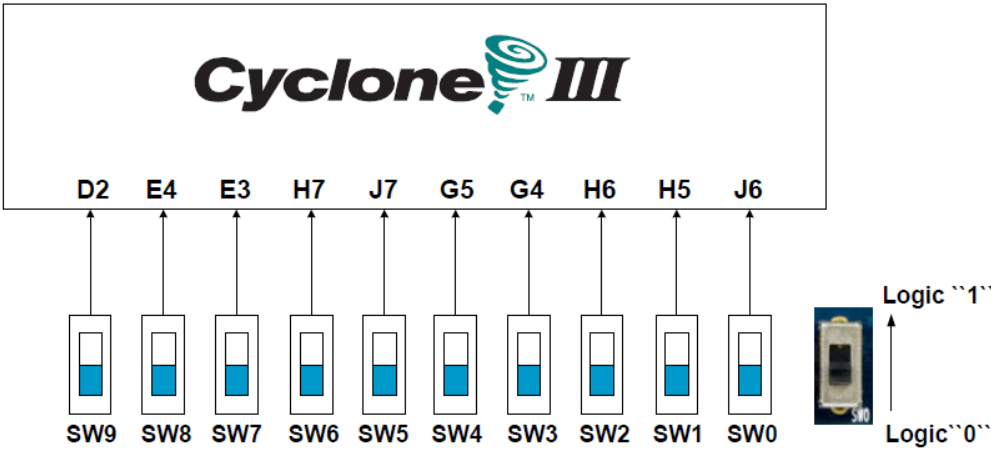


按钮开关与 Cyclone III FPGA 的连接

按钮开关的引脚分配

信号名	FPGA 引脚号	说明
-----	----------	----

BUTTON [0]	PIN_ H2	Pushbutton[0]
BUTTON [1]	PIN_ G3	Pushbutton[1]
BUTTON [2]	PIN_ F1	Pushbutton[2]

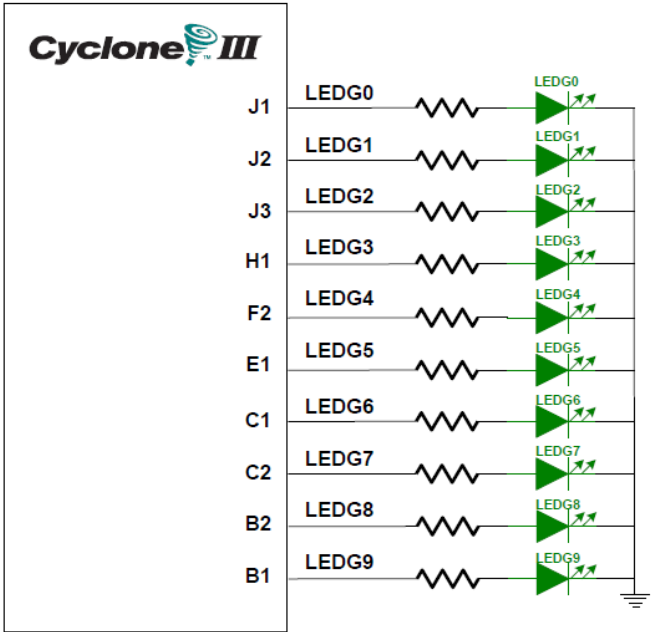


拨动开关与 CycloneIII FPGA 的连接

拨动开关的引脚分配

信号名	FPGA 引脚号.	说明
SW[0]	PIN_J6	Slide Switch[0]
SW[1]	PIN_H5	Slide Switch[1]
SW[2]	PIN_H6	Slide Switch[2]
SW[3]	PIN_G4	Slide Switch[3]
SW[4]	PIN_G5	Slide Switch[4]
SW[5]	PIN_J7	Slide Switch[5]

SW[6]	PIN_H7	Slide Switch[6]
SW[7]	PIN_E3	Slide Switch[7]
SW[8]	PIN_E4	Slide Switch[8]
SW[9]	PIN_D2	Slide Switch[9]

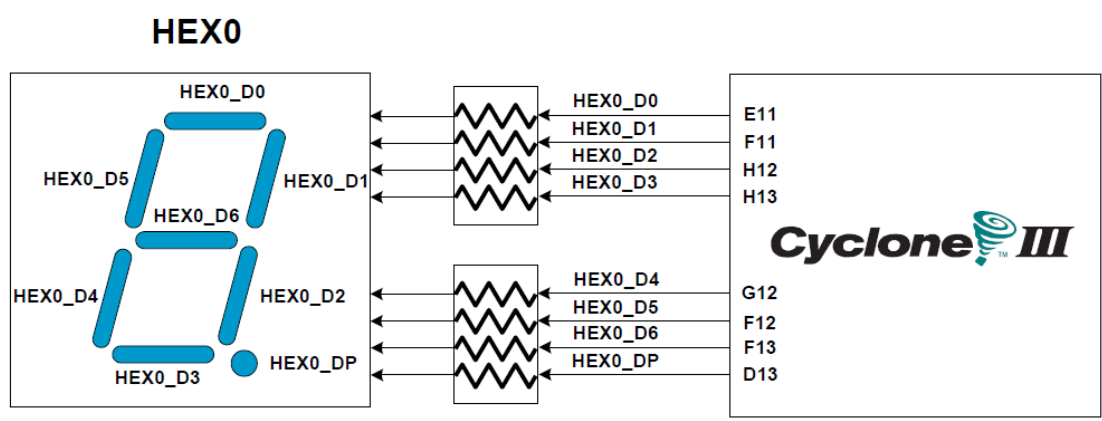


LED 灯与 Cyclone III FPGA 的连接

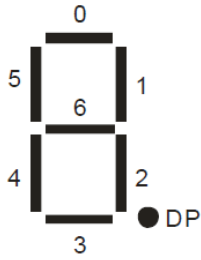
LED 灯的引脚分配

信号名	FPGA 引脚号	说明
LEDG[0]	PIN_J1	LED Green[0]
LEDG[1]	PIN_J2	LED Green[1]

LEDG[2]	PIN_J3	LED Green[2]
LEDG[3]	PIN_H1	LED Green[3]
LEDG[4]	PIN_F2	LED Green[4]
LEDG[5]	PIN_E1	LED Green[5]
LEDG[6]	PIN_C1	LED Green[6]
LEDG[7]	PIN_C2	LED Green[7]
LEDG[8]	PIN_B2	LED Green[8]
LEDG[9]	PIN_B1	LED Green[9]



七段数码管与 Cyclone III FPGA 芯片的连接示意图



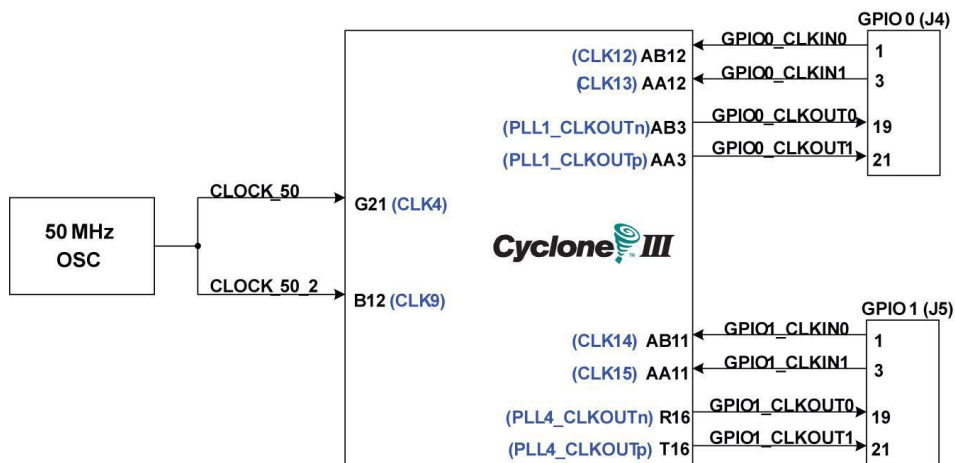
七段数码管每个字段的相应编号

七段数码管的引脚配置

信号名	FPGA 引脚号	说明
HEX0_D[0]	PIN_E11	Seven Segment Digit 0[0]
HEX0_D[1]	PIN_F11	Seven Segment Digit 0[1]
HEX0_D[2]	PIN_H12	Seven Segment Digit 0[2]
HEX0_D[3]	PIN_H13	Seven Segment Digit 0[3]
HEX0_D[4]	PIN_G12	Seven Segment Digit 0[4]
HEX0_D[5]	PIN_F12	Seven Segment Digit 0[5]
HEX0_D[6]	PIN_F13	Seven Segment Digit 0[6]
HEX0_DP	PIN_D13	Seven Segment Decimal Point 0

HEX1_D[0]	PIN_A13	Seven Segment Digit 1[0]
HEX1_D[1]	PIN_B13	Seven Segment Digit 1[1]
HEX1_D[2]	PIN_C13	Seven Segment Digit 1[2]
HEX1_D[3]	PIN_A14	Seven Segment Digit 1[3]
HEX1_D[4]	PIN_B14	Seven Segment Digit 1[4]
HEX1_D[5]	PIN_E14	Seven Segment Digit 1[5]
HEX1_D[6]	PIN_A15	Seven Segment Digit 1[6]
HEX1_DP	PIN_B15	Seven Segment Decimal Point 1
HEX2_D[0]	PIN_D15	Seven Segment Digit 2[0]
HEX2_D[1]	PIN_A16	Seven Segment Digit 2[1]
HEX2_D[2]	PIN_B16	Seven Segment Digit 2[2]
HEX2_D[3]	PIN_E15	Seven Segment Digit 2[3]
HEX2_D[4]	PIN_A17	Seven Segment Digit 2[4]

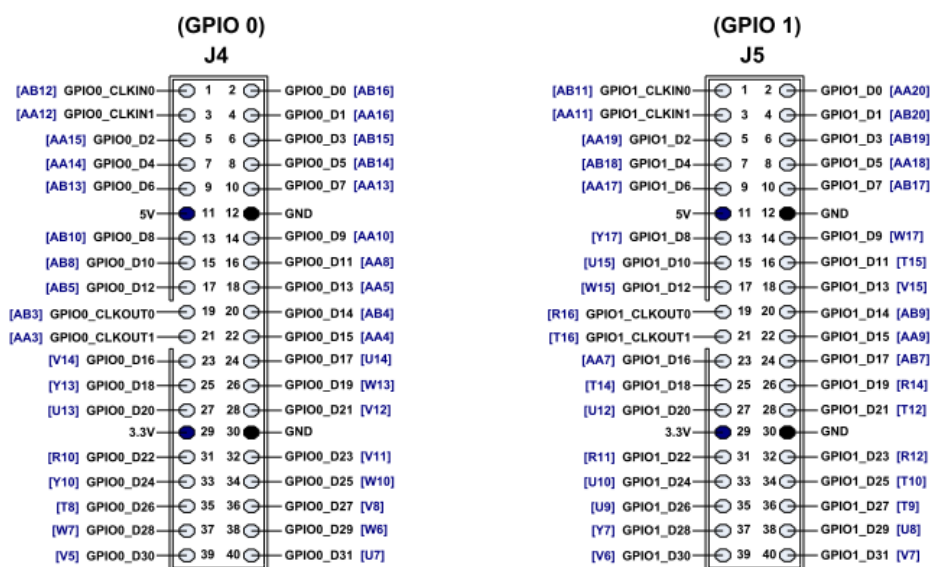
HEX2_D[5]	PIN_B17	Seven Segment Digit 2[5]
HEX2_D[6]	PIN_F14	Seven Segment Digit 2[6]
HEX2_DP	PIN_A18	Seven Segment Decimal Point 2
HEX3_D[0]	PIN_B18	Seven Segment Digit 3[0]
HEX3_D[1]	PIN_F15	Seven Segment Digit 3[1]
HEX3_D[2]	PIN_A19	Seven Segment Digit 3[2]
HEX3_D[3]	PIN_B19	Seven Segment Digit 3[3]
HEX3_D[4]	PIN_C19	Seven Segment Digit 3[4]
HEX3_D[5]	PIN_D19	Seven Segment Digit 3[5]
HEX3_D[6]	PIN_G15	Seven Segment Digit 3[6]
HEX3_DP	PIN_G16	Seven Segment Decimal Point 3



时钟分配电路的方块图

时钟输入的引脚分配

信号名	FPGA 引脚号.	说明
CLOCK_50	PIN_G21	50 MHz clock input



扩展接头的 I/O 分配