

## 目 录

一、实验要求: .....	2
二、实验步骤: .....	2
1.PLL 锁相环简介 .....	2
2 QuartusII 配置 PLL .....	2
3 生成波形数据文件 .....	6
4.QuartusII 配置 ROM .....	7
5.DA 模块 .....	10
6.顶层设计文件框图 .....	12
三、DE0 外接引脚说明 .....	13

## 基于 FPGA 的信号发生器

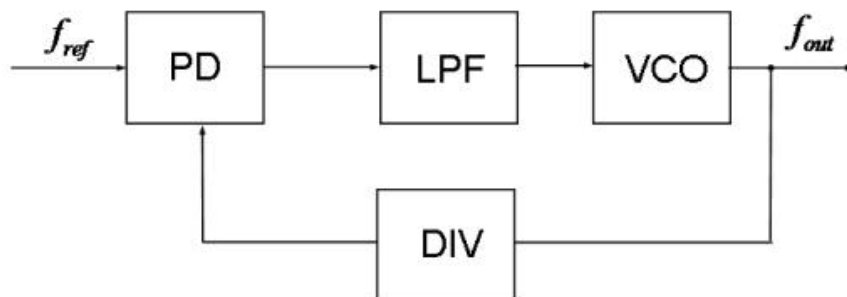
### 一、实验要求：

1. 用 PLL 生成 100M 时钟作为计数器计数脉冲，利用计数器（如 74161 等）或硬件描述语言生成的计数模块的输出依次扫描 ROM 的地址端读取 ROM 内容。
2. 配置宽度为 8 位的 ROM，并在 ROM 中存储 256 个地址的正弦波数据。
3. 将 ROM 输出的数字信号通过 DA 模块（AD9708）转换为模拟信号，利用示波器显示波形。

### 二、实验步骤：

#### 1. PLL 锁相环简介

锁相环（PLL: Phase-locked loops）是一种利用反馈（Feedback）控制原理实现的频率及相位的同步技术，其作用是将电路输出的时钟与其外部的参考时钟保持同步。当参考时钟的频率或相位发生改变时，锁相环会检测到这种变化，并且通过其内部的反馈系统来调节输出频率，直到两者重新同步，这种同步又称为“锁相”。其原理图如下。



其中：

PD: 鉴相器 LPF: 低通滤波器 VCO: 压控振荡器 DIV: DIV 分频器

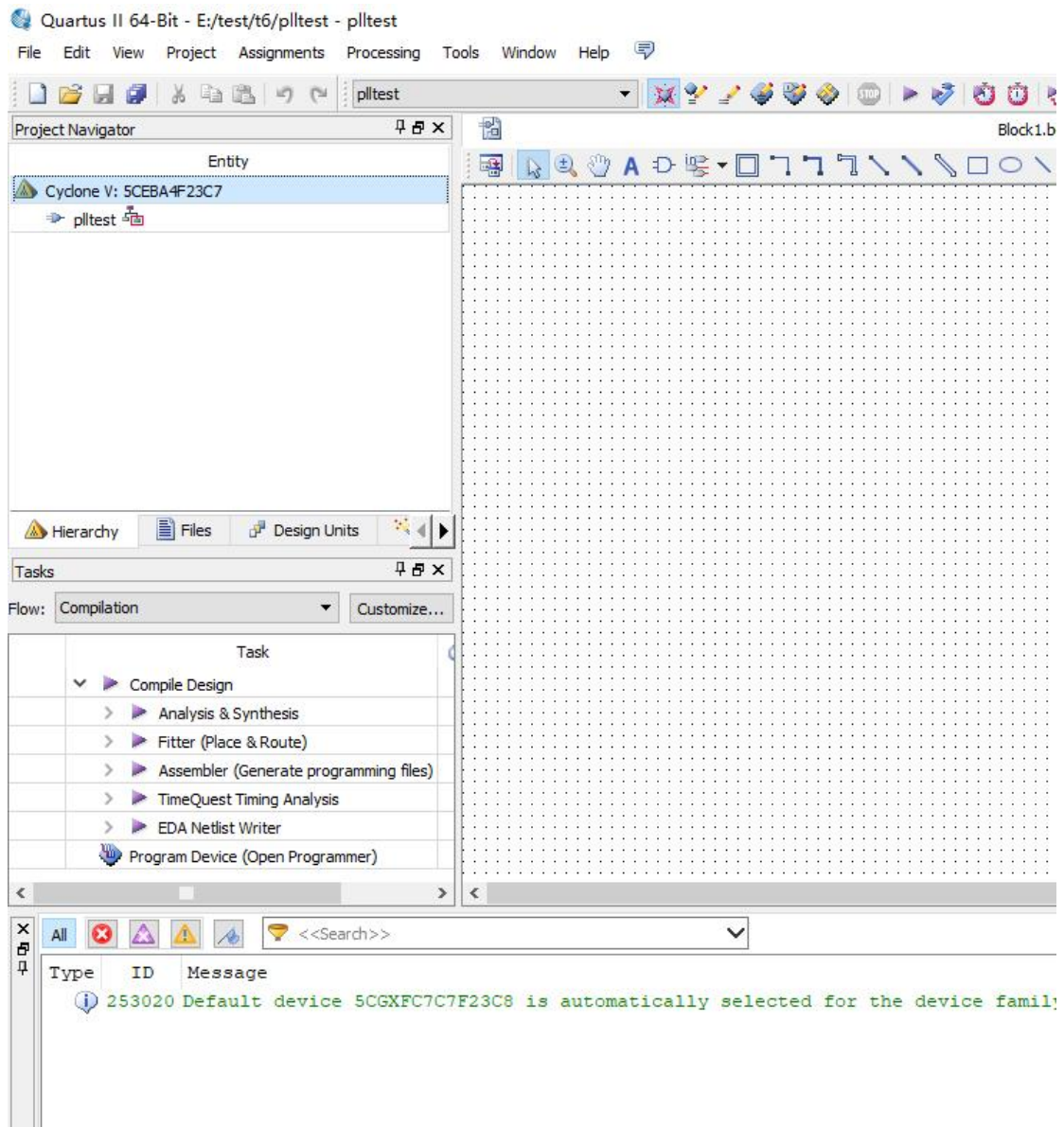
锁相环具有以下特征：

- a) 锁定是无剩余频差；
- b) 具有良好的窄带载波跟踪性能；
- c) 具有良好的宽带调制跟踪性能；

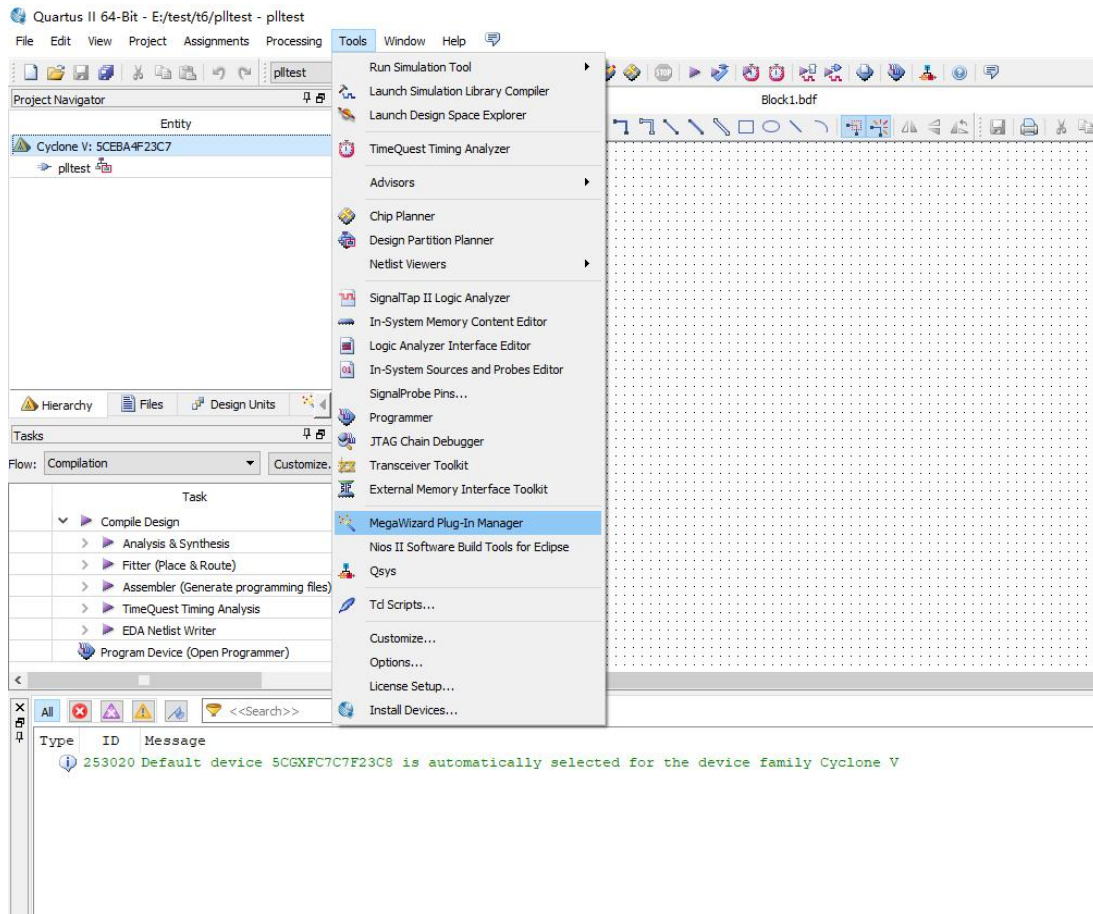
#### 2 QUARTUSII 配置 PLL

PLL 调用步骤：

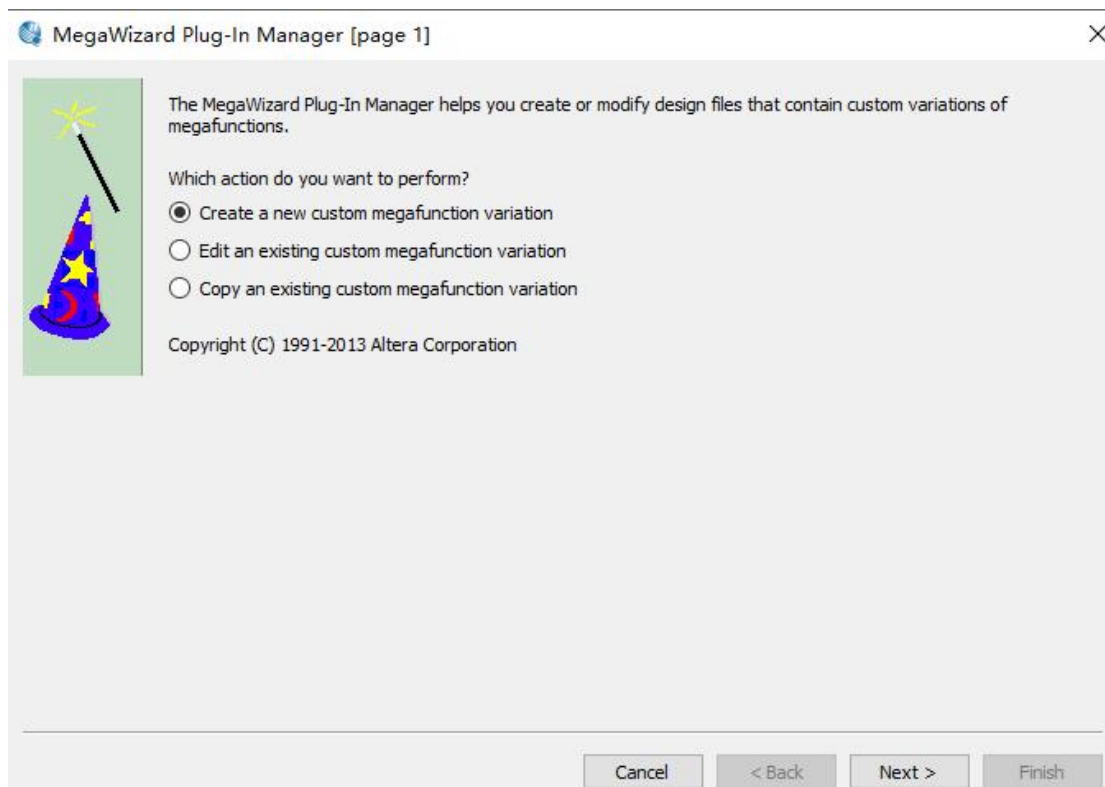
- 2.1 打开一个工程，建立原理图文件（plltest.bdf）做顶层文件



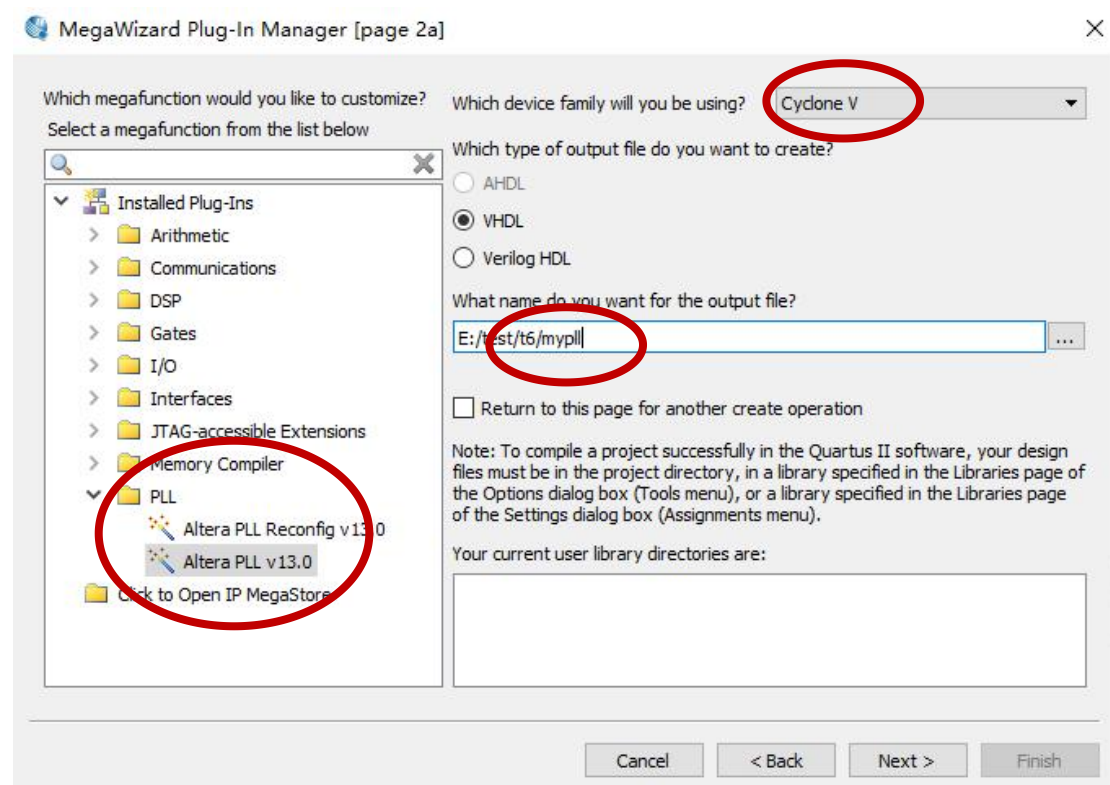
## 2.2 打开 MegaWizard Plug



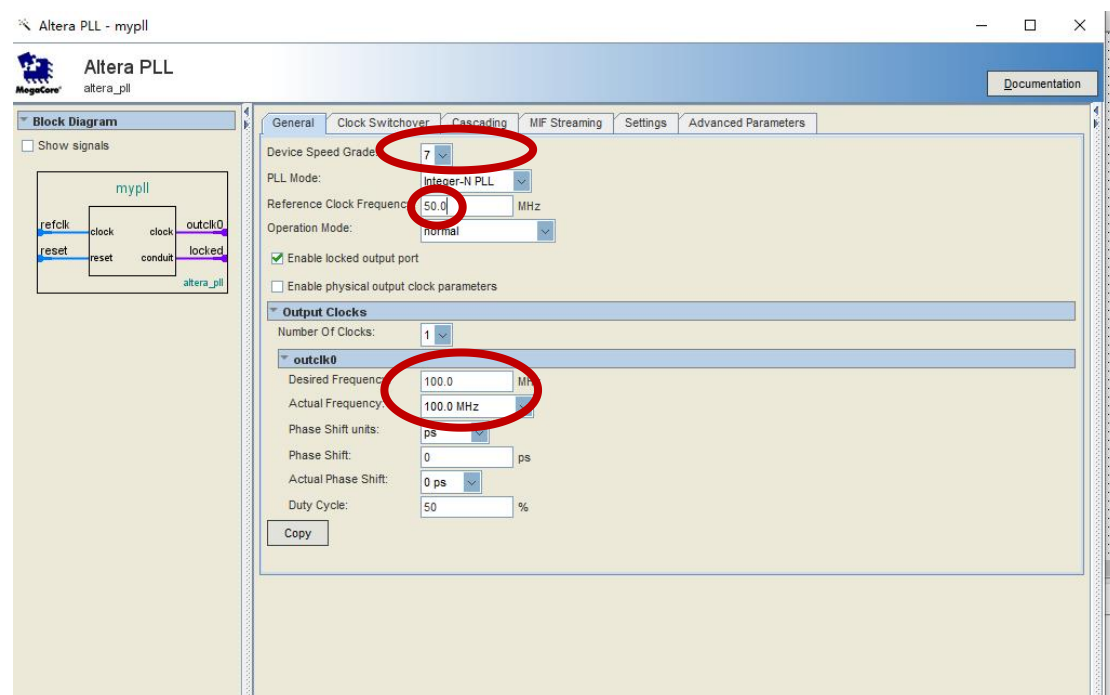
### 2.3 创建一个 Megafuction。选第一项，点 Next



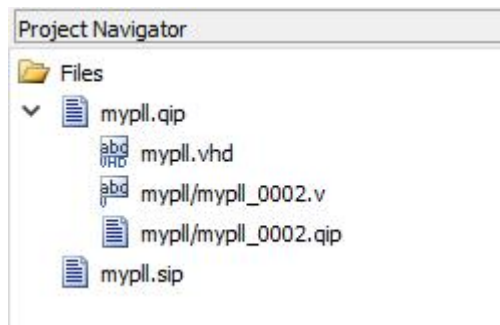
2.4 创建 PLL。1.左边选中 I/O 栏下的”ALTPLL”；2.选择 FPGA 系列；3.为生成的 PLL 选择语言， AHDL, VHDL, Verilog HDL 三种可以任选一种；实验中选择 VHDL 或 Verilog HDL。4. PLL 命名，此处命名为 “PLL”。



2.5 进入 PLL 参数定义。根据参数需要选择 PLL 设置。



2.7 生成 PLL。参数设置完毕后，单击 finish 按钮生成 PLL 功能框图。

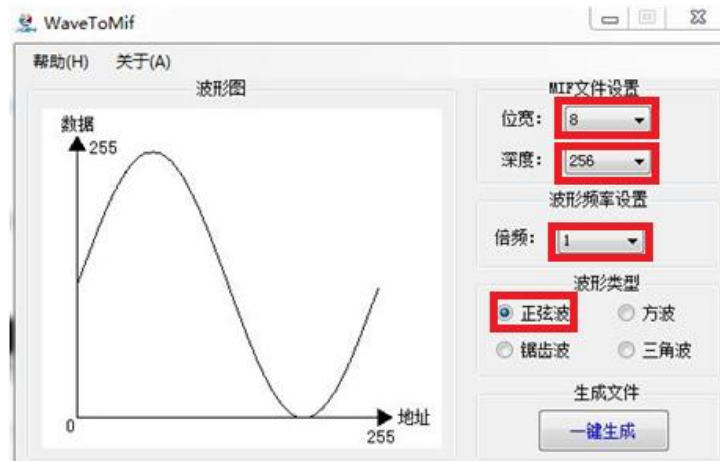


将生成的 mypll.vhd 文件选中，生成元器件符号，就可以在原理图中使用。

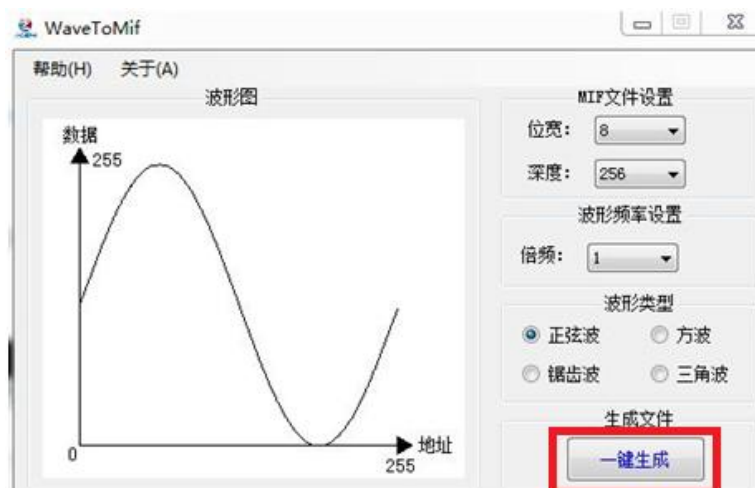
### 3 生成波形数据文件

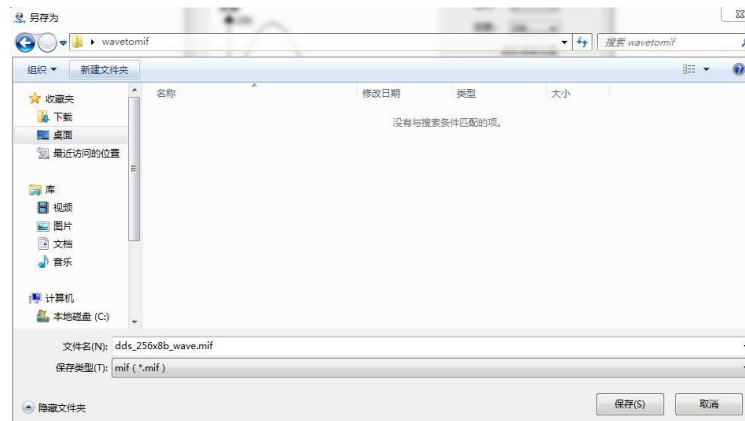
#### 3.1 利用 MIF 软件（WaveToMif\_V1.0.exe）生成波形数据

A) 选择数据位宽、深度、倍频和波形类型



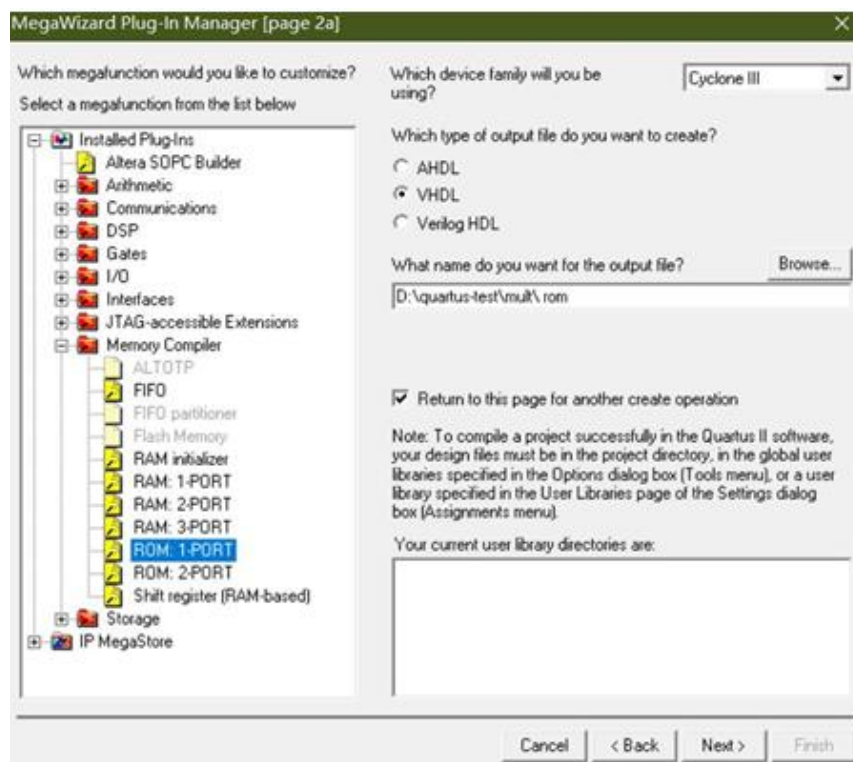
B) 单击生成文件框中的一键生成，保存 MIF 文件





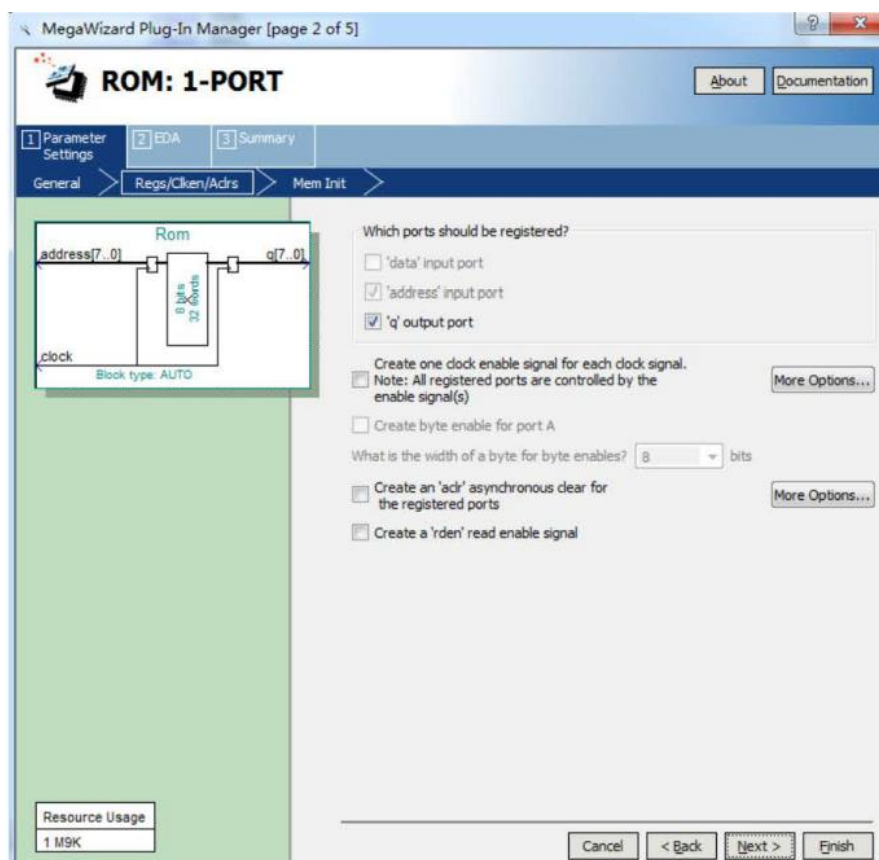
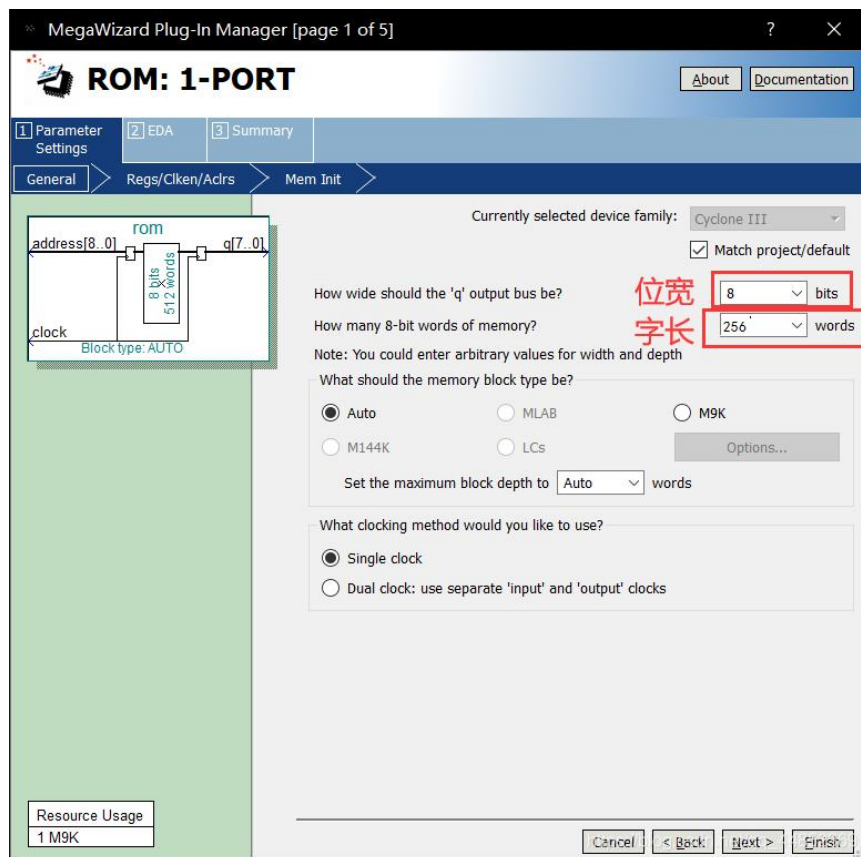
## 4. QUARTUSII 配置 ROM

### 4.1 找到 ROM-1PORT，并创建 rom 文件：



### 4.2 配置 ROM 空间的位宽和字长：





4.3 找到 MIF 波形文件路径:



MegaWizard Plug-In Manager [page 3 of 5]

## ROM: 1-PORT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > Regs/Clock/Adrs > Mem Init >

address[7:0] q[7:0]  
clock  
Block type: AUTO

Do you want to specify the initial content of the memory?

☐ No, leave it blank

☐ Initialize memory content data to XX...X on power-up in simulation

☒ Yes, use this file for the memory content data  
(You can use a Hexadecimal (Intel-format) File [.hex] or a Memory Initialization File [.mif])

Browse...

File name: /dds\_256x8b\_wave.mif

The initial content file should conform to which port's dimensions? PORT\_A

☐ Allow In-System Memory Content Editor to capture and update content independently of the system clock

The 'Instance ID' of this ROM is: NONE

Resource Usage  
1 M9K

Cancel < Back Next > Finish

MegaWizard Plug-In Manager [page 4 of 5]

## ROM: 1-PORT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General > Regs/Clock/Adrs > Mem Init >

address[7:0] q[7:0]  
clock  
Block type: AUTO

Simulation Libraries

To properly simulate the generated design files, the following simulation model file(s) are needed

File	Description
altera_mf	Altera megafuncion simulation library

Timing and resource estimation

Generates a netlist for timing and resource estimation for this megafuncion. If you are synthesizing your design with a third-party EDA synthesis tool, using a timing and resource estimation netlist can allow for better design optimization.

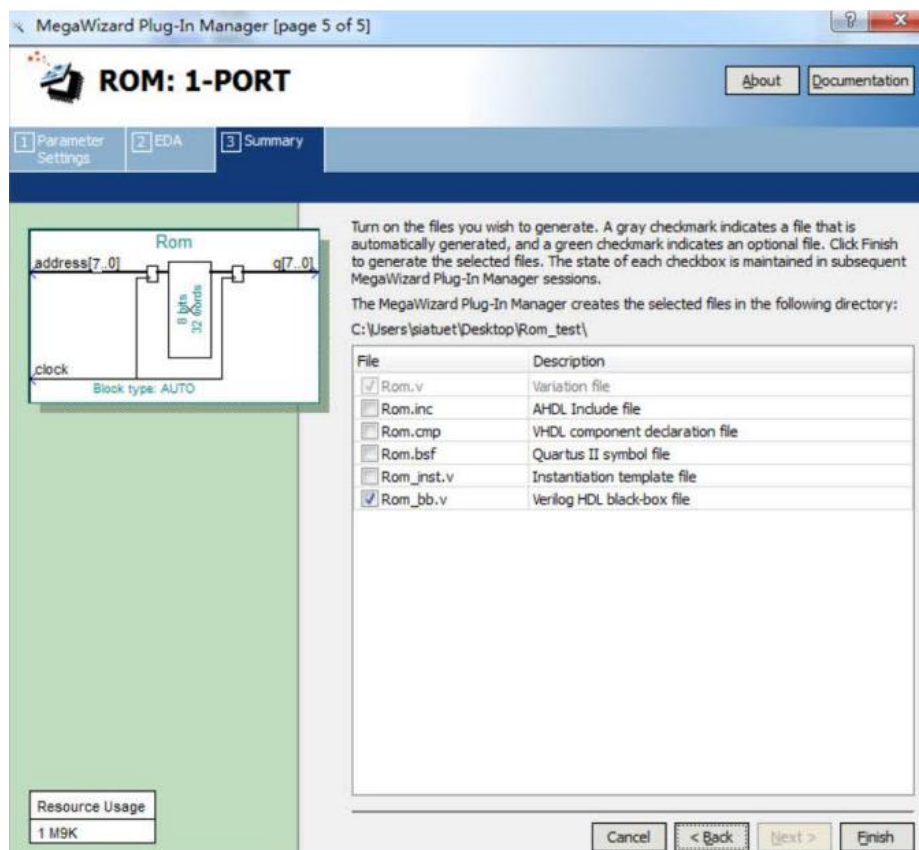
Not all third-party synthesis tools support this feature - check with the tool vendor for complete support information.

Note: Netlist generation can be a time-intensive process. The size of the design and the speed of your system affect the time it takes for netlist generation to complete.

☐ Generate netlist

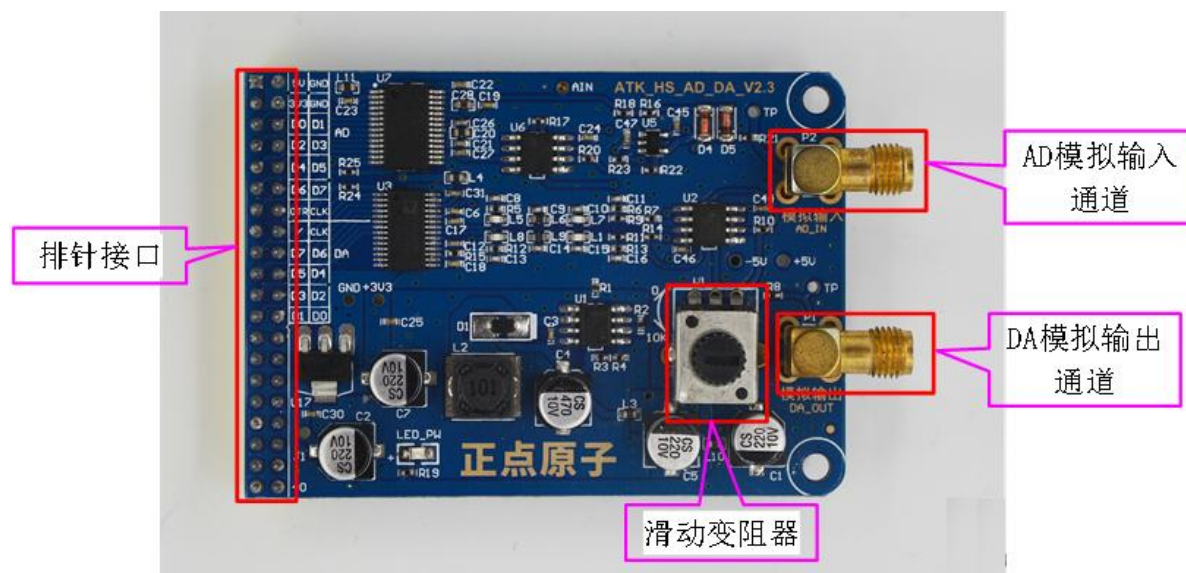
Resource Usage  
1 M9K

Cancel < Back Next > Finish



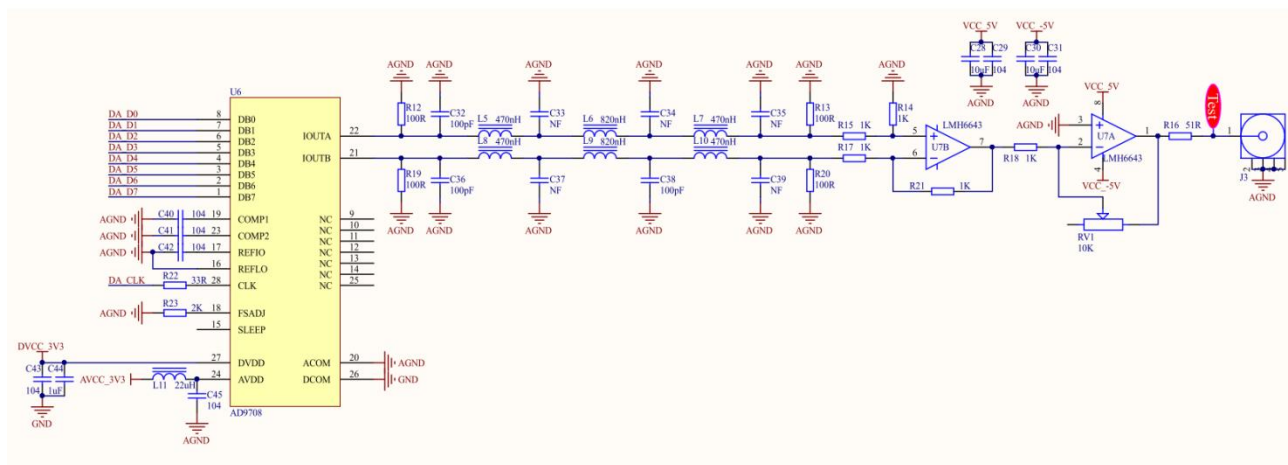
## 5. DA 模块

### 5.1 AD/DA 模块



### 5.2 D/A 芯片 AD9708 原理

#### 5.2.1 原理图

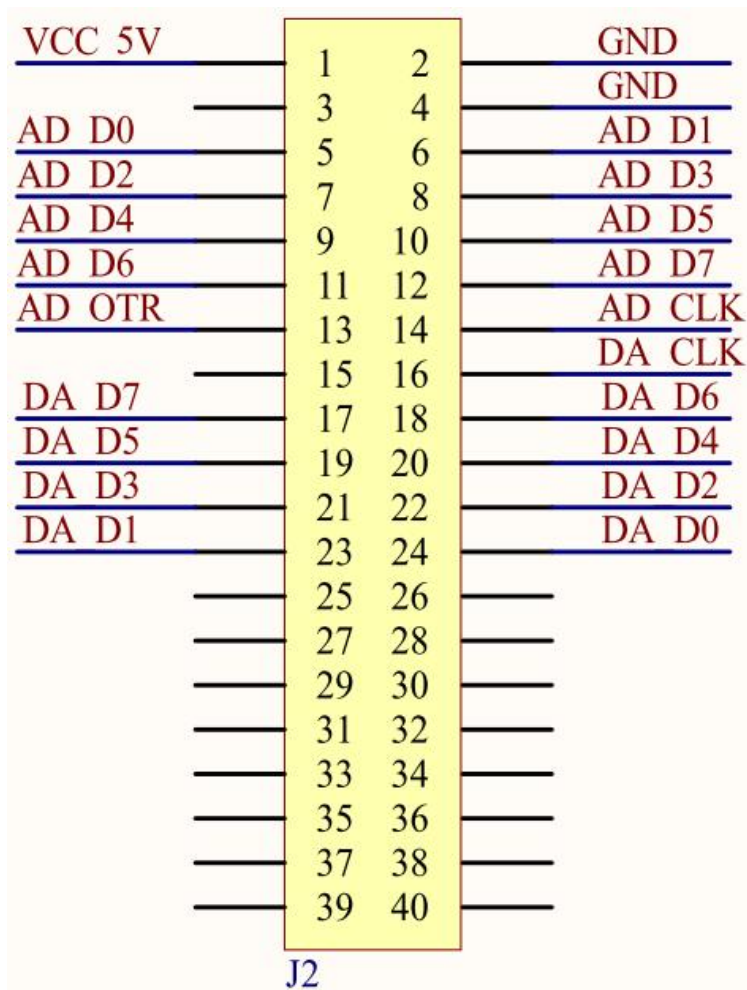


### 5.2.2 工作原理

AD9708 输出的一对差分电流信号先经过滤波器，再经过运放电路得到一个单端的模拟电压信号。图中 RV1 为滑动变阻器，可以调节输出的电压范围，使输出的电压范围在-5V 至+5V 之间。

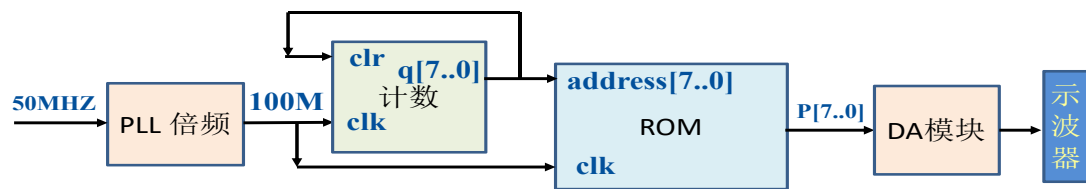
### 5.2.3 引脚配置

#### A) D/A 模块外接引脚

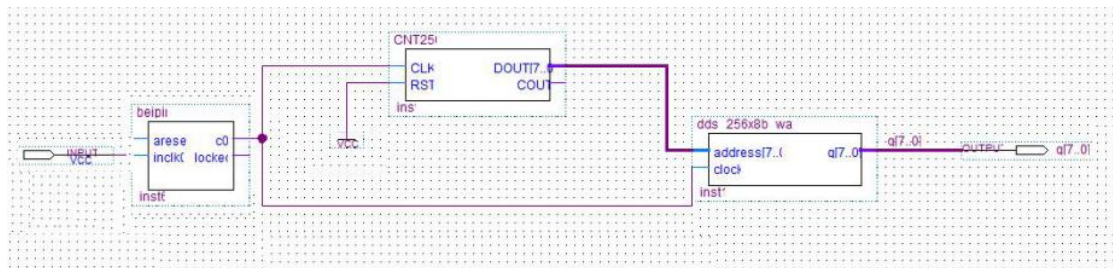


## 6. 顶层设计文件框图

### 6.1 原理框图

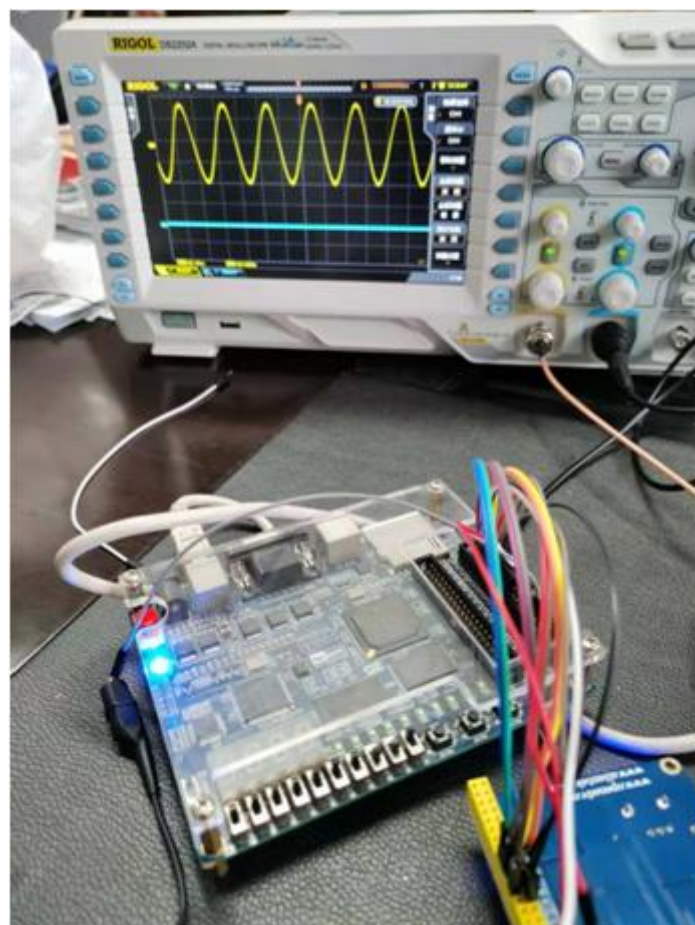


### 6.2 顶层电路原理图



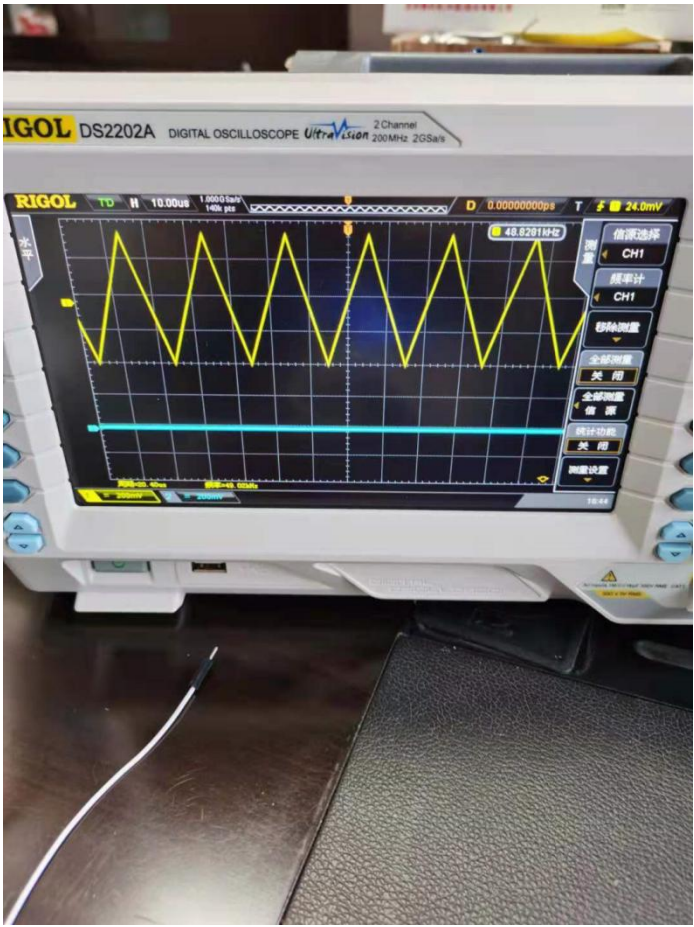
### 6.3 示波器显示

#### 6.3.1 正弦波

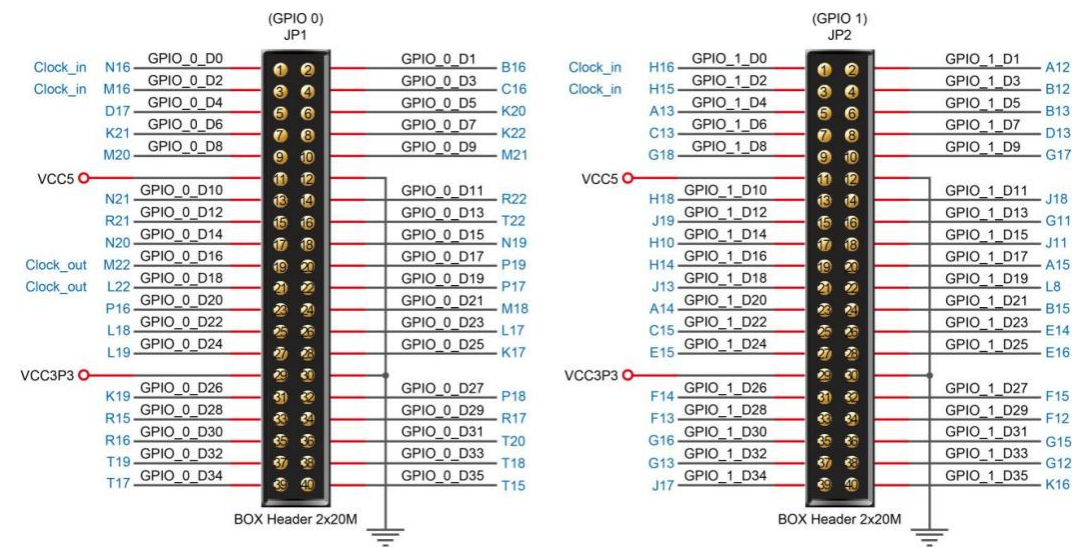




6.3.2 三角波



三、DE0 外接引脚说明



## 扩展接头的 I/O 分配