

ALTERA
UNIVERSITY
PROGRAM

DEO User Manual

Development and Education Board

第 1 章.	DE0 包装.....	3
1.1	包装内容.....	3
1.2	DE0 开发板组装.....	4
第 2 章.	DE0 开发板简介.....	6
2.1	开发板布局和组件.....	6
2.2	DE0 开发板系统框图.....	7
2.3	DE0 开发板上电.....	10
第 3 章.	DE0 控制面板.....	12
3.1	初始化控制面板.....	12
3.2	控制 LED 及七段数码管.....	14
3.3	开关和按钮.....	16
3.4	SDRAM 以及 Flash 控制器和编程器.....	16
3.5	PS/2 设备.....	18
3.6	SD 卡.....	19
3.7	VGA.....	19
第 4 章.	使用 DE0 开发板.....	21
4.1	配置 Cyclone III FPGA 芯片.....	21
4.2	使用 LED 灯和开关.....	24
4.3	使用七段数码管.....	26
4.4	时钟电路.....	28
4.5	使用 LCD 模块.....	29
4.6	使用扩展接头.....	31
4.7	使用 VGA.....	34
4.8	RS-232 串行接口.....	35
4.9	PS/2 串行接口.....	37
4.10	SD 卡插槽.....	37

4.11 使用 SDRAM 和 Flash.....	38
第 5 章. 高阶设计范例.....	42
5.1 DE0 默认配置	42
5.2 SD 卡设计范例.....	43
5.3 VGA color pattern 设计范例.....	46
第 6 章. 附录.....	50
6.1 修改历史.....	50
6.2 版权声明.....	50

第1章.

DE0 包装

DE0 开发板套件包含了在 Windows 操作系统下运行所需的所有组件。

1.1 包装内容

DE0 开发板套件之包装图 1-1 所示。



图 1-1 DE0 开发板套件包装

DE0 开发板套件包含:

- DE0 开发板
- 用于 FPGA 编程控制的 USB 电缆线
- DE0 开发板系统 CD 包含：
 - Altera's Quartus® II 网络版及 Nios® II Embedded Design Suit 评估版
 - DE0 开发板文档及辅助材料，包含：使用手册，控制面板，参考设计和演示实例，器件数据手册，指导手册，以及一系列实验练习
- 压克力板
- 7.5 DC 变压器

1.2 DE0 开发板组装

把以下配件装在 DE0 开发板上：

- 如图 1-2，把硅胶脚套分别装在 DE0 开发板的四个铜脚上
- 压克力板为开发板提供额外保护，使用其他螺丝与零件把压克力板装在开发板上

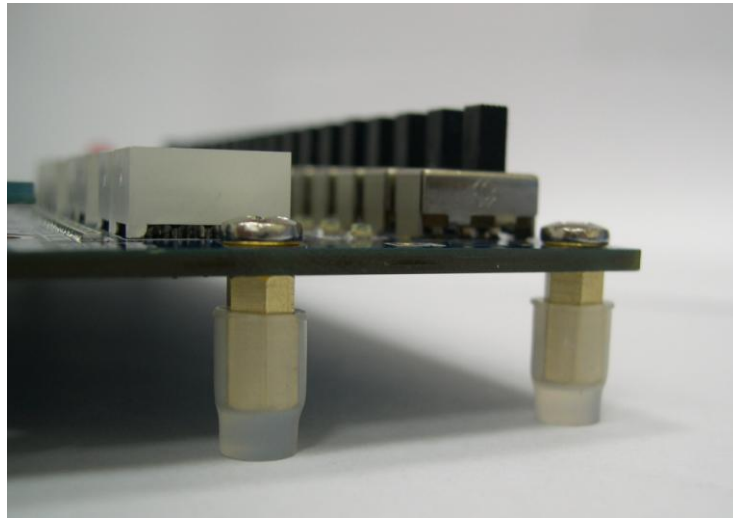


图 1-2 DE0 开发板铜脚

■ 获得帮助

如遇到问题可以联系：

- Altera Corporation
- 101 Innovation Drive
- San Jose, California, 95134 USA

- Email: university@altera.com
- Terasic Technologies （友晶科技台湾总部）
- No. 356, Sec. 1, Fusing E. Rd.
- Jhubei City, HsinChu County, Taiwan, 302
- Email: support@terasic.com
- Web: DE0.terasic.com

第2章.

DE0 开发板简介

这一章介绍了 DE0 开发板的特性及设计特点。

2.1 开发板布局 and 组件

图 2-1 为开发板的布局，并标注出连接器 and 关键组件。

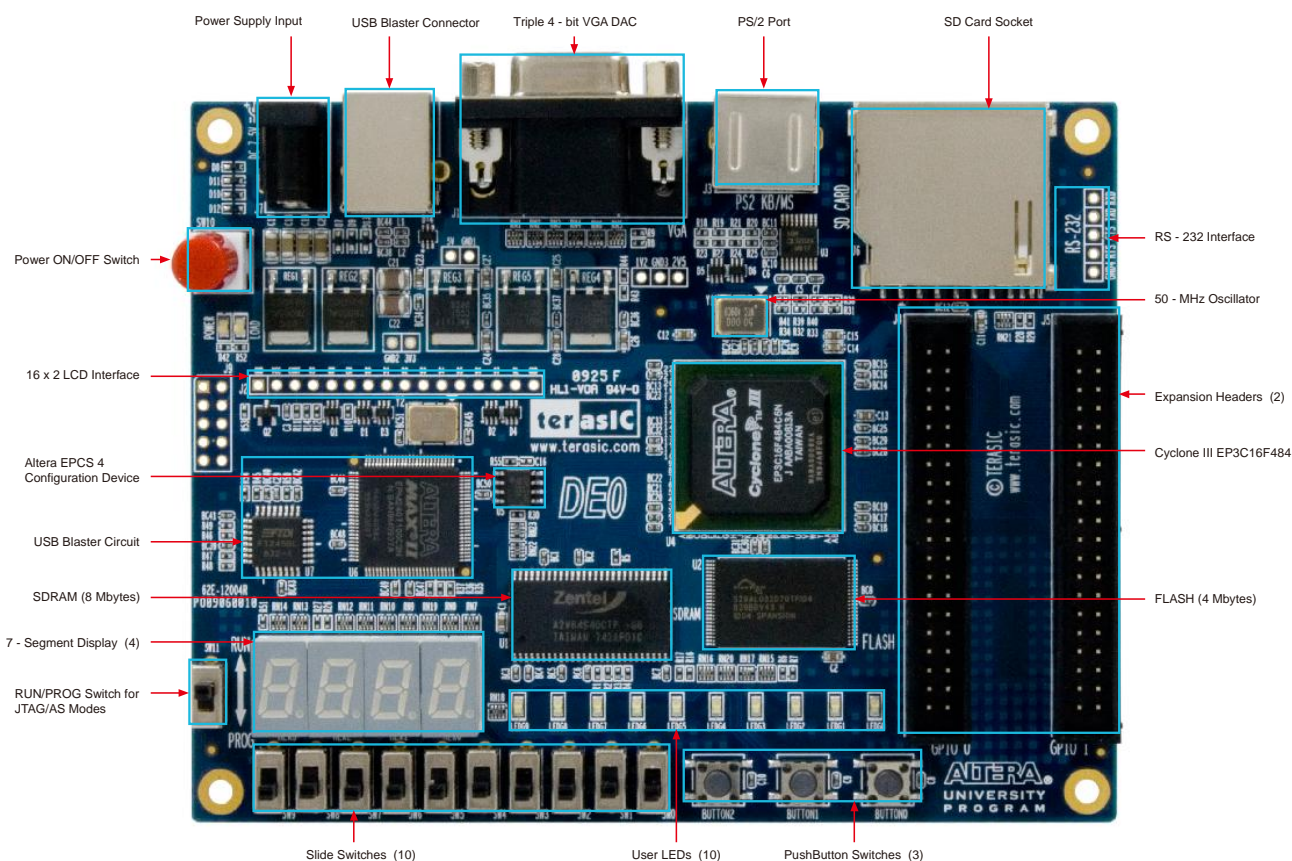


图 2-1 DE0 开发板

DE0 开发板的很多特性可以使用户完成各种电路设计工作，从简单的电路到各类多媒体项目。

以下为 DE0 开发板上的硬件：

- Altera Cyclone® III 3C16 FPGA 器件
- Altera 系列配置 - EPCS4
- 板上 USB Blaster 用于编程，支持 JTAG 模式和 AS 模式
- 8 MB SDRAM
- 4 MB 闪存
- SD 卡槽
- 3 个按钮开关
- 10 个拨动开关
- 10 个绿色 LED
- 50-MHz 振荡器时钟源
- VGA DAC (4-bit 电阻网络) 带有 VGA 输出接口
- RS-232 接收器
- PS/2 鼠标/键盘接口
- 两个 40-pin 扩展口

2.2 DE0 开发板系统框图

图 2-2 为 DE0 开发板系统框图。为了提供用户最大灵活性，所有连接均通过 Cyclone III FPGA 器件完成，因此用户可以配置 FPGA 来完成任何系统设计。

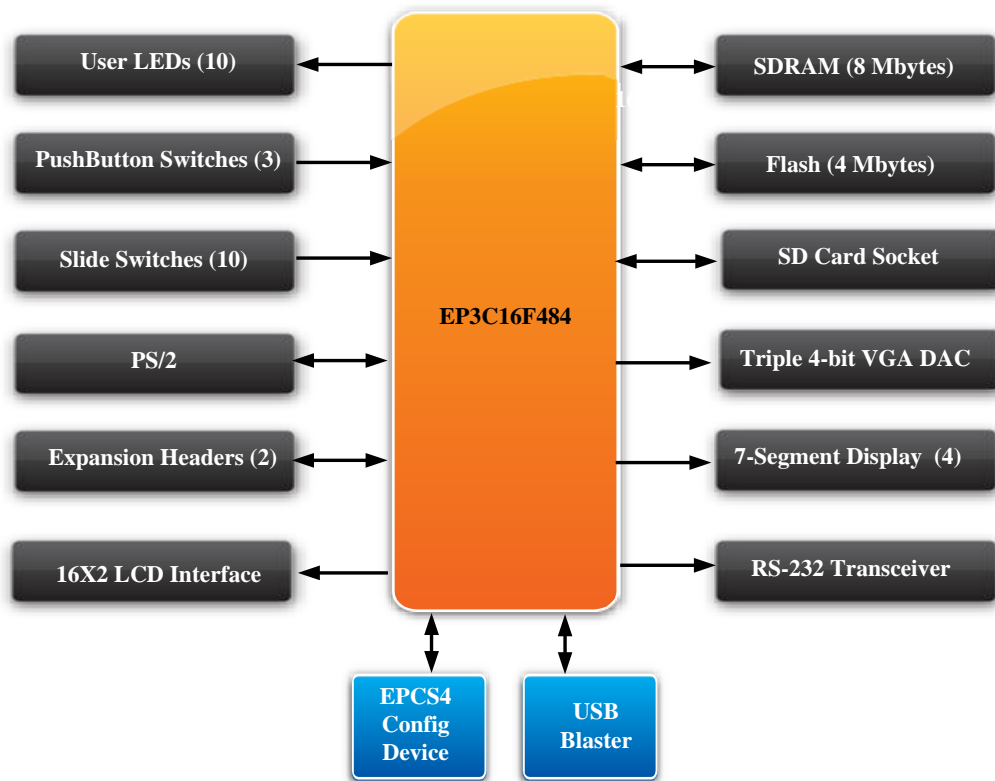


图 2-2 DE0 开发板系统框图

以下是关于图 2-2 的更多信息：

■ Cyclone III 3C16 FPGA

- 15,408 逻辑单元
- 56 M9K 内存模块
- 504K RAM
- 56 个内嵌乘法器
- 4 个锁相环
- 346 个 I/O pins
- 细间距球栅阵列 484pins 封装

■ 内置 USB Blaster 电路

- 板上 USB Blaster，用于编程及用户 API (Application programming interface) 控制

- 使用 Altera EPM240 CPLD

■ SDRAM

- 单颗 8MB SDR SDRAM 芯片
- 支持 16-bits 数据总线

■ 闪存

- 4MB NOR 闪存
- 支持 Byte (8-bits)/Word (16-bits) 模式

■ SD 插口

- 提供 SPI 模式 和 1 位 SD 模式用于 SD 卡接入

■ 按钮开关

- 3 个按钮开关
- 常闭开关，按下时产生低电平脉冲

■ 滑动开关

- 10 个滑动开关
- 相应产生逻辑 0 与逻辑 1

■ 人机界面

- 10 个绿色 LED
- 4 个七段显示器
- 16x2 LCD 接口 (不含 LCD 模块)

■ 时钟输入

- 50-MHz 振荡器

■ VGA 输出

- 4-bit 电阻式 DAC（数位类比转换）
- 15-pin 高密度 D 型接头
- 最高支持 1280x1024 每秒 60 幅

■ 序列 ports

- 一组 RS-232 port (不含 DB-9 连接器)
- 一组 PS/2 port (若要同时接滑鼠与键盘可使用 PS/2 Y Cable 来扩充)

■ 两个 40-pin 扩充槽

- 72 个 I/O 接脚以及 8 个电源与接地接脚
- 用于 40-pin 扩充槽的排线可利用 IDE 硬碟专用的 40-pin 排线

2.3 DE0 开发板上电

DE0 开发板预装了默认配置来演示板子的一些功能，同时客户也可通过它快速检测开发板是否能正常运行。上电步骤如下：

1. 把 USB 数据线与主机连接起来，同时连接到开发板上的 USB Blaster. 为了实现主机与开发板的通讯，请安装 Altera USB Blaster 驱动软件。如果驱动还没有安装在主机上，请按照指导手册 *Getting Started with Altera's DE0 Board* 来安装。此指导手册在 DE0 系统光盘的 DE0\DE0_user_manual 文件夹中。
2. 把 7.5V 变压器连接至 DE0 开发板
3. 把 VGA 显示器通过 VGA 端口连接至开发板
4. 把 DE0 开发板左边的 RUN/PROG 开关拨至 RUN 的位置; PROG 位置只是用来在 AS 模式下编程。
5. 按下 ON/OFF 开关

此时您应该观察到:

- 所有 LED 灯在闪烁
- 所有七段显示器循环的从 0 显示到 F
- 显示器会显示如图 2-3 的图像



图 2-3 默认的 VGA 输出图像.

第3章.

DE0 控制面板

DE0 开发板包含一个用于方便用户通过 PC 机访问开发板上各种器件资源的控制面板软件。主机通过 USB 连接和开发板通信。此工具可用于验证开发板上器件的功能，或者在开发 RTL 代码时用于故障诊断。

这一章首先介绍控制面板的基本功能，然后以方框图的形式阐述它的具体结构，最后介绍它的其它用途。

3.1 初始化控制面板

控制面板工具在 DE0 系统光盘下面的 DE0_Control_panel 目录下可以找到。安装它的话，只须将这个文件夹拷贝到主机电脑上即可。

在您能使用控制面板之前，执行以下操作：

1. 确保 Quartus II 软件和 USB-Blaster 驱动已经在您的 PC 上装好
2. 将附赠的 USB 电缆连接到开发板 USB-Blaster 端口，连接 7.5V 电源适配器，并开启开发板电源开关
3. 拨动 RUN/PROG 开关到 RUN 的位置
4. 在 PC 端执行 DE0_ControlPanel.exe，控制面板的用户界面如图 3-1 所示
5. 当控制面板窗口启动后，它会开始自动下载硬件配置数据到 FPGA 芯片。如果有错误，则会弹出如图 3-2 所示的窗口，这时，您应该检查下前述步骤 1~3 是否有正确执行。然后，单击 Download Code 按钮重新下载硬件配置数据。请注意，控制面板会占用 USB 端口直到你关闭它为止，在使用控制面板的时候，您将不可以再去使用 Quartus II 通过 USB 端口下载配置数据到 FPGA。
6. 控制面板现已就绪，从通过控制面板设定 LED 的显示状态并观察开发板上的响应来开始体验它吧

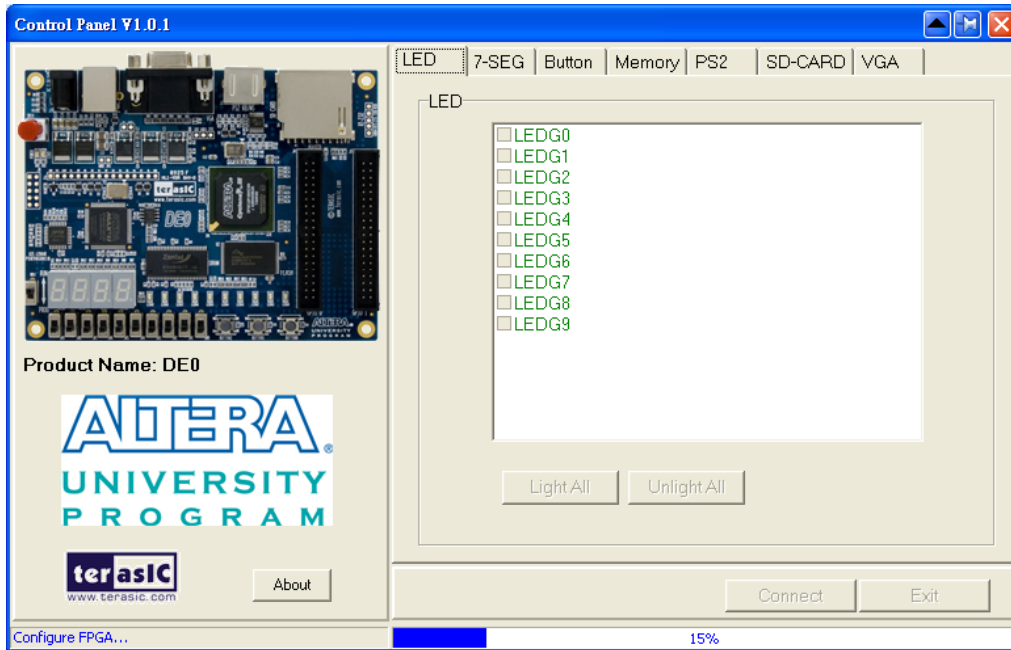


图 3-1 DE0 控制面板

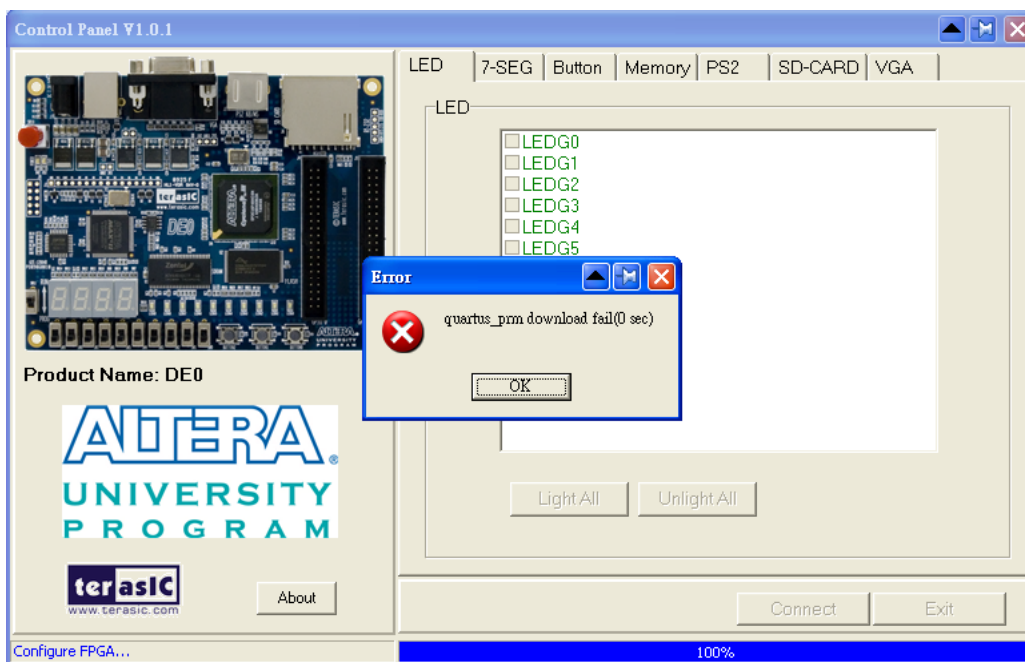


图 3-2 DE0 控制面板下载出错信息

控制面板的实现原理如图 3-3 所示。系统在 FPGA 上实现了各个执行控制操作的“控制单元”。它通过 USB-Blaster 连接和运行于 PC 端的面板通信，来响应 PC 端的操作。控制面板使用图形界面给“控制单元”发送命令。控制单元处理所有的请求并执行 PC 和 DE0 开发板之间的数据传递。

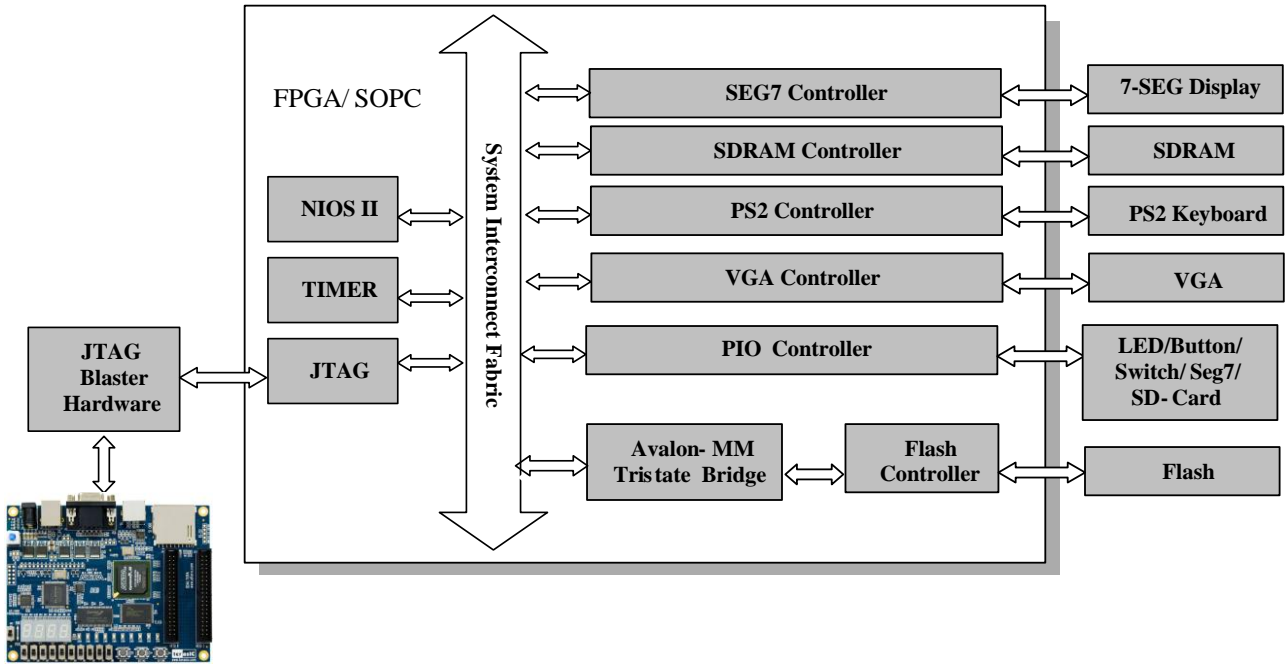


图 3-3 DE0 控制面板设计范例系统框图

DE0 控制面板可用于点亮 LED 灯、改变七段数码管的显示值、监测按钮和拨动开关的状态、读写 SDRAM 以及 Flash 存储器、读取 PS/2 键盘数据、通过 VGA 端口输出彩色样式到 LCD、读取 SD 卡规格信息等。读写一个字或者整个文件到 Flash 存储器的特性允许用户在开发多媒体应用程序（Flash 图像浏览器）的时候无须担心如何去构建一个 Flash 编程器。

3.2 控制 LED 及七段数码管

控制面板的一个简单功能是设置 LED 的亮灭和七段数码管的数值。

选择 LED 选项卡，显示图 3-4 所示窗口。在这里，您可以直接单个控制 LED 的亮灭或者选择“Light All”全亮抑或“Unlight All”全灭。

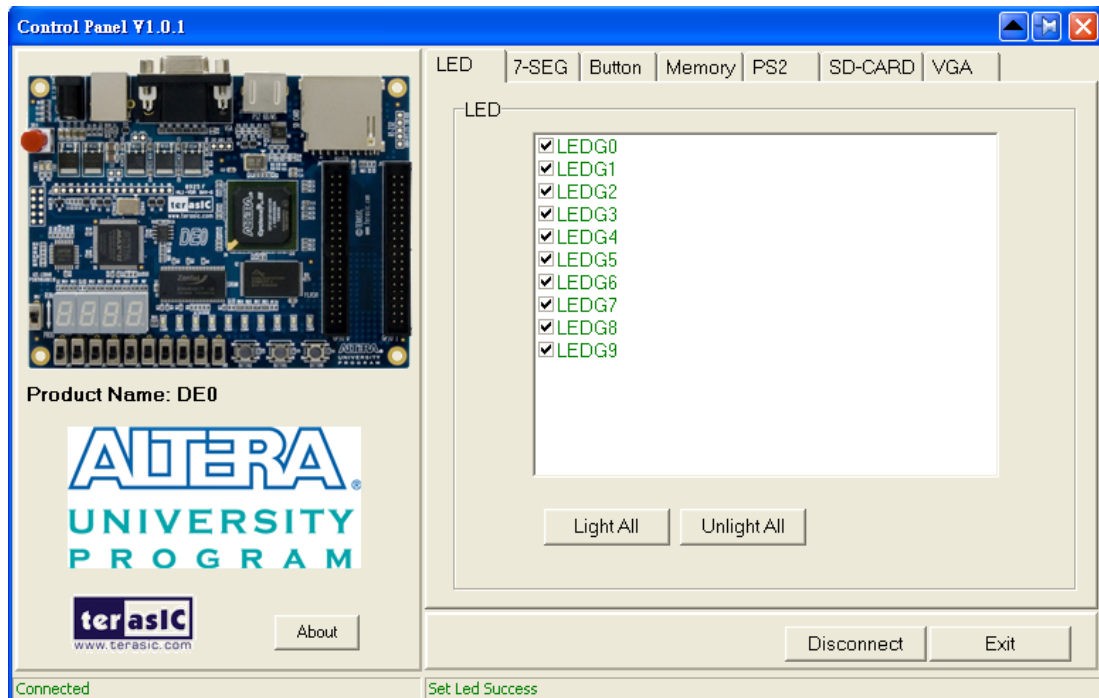


图 3-4 控制 LED

选择 7-SEG 选项卡，显示图 3-5 所示窗口。在这个标签下，使用左右箭头或者勾选小数点选项来显示所需的显示样式，开发板上的七段数码管会随之更新。

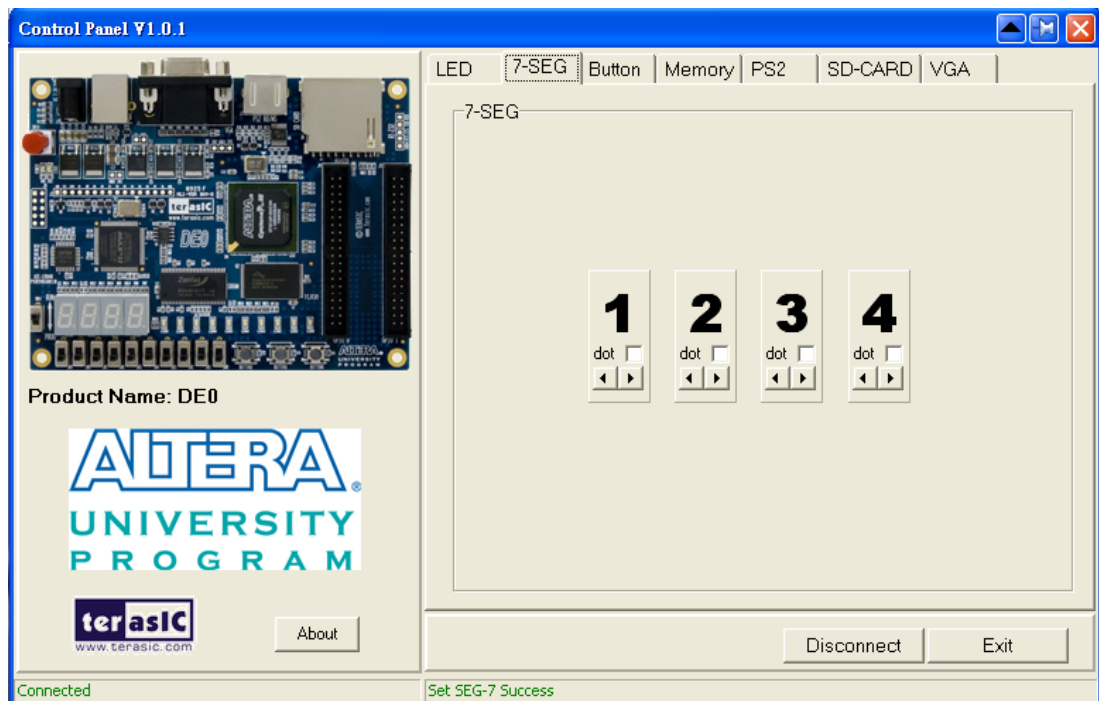


图 3-5 控制七段数码管

为显示器件设定任意值的功能在典型的设计中是不需要的。不过，它给了用户简单地验证这

些器件是否正常工作的机制。因而，它可用于故障排除。

3.3 开关和按钮

选择 **Button** 选项卡，显示图 3-6 所示窗口。这个功能设计为用于监测开关和按钮的实时状态，并将其显示在图形界面上。它也用来验证开关和按钮的功能。

单击 **Start** 按钮开始按钮/开关的侦测，按钮上的文字也会从 **Start** 变成 **Stop**。在侦测过程中，GUI 窗口上显示的按钮和开关状态会实时更新。点击 **Stop** 可以终止侦测过程。

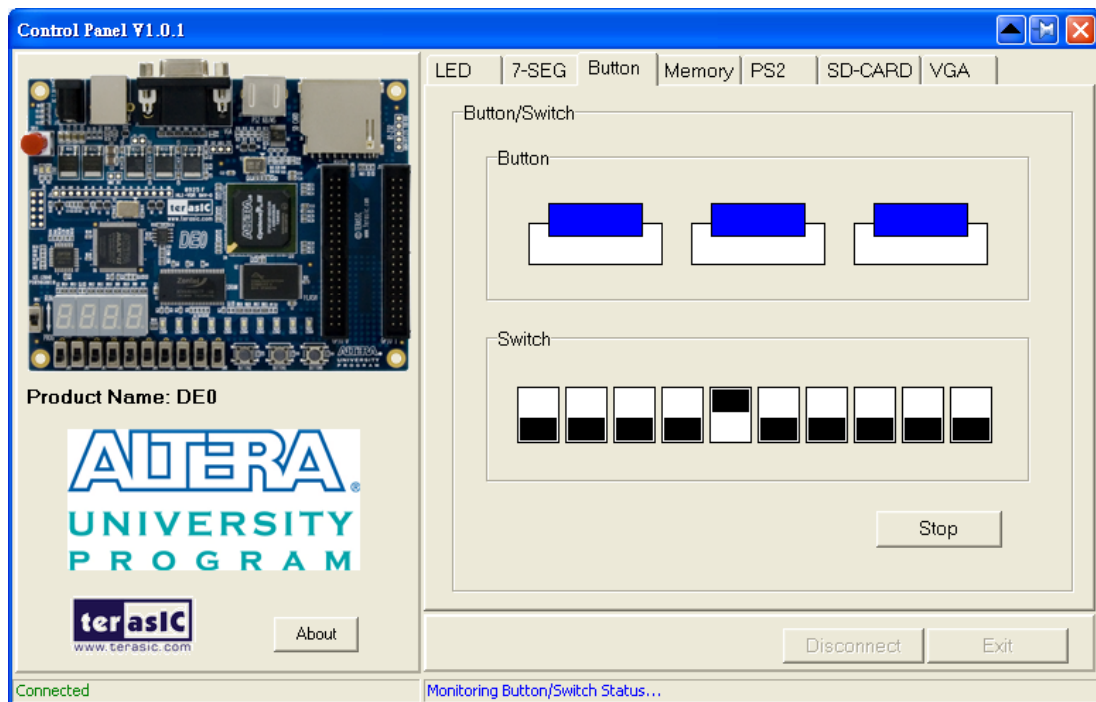


图 3-6 侦测按钮和开关

侦测按钮和开关状态的功能在典型设计中是不需要的。但是，它提供了一种简单地验证按钮和开关功能的机制。因为，它可用于故障排除的目的。

3.4 SDRAM 以及 Flash 控制器和编程器

控制面板可用于读写 DE0 开发板上 SDRAM 以及 Flash 芯片的数据。点击 **Memory** 标签卡，并从下拉列表中选择“**SDRAM**”，显示如图 3-7 所示的窗口。请注意在写数据到 Flash 之前先执行擦除动作。

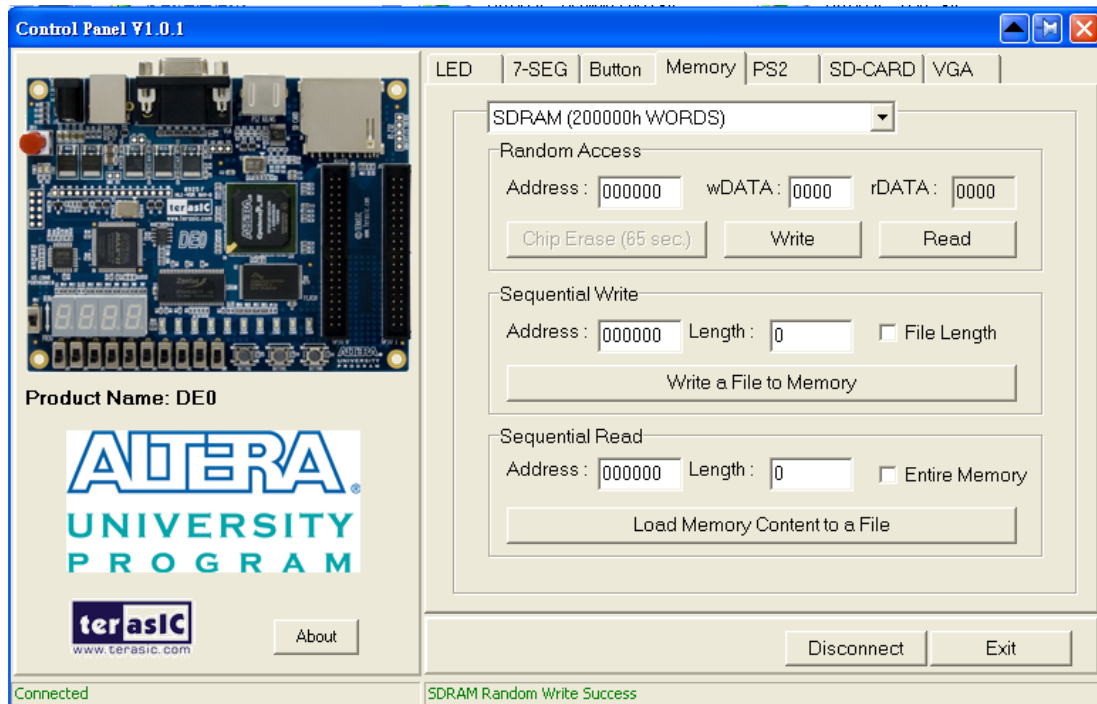


图 3-7 存取 SDRAM

输入任意的写入地址，填入写入值然后按下 **Write** 按钮，您可以将一个 16 比特宽度的字写入到 SDRAM。指定位置的内容可以通过点击 **Read** 按钮读取。图 3-7 给出了写入一个十六进制的数值 7eff 到位置 000000，然后从同样位置回读写入值的操作结果。

控制面板的顺序写入功能可用于将一个文件的内容写入到 SDRAM:

1. 在 **Address** 栏填写开始地址
2. 在 **Length** 栏指定一共需要写入多少字节。如果要写入整个文件，勾选 **File Length** 复选框，而不是指定写入的字节数。
3. 点击 **Write a File to Memory** 按钮，开始写入过程
4. 当控制面板弹出标准的 **Windows** 对话框询问源文件的时候，指定想要写入的文件

控制面板还支持以 .hex 为后缀的文件写入。有着 .hex 后缀的文件是一个 ASCII 文本文件，它使用 ASCII 字符指定内存的十六进制值。举例来说，有着如下内容的行：

0123456789ABCDEF

定义了八个字节的值：01, 23, 45, 67, 89, AB, CD, EF. 这些值会顺序写入到内存。

顺序读取功能用于读出 SDRAM 的内容并将其存放到一个文件：

1. 在 **Address** 框填入起始地址

2. 在 Length 框填入要读取的字节数。如果要将整个 SDRAM 里面的内容都读取出来(8MB)，勾选 Entire Memory 复选框
3. 点击 Load Memory Content to a File 按钮
4. 当控制面板弹出标准的 Windows 对话框询问目标文件时，指定写入目标文件

用户可以以相似的步骤去存取 Flash。不过在写 Flash 之前需要额外的擦除操作。

3.5 PS/2 设备

控制面板给用户提供了可以实时接收来自 PS/2 键盘数据的工具。接收到的扫描码会翻译为 ASCII 码，并显示在控制面板的窗口上。只有可打印的 ASCII 字符才会显示出来。在控制按键里面，只实现了“返回/回车”键的功能。此功能可用于验证 PS/2 界面的好坏。参照下面的步骤完成 PS/2 设备操作：

1. 选择 PS2 选项卡，显示图 3-8 所示界面
2. 将 PS/2 键盘接入到 FPGA 开发板
3. 点击 Start 按钮，准备接收 PS/2 键盘输入。按钮文字也从 Start 变成 Stop.
4. 在接收过程中，用户可以试着敲打键盘。输入的数据会实时显示在控制面板的窗口里面。点击 Stop 按钮结束侦测过程

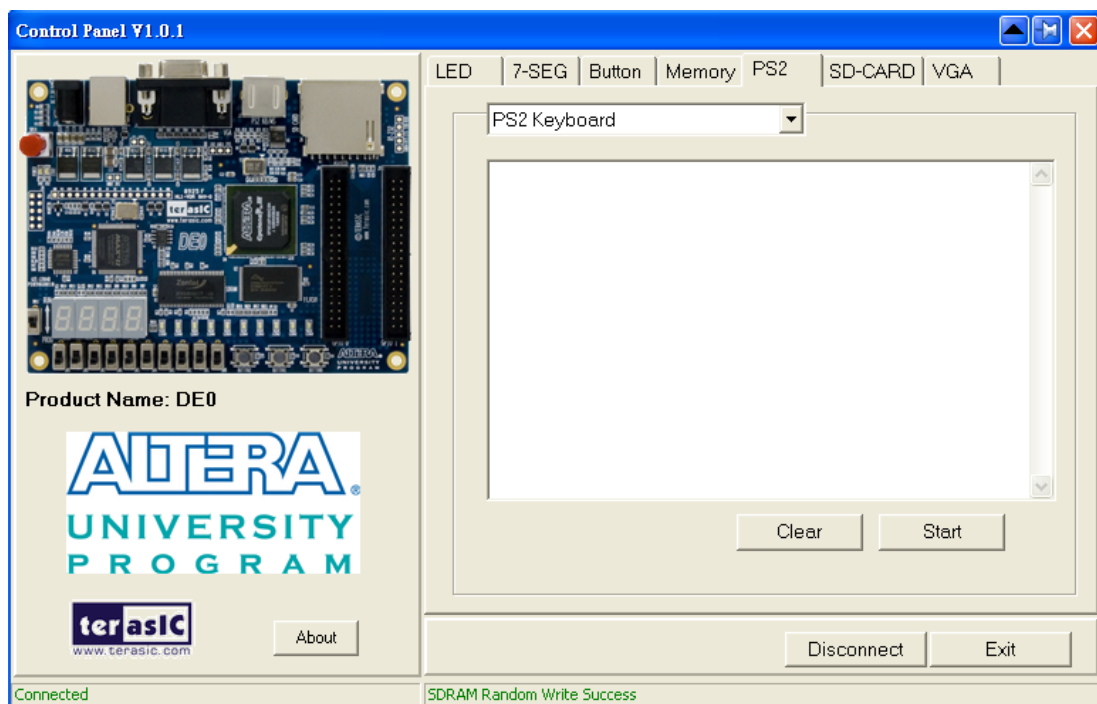


图 3-8 接收 PS/2 键盘数据

3.6 SD 卡

此功能设计为用于读取 SD 卡的规格和标识符信息。这里使用的是 SD 卡的 1 比特接口模式。这个功能可用于验证 SD 卡界面的好坏。执行下面的步骤，完成验证过程：

1. 选择 SD-CARD 选项卡，显示图 3-9 所示界面
2. 插入 SD 卡到 DE0 开发板，点击 Read 按钮读取 SD 卡信息。SD 卡的标识符和规格信息会显示在控制面板的窗口里

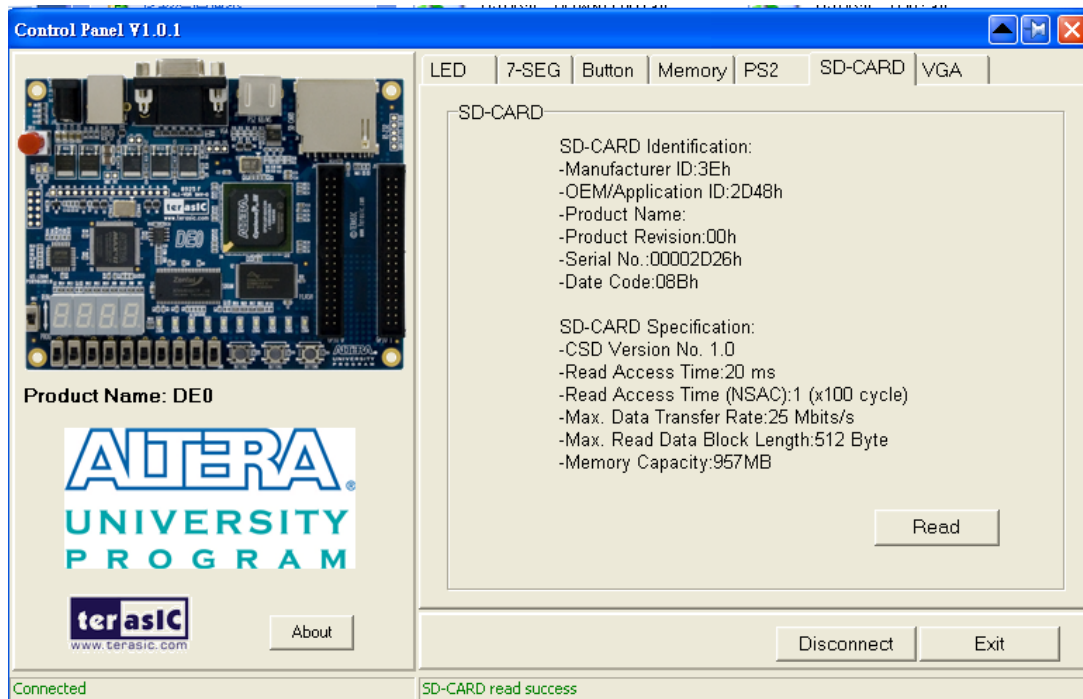


图 3-9 读取 SD 卡标识符和规格信息

3.7 VGA

DE0 控制面板提供 VGA 彩色式样生成功能，允许用户通过 DE0 开发板的 VGA 口输出彩色式样数据到 LCD/CRT 显示器。执行以下步骤以生成 VGA 彩色式样：

1. 选择 VGA 选项卡，显示图 3-10 所示界面
2. 使用 D-sub 电缆连接 DE0 开发板 VGA 连接头到 LCD/CRT 显示器
3. LCD/CRT 显示器会显示和控制面板一样的彩色样式
4. 点击如图 3-10 所示的下拉菜单，选择所需输出的彩色样式

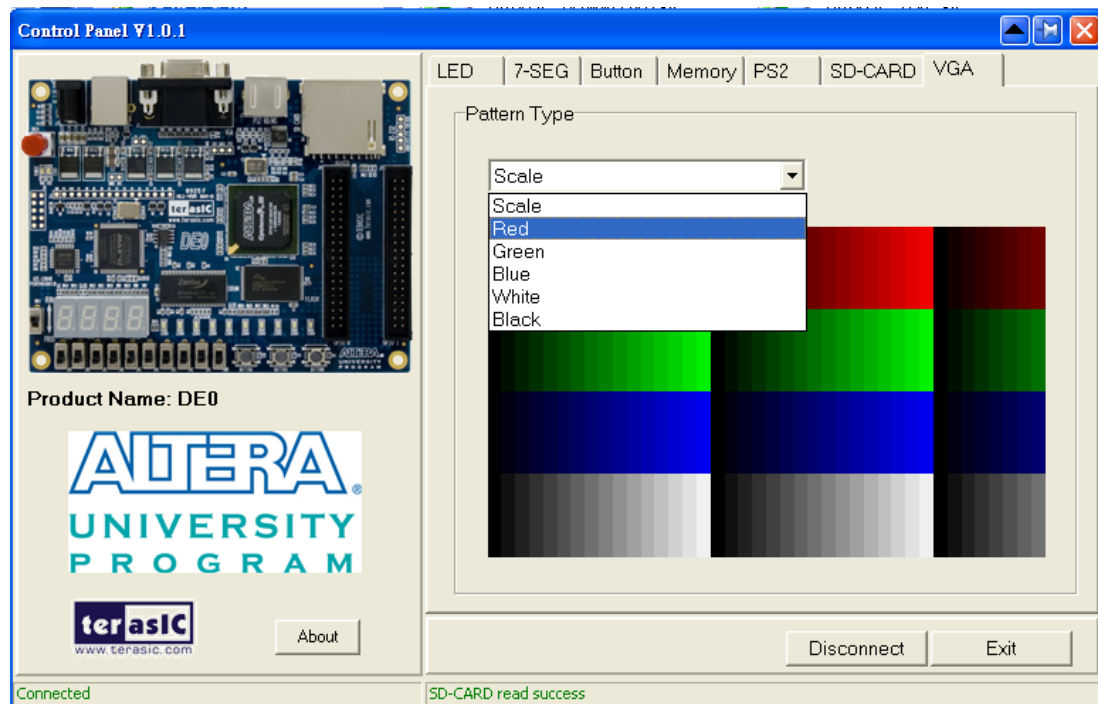


图 3-10 Controlling VGA display

第4章.

使用 DE0 开发板

本章主要介绍了如何使用 DE0 开发板并详细描述了它的每一个 I/O 设备。

4.1 配置 Cyclone III FPGA 芯片

在 *Getting Started with Altera's DE0 Board* 说明书中我们介绍了如何将 PC 中的电路下载至 DE0 开发板中。您可以在 DE0 系统光盘中的 `user_manual` 目录下找到该说明书。用户应该首先仔细阅读该说明，把以下的介绍作为简短的参考即可。

DE0 开发板包含了一个存储 Cyclone III FPGA 芯片配置数据的 EPCS 芯片。每当给开发板上电时，配置数据将会由 EPCS 芯片自动加载至 FPGA 芯片中。使用 Quartus II 软件，用户可以随时重新配置 FPGA 芯片，也可改变存储在 EPCS 芯片中的非易失性数据。下面分述两种不同的配置方式：

1. **JTAG 编程：**该种编程方式依据 IEEE 标准联合测试行动组命名，配置比特流会被直接加载至 Cyclone III FPGA 芯片中。FPGA 芯片会保持这些配置信息直到板子掉电。
2. **AS 编程：**该种下载方式被称作串行主动编程，配置比特流会被加载至 Altera EPCS4 串行 EPCS 芯片中。它将配置数据保存在非易失性器件中，以至于即使 DE0 板子掉电，数据也不会丢失。当给板子上电时，EPCS4 设备中的配置数据将自动加载至 Cyclone III FPGA 芯片中。

下面，我们将详细描述实现 JTAG 与 AS 编程的具体步骤。两种模式中，DE0 开发板均经由一根 USB 电缆连接至 PC。在这种连接方式中，开发板将被 PC 识别为一个 Altera USB Blaster 设备。在 PC 上安装与 USB Blaster 通信的必要的设备驱动程序的方法见 *Getting Started with Altera's DE0 Board* 说明书。该说明书位于 DE0 系统光盘中。

在 JTAG 模式下配置 FPGA

图 4-1 给出了 JTAG 配置模式的搭建。请遵照如下步骤，下载配置比特流至 Cyclone III FPGA 芯片中：

- 确保 DE0 开发板已连接好电源

- 连接附带的 USB 电缆至 DE0 开发板上的 USB Blaster 插槽（如图 2-1）
- 将 RUN/PROG 拨动开关（如图 4-2）置于 RUN 档以配置 JTAG 编程电路
- 如今，即可使用 Quartus II 编程器选择合适的以.sof 为扩展名的配置比特流文件对 FPGA 芯片进行编程了

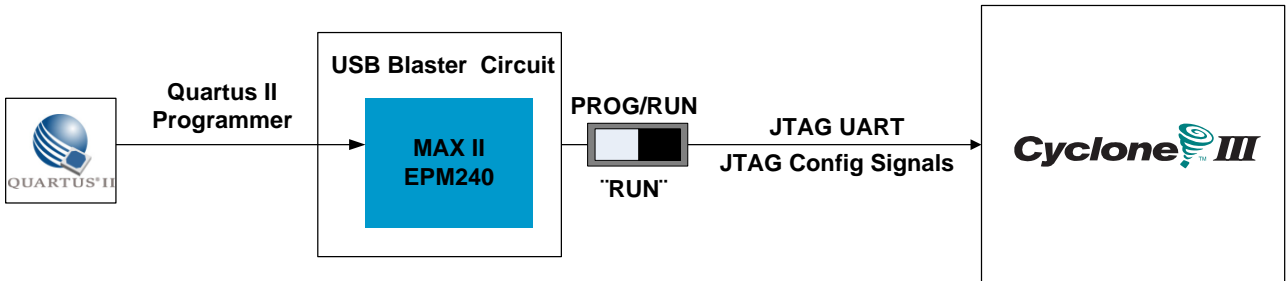


图 4-1 JTAG 配置结构搭建

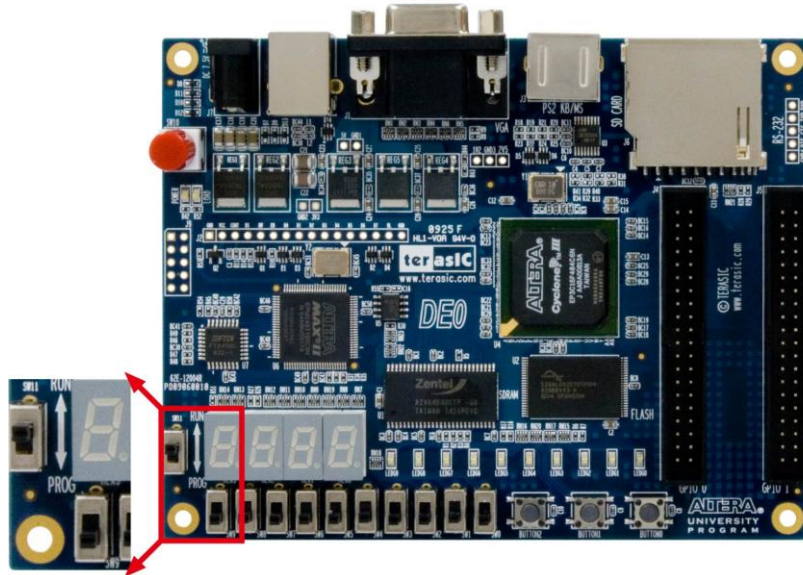


图 4-2 RUN/PROG 拨动开关 (SW2)位于 JTAG 模式

在 AS 模式下配置 EPCS4 芯片

图 4-3 给出了 AS 配置模式的设定。请遵照如下步骤，下载配置比特流至 EPCS4 串行 EPCS 设备中：

- 确保 DE0 开发板已连接好电源
- 连接附带的 USB 电缆至 DE0 开发板上的 USB Blaster 插槽（如图 2-1）
- 将 RUN/PROG 拨动开关（如图 4-4）置于 PROG 档

- 现在，EPCS4 芯片可使用 Quartus II 编程器以选择合适的以 .pof 为扩展名的配置比特流文件进行编程了
- 一旦配置操作完成，请将 RUN/PROG 拨动开关拨回 RUN 档并重启该开发板（关闭电源，然后再开启）； 如此可使 EPCS4 设备中新的配置数据加载至 FPGA 芯片中。

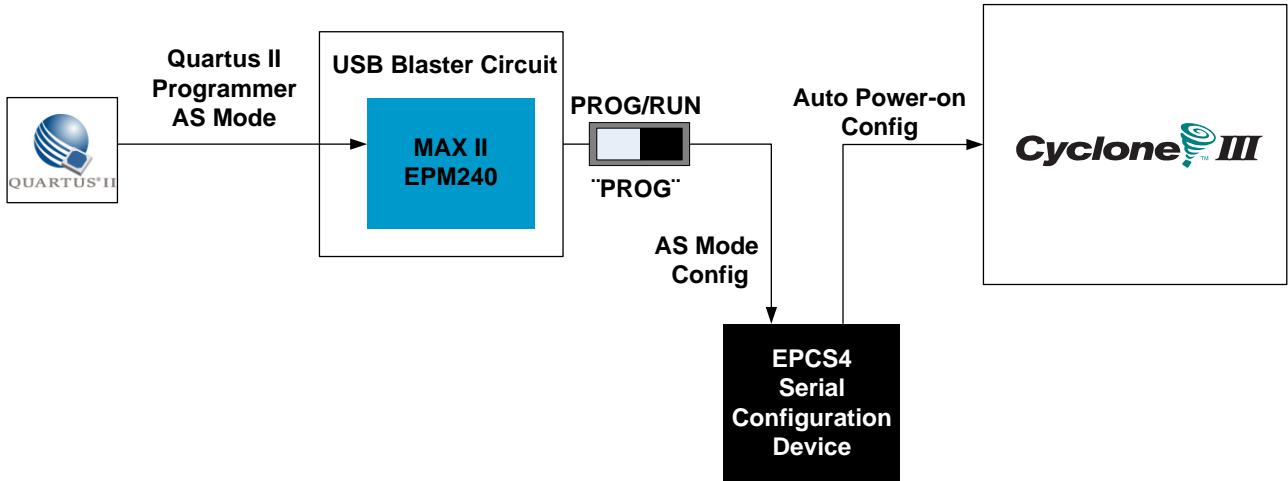


图 4-3 AS 配置设定

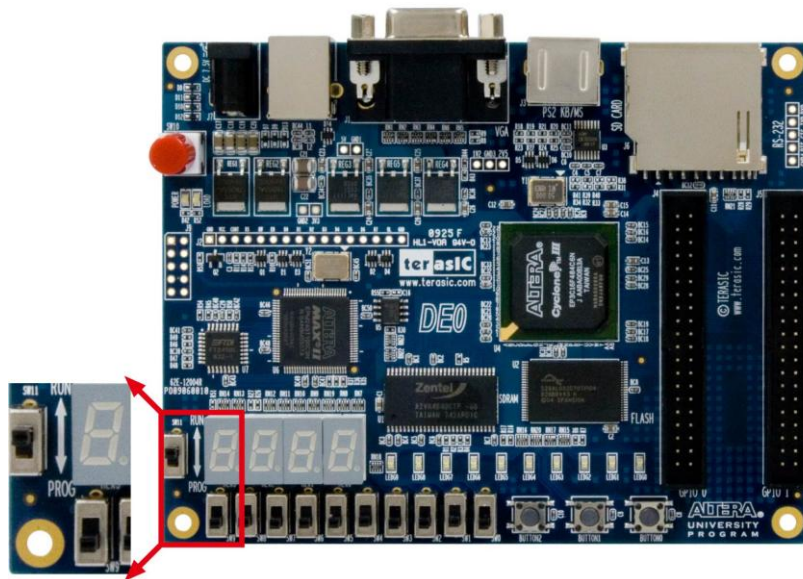


图 4-4 RUN/PROG 拨动开关(SW2) 位于 AS 模式

除了用于 JTAG 和 AS 模式编程外，DE0 开发板上的 USB Blaster 接口也可用于从 PC 远端控制开发板的某些功能。使用 USB Blaster 端口的详细方法见第三章所述。

4.2 使用 LED 灯和开关

DE0 开发板提供了 3 个按钮开关，分别为 BUTTON0, BUTTON1 和 BUTTON2，均直接连接至 Cyclone III FPGA 芯片。每个按钮开关没有被按下时，会输出高电平（3.3 V）；被按下则会输出低电平（0 V）。

DE0 开发板上同时也提供了 10 个拨动开关。这些拨动开关均没有去抖动电路，故一般供电平敏感的电路做信号输入之用。每个拨动开关均直接连接至 Cyclone III FPGA 芯片上的一个特定引脚。当拨动开关置于 DOWN 档（接近板子的边缘）时，它会提供一个低电平（0 V）的输入至 PGA，当其置于 UP 档时，将会提供一个高电平（3.3 V）的输入。

DE0 开发板上还提供了 10 个可供用户控制的 LED 灯。每一个 LED 灯均是由 Cyclone III FPGA 芯片上的特定引脚直接驱动的；将其相对应的引脚置于高电平可点亮 LED 灯，置于低电平则将熄灭 LED 灯。图 4-5 与图 4-6 分别给出了按钮开关，拨动开关与 Cyclone III FPGA 芯片的连接示意图。

表 4-1 中列出了 Cyclone III FPGA 芯片中连接至拨动开关的引脚名称。同样地，表 4-2 和表 4-3 分别给出了 Cyclone III FPGA 芯片中连接至按钮开关和 LED 灯的引脚名称。

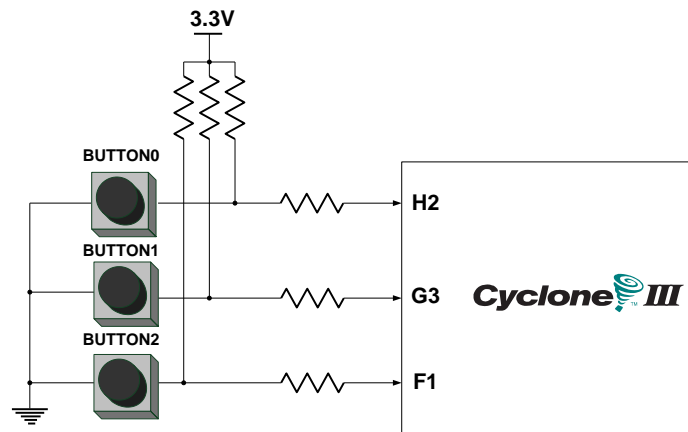


图 4-5 按钮开关与 Cyclone III FPGA 的连接

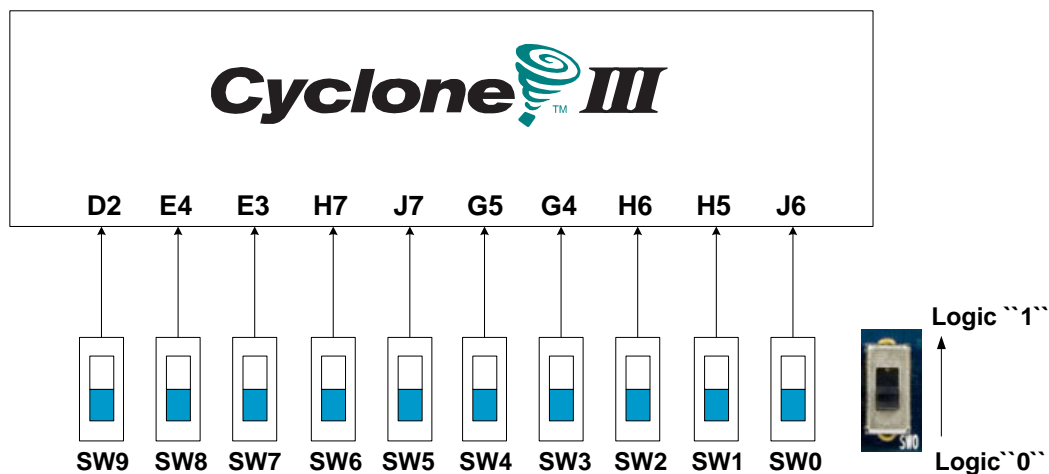


图 4-6 拨动开关与 Cyclone III FPGA 的连接

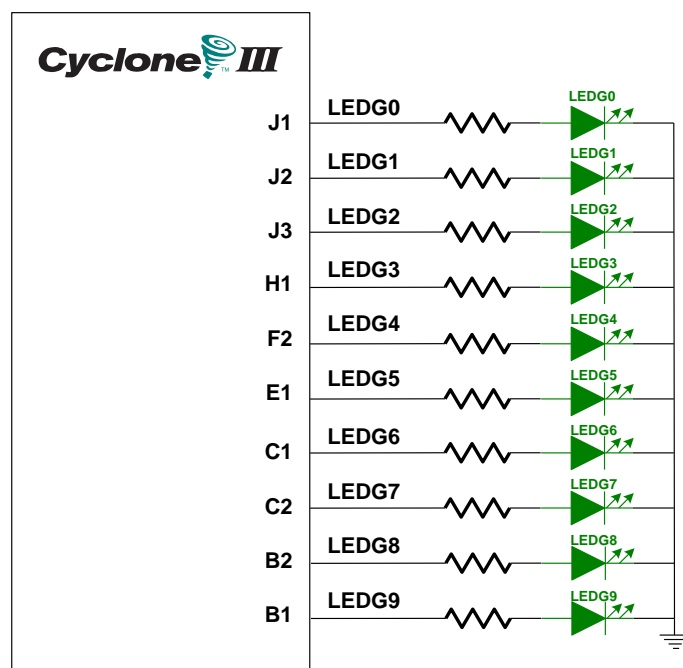


图 4-7 LED 灯与 Cyclone III FPGA 的连接

表 4-1 拨动开关的引脚分配

信号名	FPGA 引脚号	说明
SW[0]	PIN_J6	Slide Switch[0]
SW[1]	PIN_H5	Slide Switch[1]
SW[2]	PIN_H6	Slide Switch[2]
SW[3]	PIN_G4	Slide Switch[3]
SW[4]	PIN_G5	Slide Switch[4]
SW[5]	PIN_J7	Slide Switch[5]

SW[6]	PIN_H7	Slide Switch[6]
SW[7]	PIN_E3	Slide Switch[7]
SW[8]	PIN_E4	Slide Switch[8]
SW[9]	PIN_D2	Slide Switch[9]

表 4-2 按钮开关的引脚分配

信号名	FPGA 引脚号	说明
BUTTON [0]	PIN_H2	Pushbutton[0]
BUTTON [1]	PIN_G3	Pushbutton[1]
BUTTON [2]	PIN_F1	Pushbutton[2]

表 4-3 LED 灯的引脚分配

信号名	FPGA 引脚号	说明
LEDG[0]	PIN_J1	LED Green[0]
LEDG[1]	PIN_J2	LED Green[1]
LEDG[2]	PIN_J3	LED Green[2]
LEDG[3]	PIN_H1	LED Green[3]
LEDG[4]	PIN_F2	LED Green[4]
LEDG[5]	PIN_E1	LED Green[5]
LEDG[6]	PIN_C1	LED Green[6]
LEDG[7]	PIN_C2	LED Green[7]
LEDG[8]	PIN_B2	LED Green[8]
LEDG[9]	PIN_B1	LED Green[9]

4.3 使用七段数码管

DE0 开发板上提供了 4 个七段数码管。分为 2 组，每组 2 个，用于显示不同大小的数字。如图 4-8 所示，七段数码管已连接至 Cyclone III FPGA 芯片的相应引脚。FPGA 输出低电压的时候，对应的字码段点亮，反之则熄灭。

数码管的每一个字段都被从 0 到 6 依次编号，如图 4-9 所示。除此之外，小数点被定义为 DP。表 4-4 给出了所有七段数码管与 FPGA 芯片的引脚连接信息。

HEX0

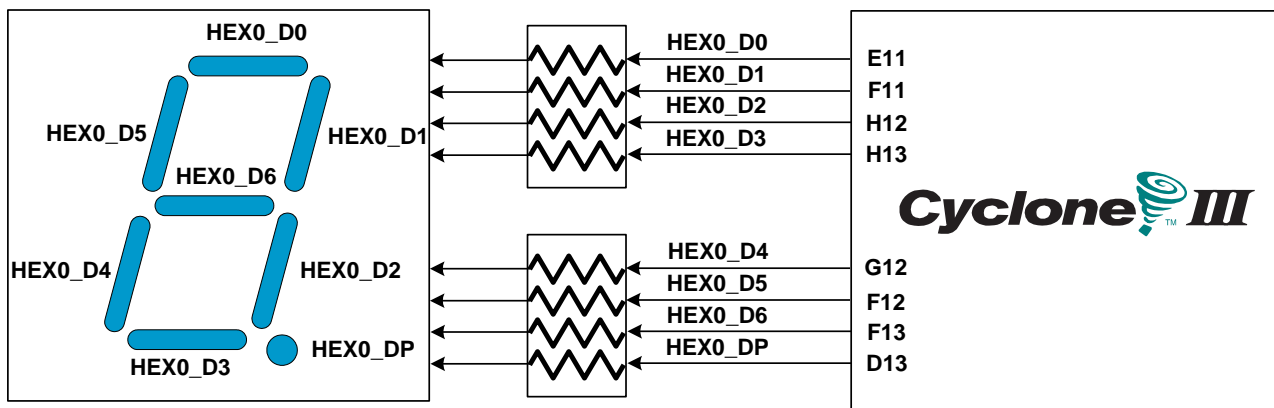


图 4-8 七段数码管与 Cyclone III FPGA 芯片的连接示意图

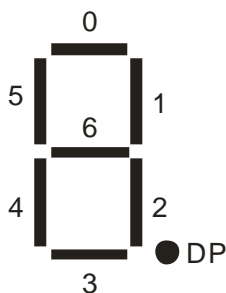


图 4-9 七段数码管每个字段的相应编号

表 4-4 七段数码管的引脚配置

信号名	FPGA 引脚号	说明
HEX0_D[0]	PIN_E11	Seven Segment Digit 0[0]
HEX0_D[1]	PIN_F11	Seven Segment Digit 0[1]
HEX0_D[2]	PIN_H12	Seven Segment Digit 0[2]
HEX0_D[3]	PIN_H13	Seven Segment Digit 0[3]
HEX0_D[4]	PIN_G12	Seven Segment Digit 0[4]
HEX0_D[5]	PIN_F12	Seven Segment Digit 0[5]
HEX0_D[6]	PIN_F13	Seven Segment Digit 0[6]
HEX0_DP	PIN_D13	Seven Segment Decimal Point 0
HEX1_D[0]	PIN_A13	Seven Segment Digit 1[0]
HEX1_D[1]	PIN_B13	Seven Segment Digit 1[1]
HEX1_D[2]	PIN_C13	Seven Segment Digit 1[2]
HEX1_D[3]	PIN_A14	Seven Segment Digit 1[3]
HEX1_D[4]	PIN_B14	Seven Segment Digit 1[4]
HEX1_D[5]	PIN_E14	Seven Segment Digit 1[5]
HEX1_D[6]	PIN_A15	Seven Segment Digit 1[6]
HEX1_DP	PIN_B15	Seven Segment Decimal Point 1

HEX2_D[0]	PIN_D15	Seven Segment Digit 2[0]
HEX2_D[1]	PIN_A16	Seven Segment Digit 2[1]
HEX2_D[2]	PIN_B16	Seven Segment Digit 2[2]
HEX2_D[3]	PIN_E15	Seven Segment Digit 2[3]
HEX2_D[4]	PIN_A17	Seven Segment Digit 2[4]
HEX2_D[5]	PIN_B17	Seven Segment Digit 2[5]
HEX2_D[6]	PIN_F14	Seven Segment Digit 2[6]
HEX2_DP	PIN_A18	Seven Segment Decimal Point 2
HEX3_D[0]	PIN_B18	Seven Segment Digit 3[0]
HEX3_D[1]	PIN_F15	Seven Segment Digit 3[1]
HEX3_D[2]	PIN_A19	Seven Segment Digit 3[2]
HEX3_D[3]	PIN_B19	Seven Segment Digit 3[3]
HEX3_D[4]	PIN_C19	Seven Segment Digit 3[4]
HEX3_D[5]	PIN_D19	Seven Segment Digit 3[5]
HEX3_D[6]	PIN_G15	Seven Segment Digit 3[6]
HEX3_DP	PIN_G16	Seven Segment Decimal Point 3

4.4 时钟电路

DE0 开发板提供了一个 50 MHz 的时钟信号。该已连接至 FPGA 芯片的时钟信号可用于驱动 FPGA 内的用户逻辑电路。除此之外，所有的时钟输入都连接至 FPGA 芯片的 PLL 时钟输入引脚，从而允许用户将这些时钟信号作为 PLL 电路的信号输入源。

DE0 开发板上的时钟分配信息如图 4-10 所示。相应的时钟输入至 FPGA I/O 引脚的引脚配置信息见

表 4-5。

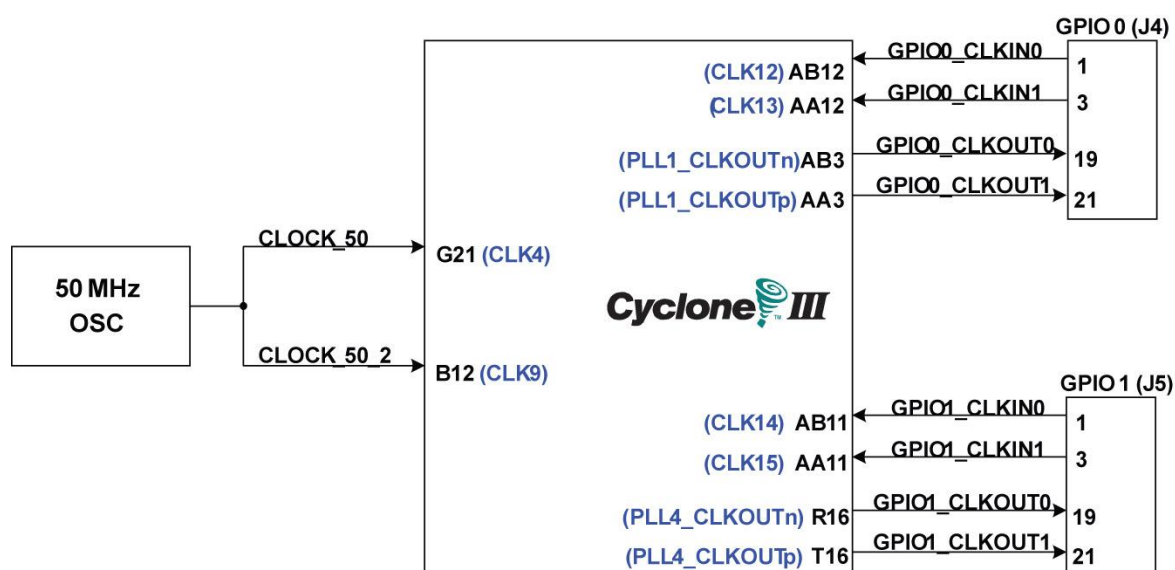


图 4-10 时钟分配电路的方块图

表 4-5 时钟输入的引脚分配

信号名	FPGA 引脚号	说明
CLOCK_50	PIN_G21	50 MHz clock input
CLOCK_50_2	PIN_B12	50 MHz clock input

4.5 使用 LCD 模块

DE0 开发板提供了一个 2x16 的 LCD 接口。为了使用 LCD 接口，用户需要焊接一个 LCD 模块至 DE0 开发板上，如图 4-11 所示。详细的组件参考信息见表 4-6。用户也可以从 Terasic 的网站上购买这个模块 <http://de0.terasic.com>。

表 4-6 LCD 模块的相关信息

参考模块	说明
J2	2x16 LCD Module

LCD 模块内置可以用于显示文本的字体，发送合适的命令至 HD44780 显示控制器即可在 LCD 模块上显示文本。使用该显示控制器的详细信息可在 DE0 系统光盘上的 Datasheet/LCD 文件夹下找到。LCD 模块连接至 Cyclone III FPGA 芯片的连接示意图如图 4-12 所示。相应的引脚配置信息见表 4-7。

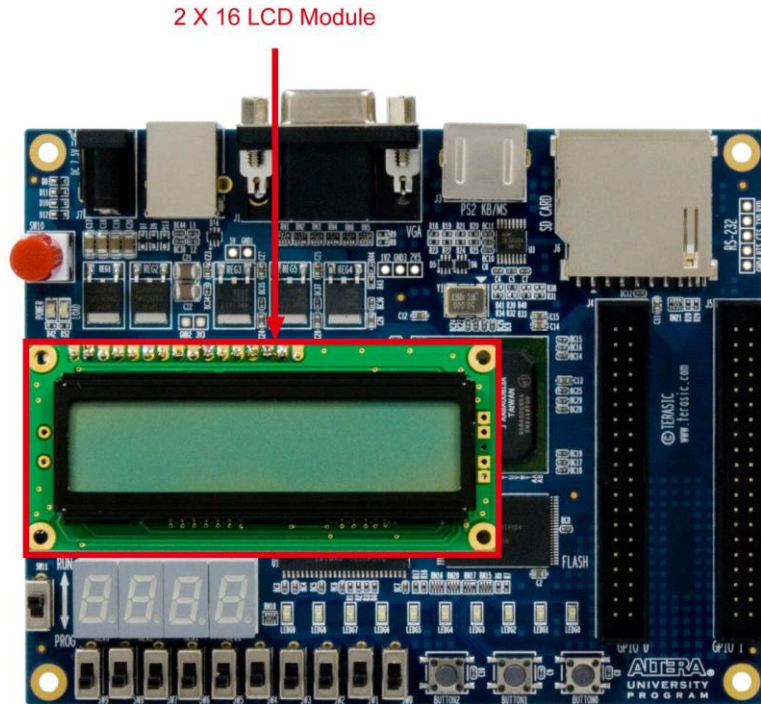


图 4-11 DE0 开发板上的 LCD 模块

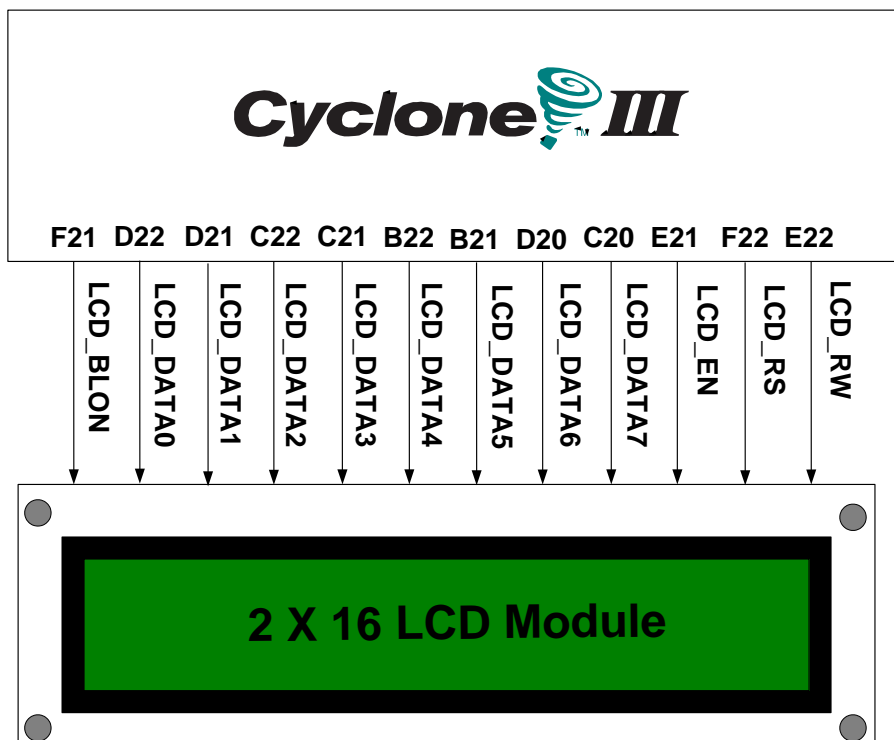


图 4-12 LCD 模块与 Cyclone III FPGA 芯片的连接信息示意图

表 4-7 LCD 模块的引脚配置

信号名	FPGA Pin No.	Description
LCD_DATA[0]	PIN_D22	LCD Data[0]
LCD_DATA[1]	PIN_D21	LCD Data[1]
LCD_DATA[2]	PIN_C22	LCD Data[2]
LCD_DATA[3]	PIN_C21	LCD Data[3]
LCD_DATA[4]	PIN_B22	LCD Data[4]
LCD_DATA[5]	PIN_B21	LCD Data[5]
LCD_DATA[6]	PIN_D20	LCD Data[6]
LCD_DATA[7]	PIN_C20	LCD Data[7]
LCD_RW	PIN_E22	LCD Read/Write Select, 0 = Write, 1 = Read
LCD_EN	PIN_E21	LCD Enable
LCD_RS	PIN_F22	LCD Command/Data Select, 0 = Command, 1 = Data
LCD_BLON	PIN_F21	LCD Back Light ON/OFF

需要注意的是，一些 LCD 模块没有包含背光。因袭 LCD_BLON 信号在用户工程中是无效的。

4.6 使用扩展接头

DE0 开发板上有提供两个 40-pin 扩展接头。每个接头都直接连接至 Cyclone III FPGA 芯片上的 36 个引脚，同时也提供了 DC +5V (VCC5), DC +3.3V (VCC33) 引脚和 2 个 GND 引脚。在这 36 个 I/O 引脚中，4 个引脚连接至 FPGA 芯片的 PLL 时钟输入与输出引脚，允许扩展子卡访问 FPGA 芯片的 PLL 模块。

最后，图 4-13 给出了相关的示意图。该图显示了这两个接头上的保护电路，但是该电路包含了所有的 72 数据引脚。表 4-8 给出了引脚配置信息。

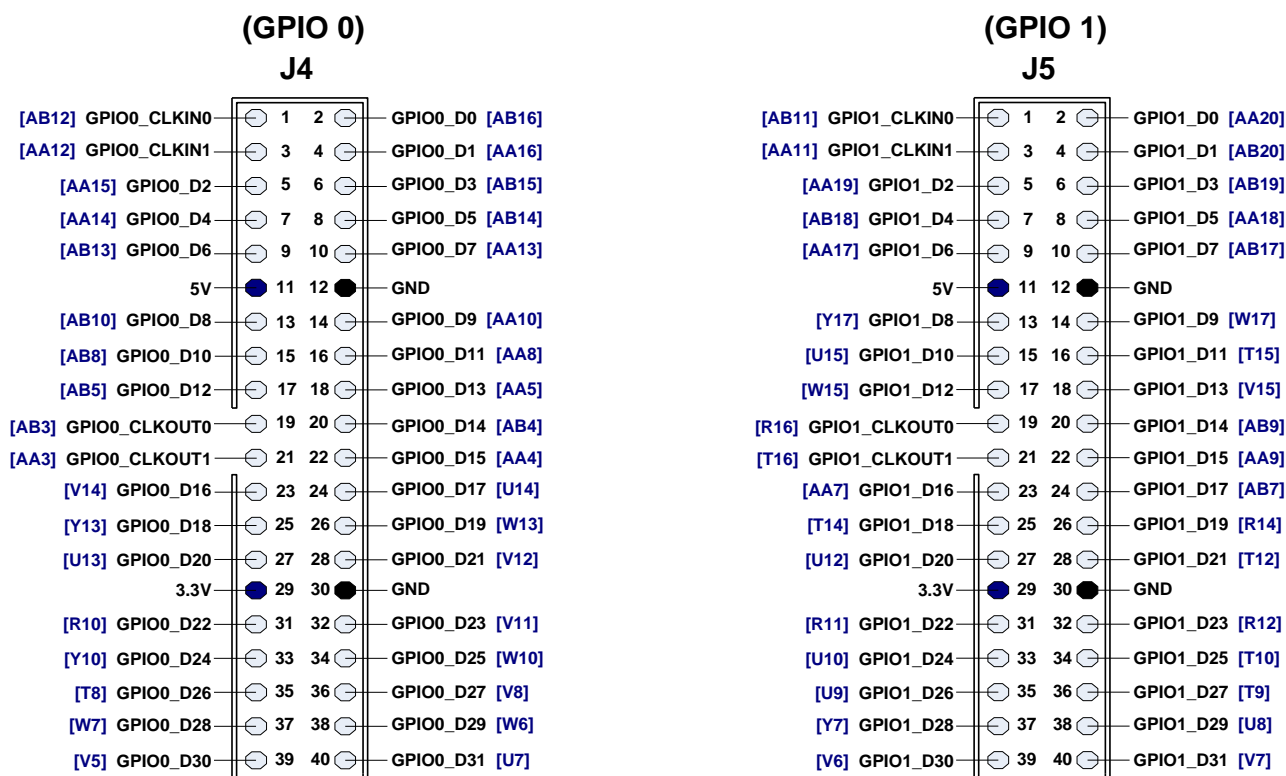


图 4-13 扩展接头的 I/O 分配

表 4-8 扩展接头的引脚配置

信号名	FPGA 引脚号	说明
GPIO0_D[0]	PIN_AB16	GPIO Connection 0 IO[0]
GPIO0_D[1]	PIN_AA16	GPIO Connection 0 IO[1]
GPIO0_D[2]	PIN_AA15	GPIO Connection 0 IO[2]
GPIO0_D[3]	PIN_AB15	GPIO Connection 0 IO[3]
GPIO0_D[4]	PIN_AA14	GPIO Connection 0 IO[4]
GPIO0_D[5]	PIN_AB14	GPIO Connection 0 IO[5]
GPIO0_D[6]	PIN_AB13	GPIO Connection 0 IO[6]
GPIO0_D[7]	PIN_AA13	GPIO Connection 0 IO[7]
GPIO0_D[8]	PIN_AB10	GPIO Connection 0 IO[8]
GPIO0_D[9]	PIN_AA10	GPIO Connection 0 IO[9]
GPIO0_D[10]	PIN_AB8	GPIO Connection 0 IO[10]
GPIO0_D[11]	PIN_AA8	GPIO Connection 0 IO[11]
GPIO0_D[12]	PIN_AB5	GPIO Connection 0 IO[12]
GPIO0_D[13]	PIN_AA5	GPIO Connection 0 IO[13]
GPIO0_D[14]	PIN_AB4	GPIO Connection 0 IO[14]
GPIO0_D[15]	PIN_AA4	GPIO Connection 0 IO[15]
GPIO0_D[16]	PIN_V14	GPIO Connection 0 IO[16]
GPIO0_D[17]	PIN_U14	GPIO Connection 0 IO[17]
GPIO0_D[18]	PIN_Y13	GPIO Connection 0 IO[18]
GPIO0_D[19]	PIN_W13	GPIO Connection 0 IO[19]

GPIO0_D[20]	PIN_U13	GPIO Connection 0 IO[20]
GPIO0_D[21]	PIN_V12	GPIO Connection 0 IO[21]
GPIO0_D[22]	PIN_R10	GPIO Connection 0 IO[22]
GPIO0_D[23]	PIN_V11	GPIO Connection 0 IO[23]
GPIO0_D[24]	PIN_Y10	GPIO Connection 0 IO[24]
GPIO0_D[25]	PIN_W10	GPIO Connection 0 IO[25]
GPIO0_D[26]	PIN_T8	GPIO Connection 0 IO[26]
GPIO0_D[27]	PIN_V8	GPIO Connection 0 IO[27]
GPIO0_D[28]	PIN_W7	GPIO Connection 0 IO[28]
GPIO0_D[29]	PIN_W6	GPIO Connection 0 IO[29]
GPIO0_D[30]	PIN_V5	GPIO Connection 0 IO[30]
GPIO0_D[31]	PIN_U7	GPIO Connection 0 IO[31]
GPIO0_CLKIN[0]	PIN_AB12	GPIO Connection 0 PLL In
GPIO0_CLKIN[1]	PIN_AA12	GPIO Connection 0 PLL In
GPIO0_CLKOUT[0]	PIN_AB3	GPIO Connection 0 PLL Out
GPIO0_CLKOUT[1]	PIN_AA3	GPIO Connection 0 PLL Out
GPIO1_D[0]	PIN_AA20	GPIO Connection 1 IO[0]
GPIO1_D[1]	PIN_AB20	GPIO Connection 1 IO[1]
GPIO1_D[2]	PIN_AA19	GPIO Connection 1 IO[2]
GPIO1_D[3]	PIN_AB19	GPIO Connection 1 IO[3]
GPIO1_D[4]	PIN_AB18	GPIO Connection 1 IO[4]
GPIO1_D[5]	PIN_AA18	GPIO Connection 1 IO[5]
GPIO1_D[6]	PIN_AA17	GPIO Connection 1 IO[6]
GPIO1_D[7]	PIN_AB17	GPIO Connection 1 IO[7]
GPIO1_D[8]	PIN_Y17	GPIO Connection 1 IO[8]
GPIO1_D[9]	PIN_W17	GPIO Connection 1 IO[9]
GPIO1_D[10]	PIN_U15	GPIO Connection 1 IO[10]
GPIO1_D[11]	PIN_T15	GPIO Connection 1 IO[11]
GPIO1_D[12]	PIN_W15	GPIO Connection 1 IO[12]
GPIO1_D[13]	PIN_V15	GPIO Connection 1 IO[13]
GPIO1_D[14]	PIN_AB9	GPIO Connection 1 IO[14]
GPIO1_D[15]	PIN_AA9	GPIO Connection 1 IO[15]
GPIO1_D[16]	PIN_AA7	GPIO Connection 1 IO[16]
GPIO1_D[17]	PIN_AB7	GPIO Connection 1 IO[17]
GPIO1_D[18]	PIN_T14	GPIO Connection 1 IO[18]
GPIO1_D[19]	PIN_R14	GPIO Connection 1 IO[19]
GPIO1_D[20]	PIN_U12	GPIO Connection 1 IO[20]
GPIO1_D[21]	PIN_T12	GPIO Connection 1 IO[21]
GPIO1_D[22]	PIN_R11	GPIO Connection 1 IO[22]
GPIO1_D[23]	PIN_R12	GPIO Connection 1 IO[23]
GPIO1_D[24]	PIN_U10	GPIO Connection 1 IO[24]
GPIO1_D[25]	PIN_T10	GPIO Connection 1 IO[25]
GPIO1_D[26]	PIN_U9	GPIO Connection 1 IO[26]
GPIO1_D[27]	PIN_T9	GPIO Connection 1 IO[27]
GPIO1_D[28]	PIN_Y7	GPIO Connection 1 IO[28]
GPIO1_D[29]	PIN_U8	GPIO Connection 1 IO[29]
GPIO1_D[30]	PIN_V6	GPIO Connection 1 IO[30]

GPIO1_D[31]	PIN_V7	GPIO Connection 1 IO[31]
GPIO1_CLKIN[0]	PIN_AB11	GPIO Connection 1 PLL In
GPIO1_CLKIN[1]	PIN_AA11	GPIO Connection 1 PLL In
GPIO1_CLKOUT[0]	PIN_R16	GPIO Connection 1 PLL Out
GPIO1_CLKOUT[1]	PIN_T16	GPIO Connection 1 PLL Out

4.7 使用 VGA

DE0 开发板包含一个提供 VGA 输出的 16 引脚的 D-SUB 接头。VGA 同步信号直接由 Cyclone III FPGA 芯片提供，并且一个 4 位的 DAC 电路用来产生模拟数字信号 (R,G,B)。电路支持标准的 VGA 分辨率 (640x480 像素，带宽达 25 MHz)，相关的连接示意图如图 4-14 所示。

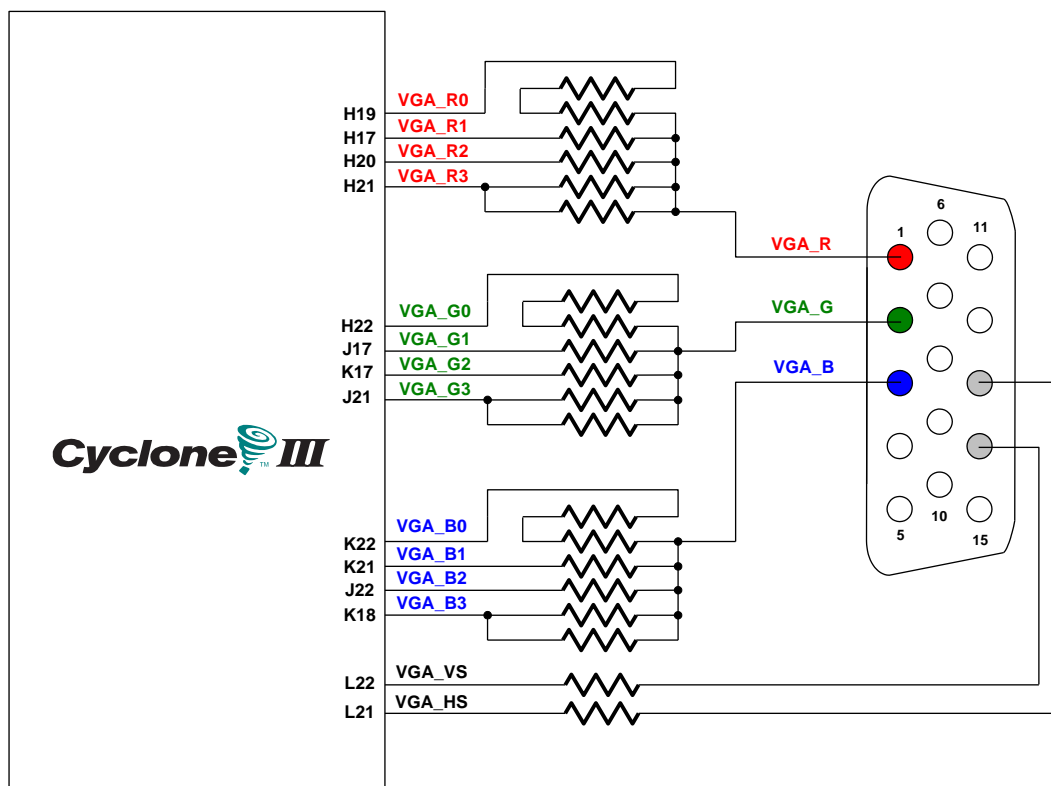


图 4-14 VGA 电路与 Cyclone III FPGA 芯片的连接示意图

VGA 信号的时序规范可在教育网站上找到。(例如，搜索“VGA 信号时序”)。图 4-15 给出了 VGA 显示器所要求的单一扫描行基本时序。水平同步信号给出的指定宽度的低电平有效信号指示了上一扫描行的结束和新扫描行的开始。随之而来的便是行扫描后沿 (Back porch)，这期间的 RGB 输入是无效的，紧接着是行显示区间，这期间的 RGB 信号将在显示器上逐点显示出来。最后，是持续特定时间的行显示前沿 (Front porch)，这期间的 RGB 信号也是无效的。场同步信号的时序完全类似，除了场同步脉冲指示某一帧的结束和下一帧的开始，消隐期长度的单位不再是像素，而是行数 (参考行时序)。表 4-9 和表 4-10 给出了不同分辨率情况下行和场时序中各区间的持续长度。

更多使用 ADV7123 的详细信息，如数据手册，用户可在制造商的网站或在 DE0 系统光盘中的 Datasheet/VGA DAC 文件夹下找到。表 4-11 中列出了 Cyclone III FPGA 芯片与 VGA 接口的引脚配置信息。5.3 节中会详细给出驱动 VGA 显示的范例。

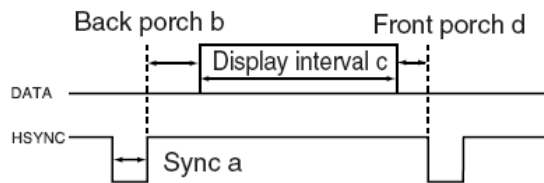


图 4-15 VGA 行时序规范

表 4-9 VGA 行时序规范

VGA 模式		行时序规范				
Configuration	Resolution(HxV)	a(us)	b(us)	c(us)	d(us)	Pixel clock(Mhz)
VGA(60Hz)	640x480	3.8	1.9	25.4	0.6	25 (640/c)

表 4-10 VGA 场时序规范

VGA 模式		行时序规范			
Configuration	Resolution (HxV)	a(lines)	b(lines)	c(lines)	d(lines)
VGA(60Hz)	640x480	2	33	480	10

表 4-11 VGA 引脚配置

信号名	FPGA 引脚号	说明
VGA_R[0]	PIN_H19	VGA Red[0]
VGA_R[1]	PIN_H17	VGA Red[1]
VGA_R[2]	PIN_H20	VGA Red[2]
VGA_R[3]	PIN_H21	VGA Red[3]
VGA_G[0]	PIN_H22	VGA Green[0]
VGA_G[1]	PIN_J17	VGA Green[1]
VGA_G[2]	PIN_K17	VGA Green[2]
VGA_G[3]	PIN_J21	VGA Green[3]
VGA_B[0]	PIN_K22	VGA Blue[0]
VGA_B[1]	PIN_K21	VGA Blue[1]
VGA_B[2]	PIN_J22	VGA Blue[2]
VGA_B[3]	PIN_K18	VGA Blue[3]
VGA_HS	PIN_L21	VGA H_SYNC
VGA_VS	PIN_L22	VGA V_SYNC

4.8 RS-232 串行接口

DE0 开发板上使用了 ADM3202 收发器芯片以供 RS-232 通信。注意，如图 4-16 所示的测试点可用于连接相关的 RS232 信号。用户需要连接这些信号至 9 引脚的 D-SUB 接头或 RS232

电缆以使用该接口。更多使用收发器的详细信息，如数据手册，用户可在制造商的网站或在 DE0 系统光盘的 Datasheet/RS232 目录下找到。图 4-17 给出了相关的连接示意图，表 4-12 列出了 RS-232 串行接口的引脚配置信息。

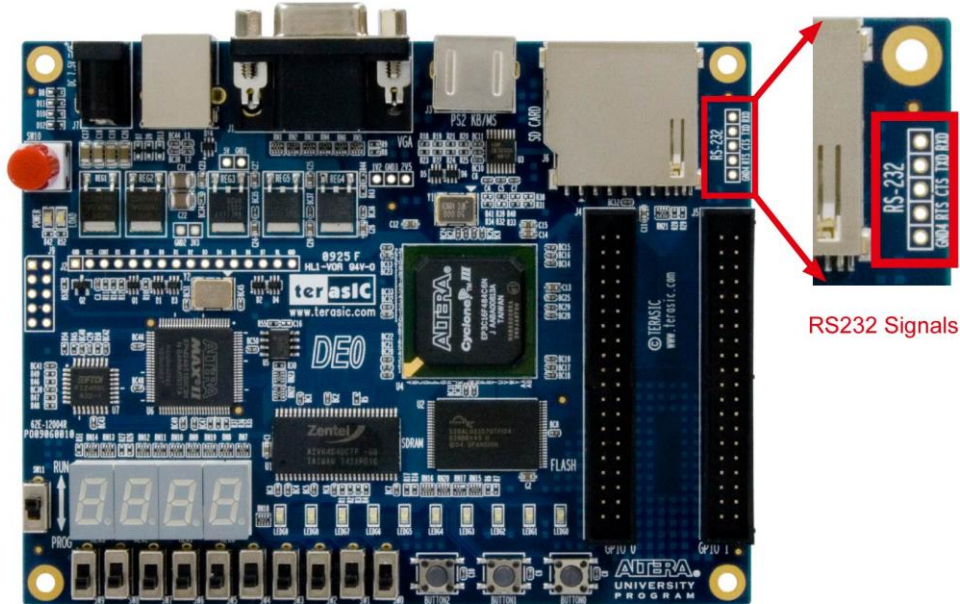


图 4-16 RS232 信号的位置

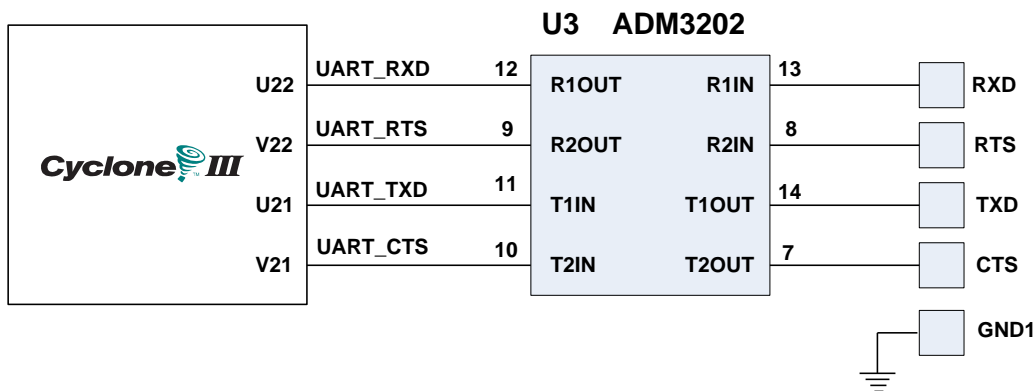


图 4-17 ADM232 (RS-232) 芯片与 Cyclone III FPGA 芯片的连接示意图

表 4-12 RS-232 引脚配置

信号名	FPGA 引脚号	说明
UART_RXD	PIN_U22	UART Receiver
UART_TXD	PIN_U21	UART Transmitter
UART_CTS	PIN_V21	UART Clear to Send
UART_RTS	PIN_V22	UART Request to Send

4.9 PS/2 串行接口

DE0 开发板提供了一个标准的 PS/2 端口和一个 PS/2 键盘或鼠标的接口。除此之外，用户可在 DE0 开发板上插入一根扩展的 PS/2 Y 型电缆以便同时使用 PS/2 键盘和鼠标。注意，仅仅当 PS/2 Y 型电缆连接至 PS/2 接口时，才能使用 PS2_MSDAT 和 PS2_MSCLK 信号。图 4-18 给出了 PS/2 电路与 FPGA 芯片的连接示意图。使用 PS/2 鼠标或键盘的相关资料，用户可自行在很多教育网站上找到。表 4-13 给出了相关接口的引脚配置信息。

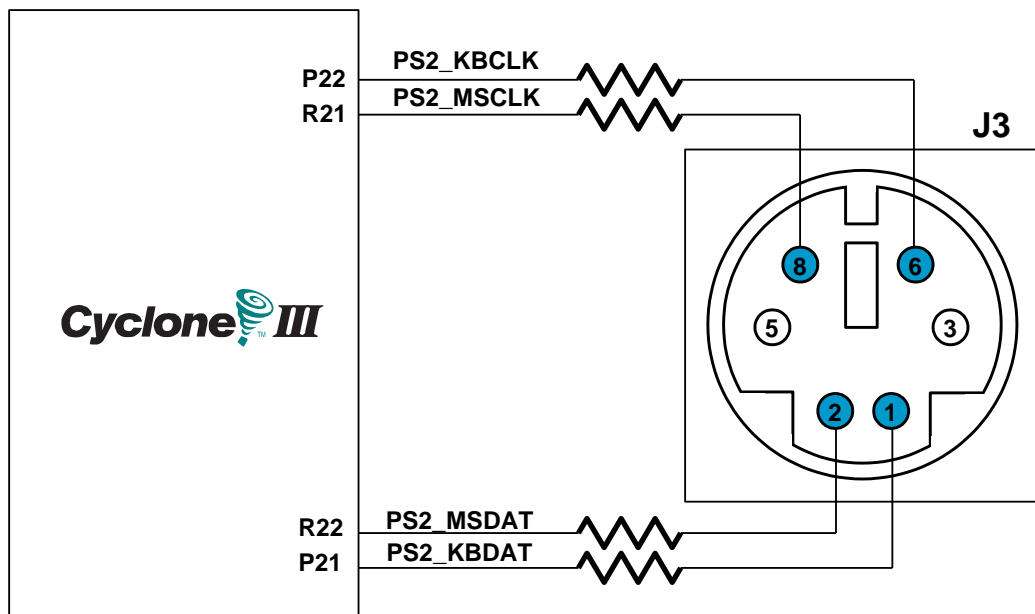


图 4-18 PS/2 与 Cyclone III FPGA 芯片的连接示意图

表 4-13 PS/2 引脚配置

信号名	FPGA 引脚号	说明
PS2_KBCLK	PIN_P22	PS/2 Clock
PS2_KBDAT	PIN_P21	PS/2 Data
PS2_MSCLK	PIN_R21	PS/2 Clock (reserved for second PS/2 device)
PS2_MSDAT	PIN_R22	PS/2 Data(reserved for second PS/2 device)

4.10 SD 卡插槽

DE0 开发板上包含了一个 SD 卡插槽并且也可作为可选的外部存储器以 SPI 和 1-bit SD 模式访问。表 4-14 显示了 SD 卡插槽与 Cyclone III FPGA 芯片的引脚配置信息。

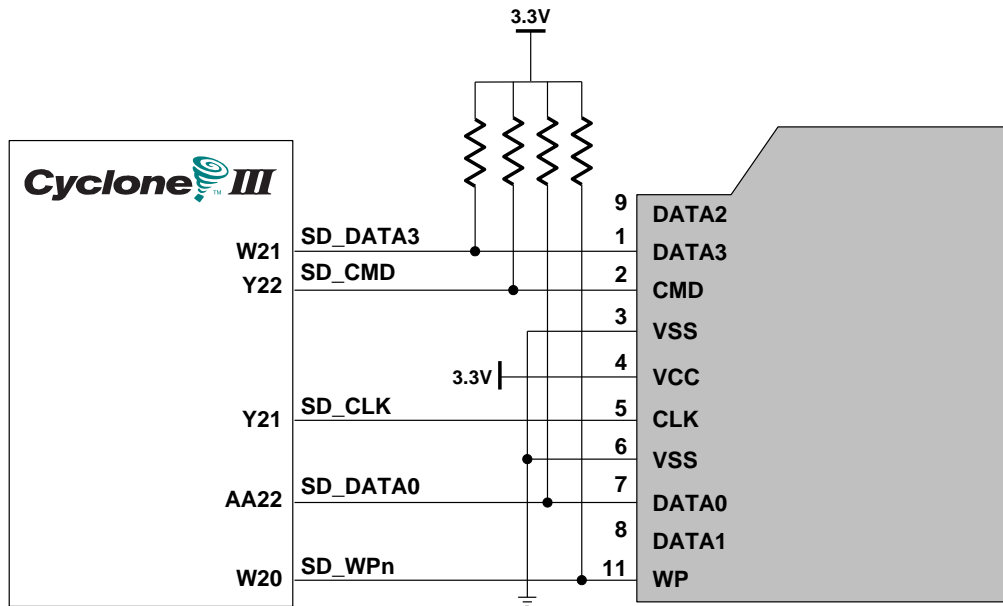


图 4-19 SD 卡与 Cyclone III FPGA 芯片的连接示意图

表 4-14 SD 卡引脚分配

信号名	FPGA 引脚号	说明
SD_CLK	PIN_Y21	SD Clock
SD_CMD	PIN_Y22	SD Command bidirectional signal
SD_DAT0	PIN_AA22	SD Data bidirectional signal
SD_DAT3	PIN_W21	SD Data bidirectional signal
SD_WP_N	PIN_W20	SD Card write protect signal (active low)

4.11 使用 SDRAM 和 Flash

DE0 开发板 提供了一个 4M 的 Flash 存储器和 8M 的 SDRAM 芯片。图 4-20 和图 4-21 显示了这些存储器芯片与 Cyclone III FPGA 芯片的连接示意图。每个设备的引脚配置信息见表 4-15 和

表 4-16。这些存储芯片的原理图可在 DE0 系统光盘的 Datasheet/Memory 目录下找到。

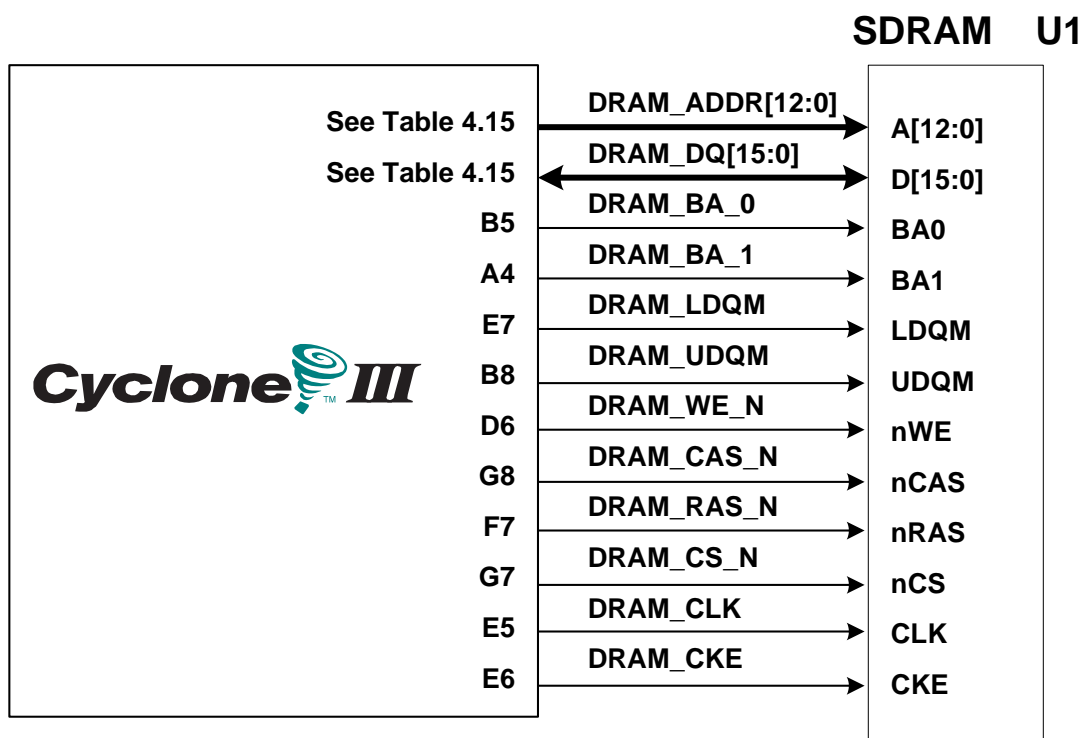


图 4-20 SDRAM 与 Cyclone III FPGA 芯片的连接示意图

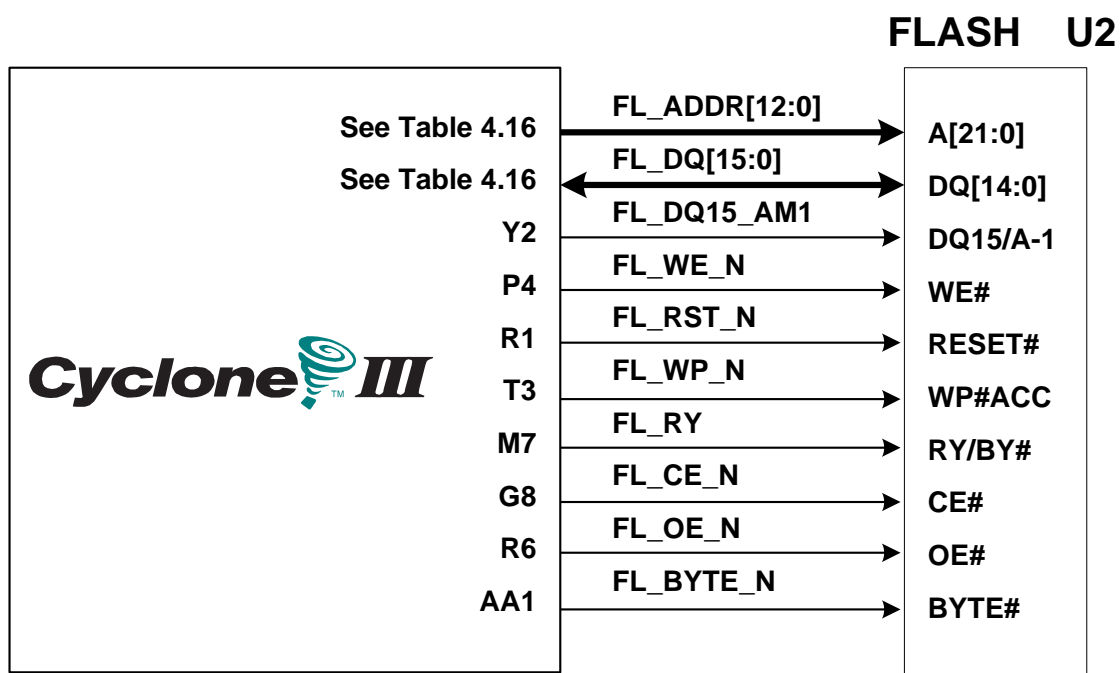


图 4-21 Flash 与 Cyclone III FPGA 芯片的连接示意图

表 4-15 SDRAM 引脚配置

信号名	FPGA 引脚号	说明
DRAM_ADDR[0]	PIN_C4	SDRAM Address[0]
DRAM_ADDR[1]	PIN_A3	SDRAM Address[1]
DRAM_ADDR[2]	PIN_B3	SDRAM Address[2]
DRAM_ADDR[3]	PIN_C3	SDRAM Address[3]
DRAM_ADDR[4]	PIN_A5	SDRAM Address[4]
DRAM_ADDR[5]	PIN_C6	SDRAM Address[5]
DRAM_ADDR[6]	PIN_B6	SDRAM Address[6]
DRAM_ADDR[7]	PIN_A6	SDRAM Address[7]
DRAM_ADDR[8]	PIN_C7	SDRAM Address[8]
DRAM_ADDR[9]	PIN_B7	SDRAM Address[9]
DRAM_ADDR[10]	PIN_B4	SDRAM Address[10]
DRAM_ADDR[11]	PIN_A7	SDRAM Address[11]
DRAM_ADDR[12]	PIN_C8	SDRAM Address[12]
DRAM_DQ[0]	PIN_D10	SDRAM Data[0]
DRAM_DQ[1]	PIN_G10	SDRAM Data[1]
DRAM_DQ[2]	PIN_H10	SDRAM Data[2]
DRAM_DQ[3]	PIN_E9	SDRAM Data[3]
DRAM_DQ[4]	PIN_F9	SDRAM Data[4]
DRAM_DQ[5]	PIN_G9	SDRAM Data[5]
DRAM_DQ[6]	PIN_H9	SDRAM Data[6]
DRAM_DQ[7]	PIN_F8	SDRAM Data[7]
DRAM_DQ[8]	PIN_A8	SDRAM Data[8]
DRAM_DQ[9]	PIN_B9	SDRAM Data[9]
DRAM_DQ[10]	PIN_A9	SDRAM Data[10]
DRAM_DQ[11]	PIN_C10	SDRAM Data[11]
DRAM_DQ[12]	PIN_B10	SDRAM Data[12]
DRAM_DQ[13]	PIN_A10	SDRAM Data[13]
DRAM_DQ[14]	PIN_E10	SDRAM Data[14]
DRAM_DQ[15]	PIN_F10	SDRAM Data[15]
DRAM_BA_0	PIN_B5	SDRAM Bank Address[0]
DRAM_BA_1	PIN_A4	SDRAM Bank Address[1]
DRAM_LDQM	PIN_E7	SDRAM Low-byte Data Mask
DRAM_UDQM	PIN_B8	SDRAM High-byte Data Mask
DRAM_RAS_N	PIN_F7	SDRAM Row Address Strobe
DRAM_CAS_N	PIN_G8	SDRAM Column Address Strobe
DRAM_CKE	PIN_E6	SDRAM Clock Enable
DRAM_CLK	PIN_E5	SDRAM Clock
DRAM_WE_N	PIN_D6	SDRAM Write Enable
DRAM_CS_N	PIN_G7	SDRAM Chip Select

表 4-16 Flash 引脚配置

信号名	FPGA 引脚号	说明
FL_ADDR[0]	PIN_P7	FLASH Address[0]
FL_ADDR[1]	PIN_P5	FLASH Address[1]

FL_ADDR[2]	PIN_P6	FLASH Address[2]
FL_ADDR[3]	PIN_N7	FLASH Address[3]
FL_ADDR[4]	PIN_N5	FLASH Address[4]
FL_ADDR[5]	PIN_N6	FLASH Address[5]
FL_ADDR[6]	PIN_M8	FLASH Address[6]
FL_ADDR[7]	PIN_M4	FLASH Address[7]
FL_ADDR[8]	PIN_P2	FLASH Address[8]
FL_ADDR[9]	PIN_N2	FLASH Address[9]
FL_ADDR[10]	PIN_N1	FLASH Address[10]
FL_ADDR[11]	PIN_M3	FLASH Address[11]
FL_ADDR[12]	PIN_M2	FLASH Address[12]
FL_ADDR[13]	PIN_M1	FLASH Address[13]
FL_ADDR[14]	PIN_L7	FLASH Address[14]
FL_ADDR[15]	PIN_L6	FLASH Address[15]
FL_ADDR[16]	PIN_AA2	FLASH Address[16]
FL_ADDR[17]	PIN_M5	FLASH Address[17]
FL_ADDR[18]	PIN_M6	FLASH Address[18]
FL_ADDR[19]	PIN_P1	FLASH Address[19]
FL_ADDR[20]	PIN_P3	FLASH Address[20]
FL_ADDR[21]	PIN_R2	FLASH Address[21]
FL_DQ[0]	PIN_R7	FLASH Data[0]
FL_DQ[1]	PIN_P8	FLASH Data[1]
FL_DQ[2]	PIN_R8	FLASH Data[2]
FL_DQ[3]	PIN_U1	FLASH Data[3]
FL_DQ[4]	PIN_V2	FLASH Data[4]
FL_DQ[5]	PIN_V3	FLASH Data[5]
FL_DQ[6]	PIN_W1	FLASH Data[6]
FL_DQ[7]	PIN_Y1	FLASH Data[7]
FL_DQ[8]	PIN_T5	FLASH Data[8]
FL_DQ[9]	PIN_T7	FLASH Data[9]
FL_DQ[10]	PIN_T4	FLASH Data[10]
FL_DQ[11]	PIN_U2	FLASH Data[11]
FL_DQ[12]	PIN_V1	FLASH Data[12]
FL_DQ[13]	PIN_V4	FLASH Data[13]
FL_DQ[14]	PIN_W2	FLASH Data[14]
FL_DQ15_AM1	PIN_Y2	FLASH Data[15]
FL_BYTE_N	PIN_AA1	FLASH Byte/Word Mode Configuration
FL_CE_N	PIN_N8	FLASH Chip Enable
FL_OE_N	PIN_R6	FLASH Output Enable
FL_RST_N	PIN_R1	FLASH Reset
FL_RY	PIN_M7	LASH Ready/Busy output
FL_WE_N	PIN_P4	FLASH Write Enable
FL_WP_N	PIN_T3	FLASH Write Protect /Programming Acceleration

高阶设计范例

这一章给出了在 DE0 上实现的多个高阶应用范例。这些设计例程展示了开发板多方面的特性，譬如它在视频信号处理方面的能力，SD 卡的存储能力。给出的每个应用范例，均提供有 Cyclone III FPGA（或者是 EPCS4、EPCS）配置文件，以及完整的 Verilog HDL 源代码。

所有相关文档都可以在 DE0 System CD-ROM 文件夹 DE0\demonstrations 里找到。下面即将介绍的各个设计范例，都可以在文件夹 DE0_demonstrations 的工程目录里找到。

安装设计范例

安装过程：

复制 DE0_demonstrations 目录及目录下的内容到电脑上指定位置。请注意这个文件夹所在的路径不能包含空格或者中文，否则，工程里面的 Nios II 软件工程可能无法再次正确编译。

5.1 DE0 默认配置

DE0 出厂时写有默认的配置数据，用于演示开发板的一些基本特征。下面给出了默认配置的存放位置，和执行默认配置需要准备的工作。

准备工作、文件位置及操作步骤

- 工程目录：DE0_Default
- 使用到的配置文件按 Bit stream used: DE0_Default.sof or DE0_Default.pof
- 开启 DE0 电源，连接 USB-Blaster 电缆到 DE0 的 USB-Blaster 端口，如果有必要（当 EPCS4 器件里面没有出厂默认代码时），使用 JTAG 或者 AS 模式下载默认工程编程文件到开发板。
- 现在，用户可以观察到以下现象：七段译码器重复显示数字序列，绿色 LED 灯以约 1Hz 的频率闪烁。
- 如果额外的把 VGA 输出端口连接到 VGA 兼容型显示器 显示器会展示默认的 color pattern。

这个默认工程的源代码可以在文件夹 DE0_Default folder 下面找到。这个工程的顶层 Verilog 文件 (DE0_Default.v)，可以用作其它工程的设计模板，因为在这个顶层模块里面定义了 DE0 开发板中所有用户可访问的与 Cyclone III FPGA 芯片连接的外围设备引脚信息。

5.2 SD 卡设计范例

许多应用场合使用大容量的外部存储设备来存储数据，例如，SD 卡或者 CF 卡。DE0 提供了存取 SD 卡所需的硬件和软件环境。在这个设计范例中，我们展示了如何浏览 SD 卡根目录中的文件并读取指定文件的内容。SD 卡的容量应该小于或等于 2GB。另外，SD 卡需要预先格式化为 FAT(FAT16 or FAT 32) 文件系统。设计范例支持长文件名。

图 5-1 给出了设计的硬件原理框图。FPGA 系统所需求的 50MHz 时钟由外部晶振产生。

四根 PIO 引脚连接到 SD 卡插槽。这四根 PIO 引脚是 SD_CLK, SD_CMD, SD_DAT 和 SD_WP_N。这三个引脚 SD_CLK, SD_CMD 和 SD_DAT 用于实现 SD 卡 1 位模式协议，进而读取 SD 卡。SD 卡 1 比特模式协议以及 FAT 文件系统均由 Nios II 软件实现。软件代码存放在片上 SDRAM 存储器中。

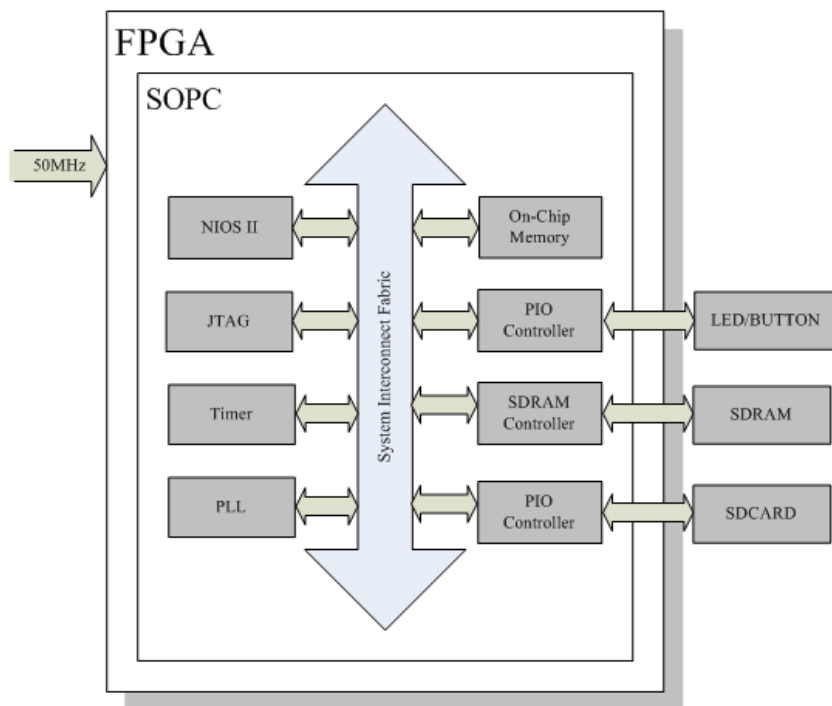


图 5-1 SD 卡设计范例系统框图

图 5-2 给出了设计范例的软件结构。Nios II PIO 部分提供基本的 IO 函数，用来直接访问硬件。这些函数由 Nios II 系统提供，函数原型可以在头文件 io.h 中找到。SD 卡部分实现了 SD 卡 1 比特模式协议，负责和 SD 卡进行通信。FAT 文件系统提供读取 FAT16 以及 FAT32 文件系统的接口函数。该设计范例支持长文件名。调用 FAT 导出函数，用户可以浏览 SD 卡

根目录下的文件，并且，用户可以打开指定的文件并读取里面的内容。

Main 模块实现了设计范例的控制协调工作。当程序执行后，它首先检测系统是否存在 SD 卡。

当找到 SD 卡后，它判断 SD 卡是否被格式化为 FAT 文件系统。如果条件满足，它会搜索根目录下的文件，然后把它们的名字打印到终端。如果名为“test.txt”的文件存在，程序还会读取此文件里面的内容，并打印到终端。当程序正确识别到 FAT 文件系统后，它还会点亮绿色的 LED 灯；否则，如果初始化 SD 卡文件系统失败，它会熄灭绿色 LED 灯。如果找不到 SD 卡，绿色 LED 灯只有一半会亮。用户按下 BUTTON2，可以复位系统 CPU，重新执行软件。

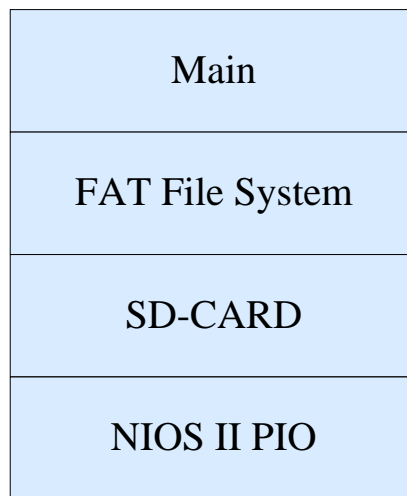


图 5-2 SD 卡设计范例软件框图

■ 设计范例源代码

- 工程目录: DE0_NIOS_SDCARD
- 使用到的配置数据: DE0_TOP_SDCARD.sof
- NIOS II 工程目录: DE0_NIOS_SDCARD\Software

■ Demonstration Batch File 设计范例批处理文件

批处理文件目录: DE0_NIOS_SDCARD \Demo_Batch

批处理命令调用的文件:

- 脚本文件: test.bat, test_bashrc
- 硬件配置文件: DE0_TOP_SDCARD.sof

- 软件代码: DE0_SDCARD.elf

■ 设计范例设置

- 确保 Quartus II 以及 Nios II 已经在 PC 上安装好
- 将 DE0 开发板的开关从 “PROG” 状态 to “RUN” 状态
- 开启 DE0 电源
- 连接 USB 电缆到 DE0 开发板，如有必要，安装 USB-Blaster 驱动
- 执行 DE0_NIOS_SDCARD\demo_batch. 目录下的批处理文件 “test.bat”
- 当 Nios II 代码下载好并成功执行后，Nios II 终端窗口会打印执行情况
- 将 SD 卡插到 DE0 开发板 SD 卡插槽，如图 5-3 所示
- 按下 Button2， 开始读取 SD 卡的内容
- 程序会将 SD 卡测试文件中内容打印到终端，如图 5-4.所示

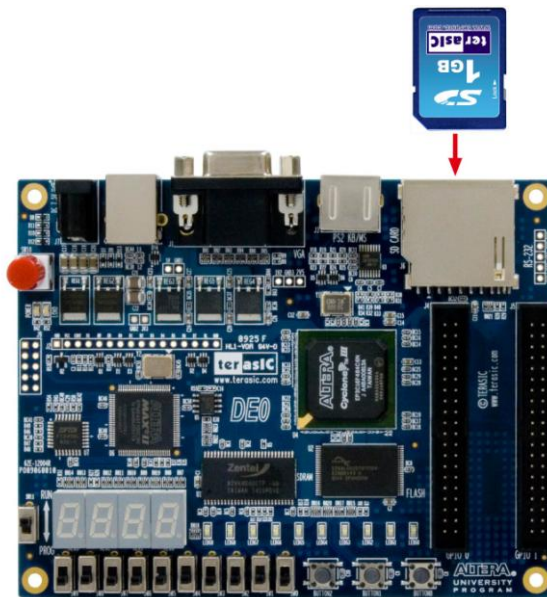


图 5-3 装载 SD 卡到 DE0



图 5-4 SD 卡设计范例 SD 卡内容显示

5.3 VGA color pattern 设计范例

DE0 开发板提供了一个带有 4 位电阻器的 VGA 电路和 D-SUB VGA 接口，这样用户就可以通过 Cyclone III FPGA 输出 VGA 信号到 LCD/CRT 显示器。这个设计范例将在 FPGA 中实现 VGA color pattern 发生器。这个发生器可以生成分辨率达 640x480 的 2 种 color pattern，此外，使用 SW0 可以将 color pattern 输出到 LCD/CRT 显示器。

图 5-5 给出了设计的系统框图。这个电路里有两个主要模块 VGA_Pattern 和 VGA_Ctr。VGA_Pattern 模块控制着每一个水平和垂直线的像素值；从而可以生成多种 color pattern。VGA_Ctr 模块生成将 color pattern 输出到 LCD/CRT 显示器的 VGA 控制信号 HS 和 VS，这个信号取决于用户设置的分辨率。

Altera DE0 Board

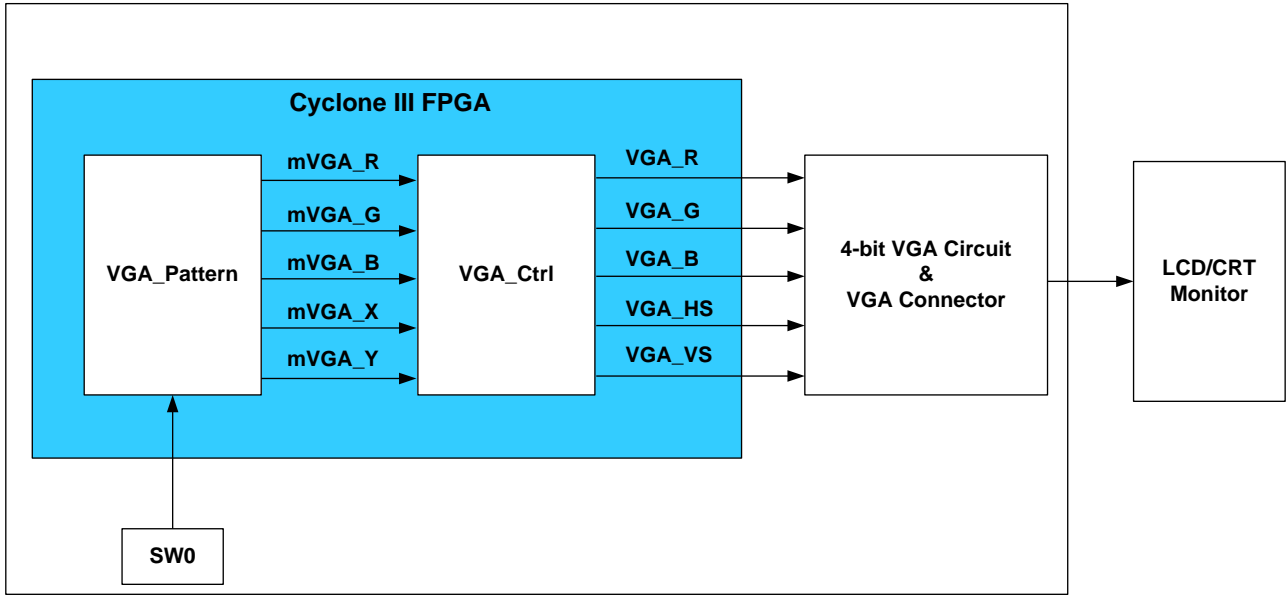


图 5-5 VGA color pattern 设计范例系统框图

准备工作、文件位置及操作步骤

- 工程目录: DE0_VGA
- 使用到的配置数据: DE0_VGA.sof or DE0_VGA.pof
- 连接 VGA 显示器到 DE0 开发板的 VGA 输出端口 (LCD 和 CRT 类型显示器都适用)
- 将配置数据下载到 FPGA
- LCD/CRT 显示器会显示 color pattern, 如图 5-6 所示
- 拨动按钮 SW0 可以转换 color pattern (请见图 5-7)

图 5-6 描述了该设计范例的设置。

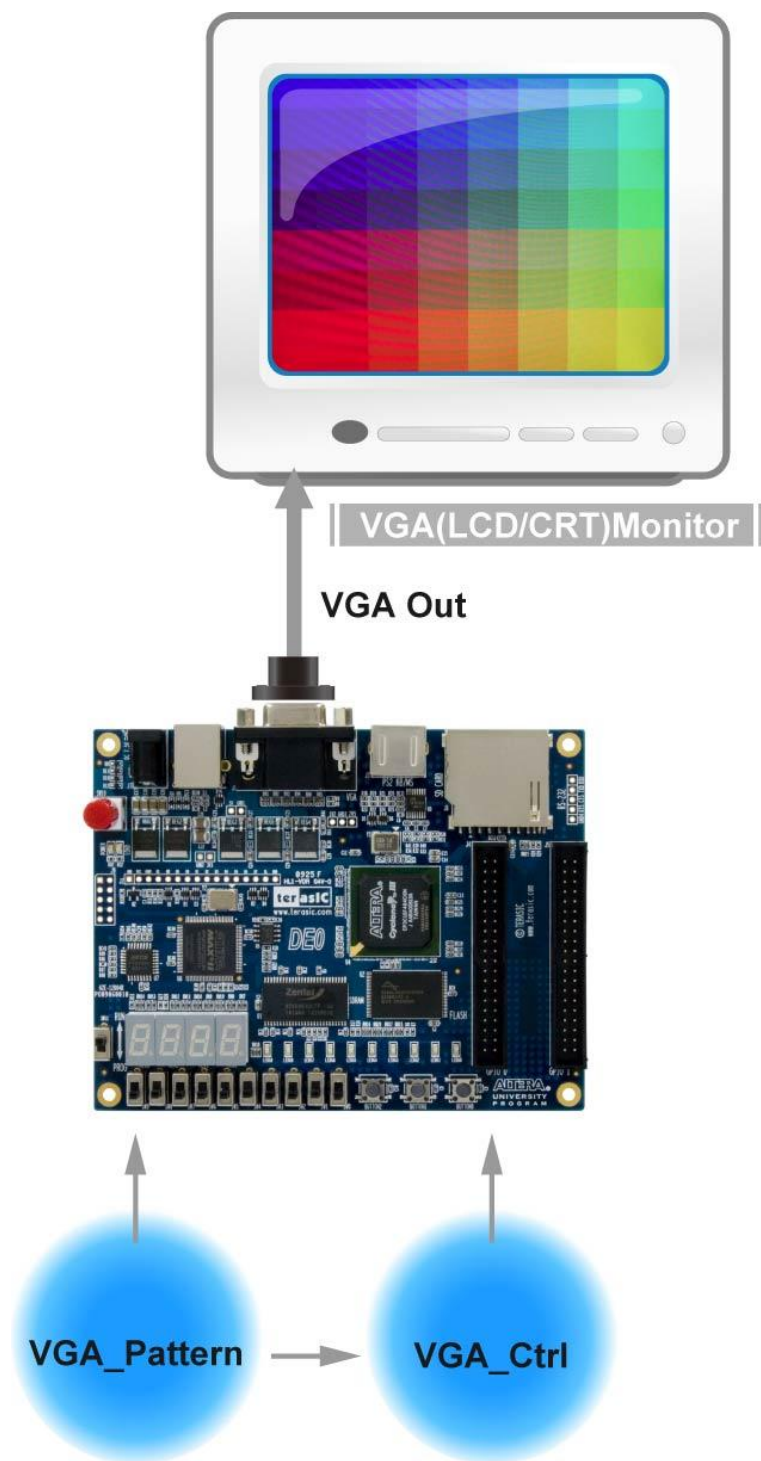


图 5-6 VGA 色彩的设置

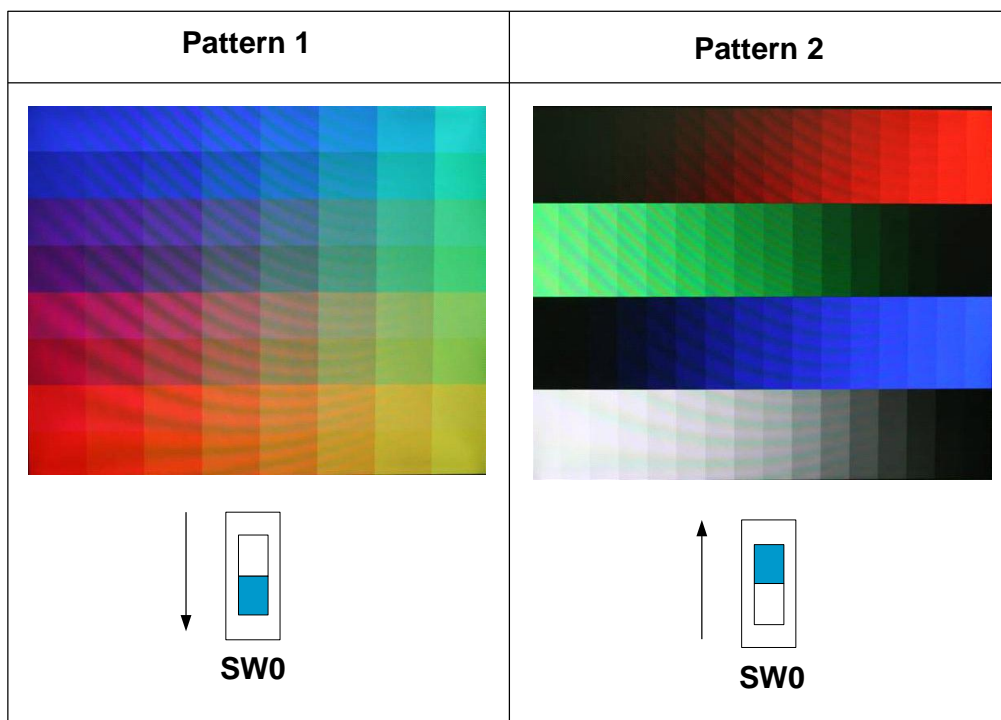


图 5-7 该设计范例输出的 color pattern 的类型

6.1 修改历史

Version	Change Log
V1.0	Initial Version (Preliminary)
V1.1	GPIO Pin Assignments Corrected
V1.2	SDRAM pin description Corrected
V1.3	Figure 4.10 Clock Circuitry pin assignment Corrected
V1.4	SD card demonstration setup corrected

6.2 版权声明

版权所有 © 2009 友晶科技 保留所有权利