

## 目 录

一、实验要求.....	2
二、实验原理.....	2
1.AD/DA 模块.....	2
2.顶层设计原理框图.....	6
三、DE0 外接引脚说明 .....	7

## 基于 FPGA 的模数转换电路

### 一、实验要求

1. 使用 FPGA 开发板及高速 A/D 模块实现模数的转换。利用信号源输出频率为 1HZ 的方波信号，将方波信号输出连接至 A/D 模块的模拟电压输入端，A/D 模块将模拟信号转换成数字信号，依次记录以下变化数据：

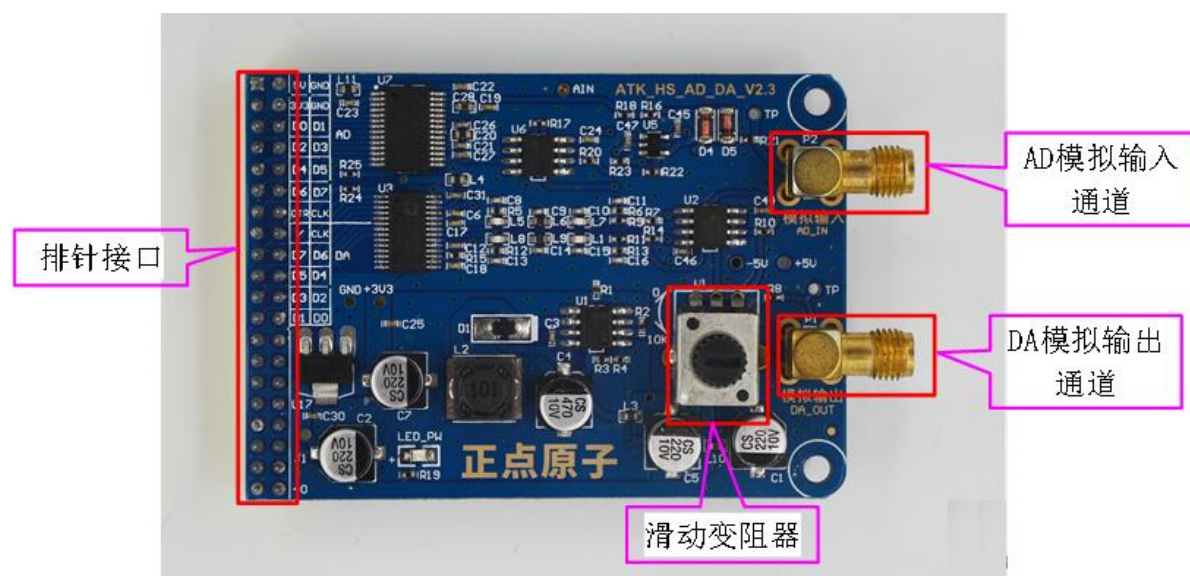
频率 1Hz 方波信号	模拟信号	数字信号输出 8 位 LED[7..0]	
		理论值	实测值
幅度+5 至-5V 变化	电压为+5V 时	11111111	
	电压为-5V 时	00000000	
幅度+4 至-4V 变化	电压为+4V 时		
	电压为-4V 时		
幅度+3 至-3V 变化	电压为+3V 时		
	电压为-3V 时		
幅度+2 至-2V 变化	电压为+2V 时		
	电压为-2V 时		
幅度+1 至-1V 变化	电压为+1V 时		
	电压为-1V 时		

2. 利用信号源产生频率 1Hz 方波，调节幅度旋钮，信号源输出信号幅度为 +5 至-5V 变化的信号时，当信号是+5V 输出时，2 位数码管输出显示组里同学学号后 2 位，当信号是-5V 输出时，2 位数码管输出显示组里另一位同学学号后 2 位；当信号源输出信号幅度为其他值时 2 位数码管灭灯（不显示）。

### 二、实验原理

#### 1. AD/DA 模块

##### 1.1 AD/DA 模块

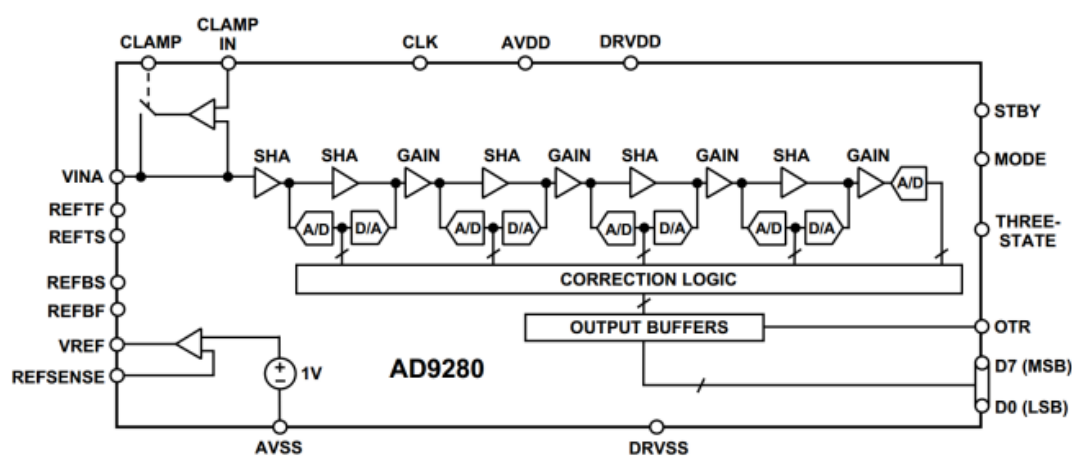


## 1.2 A/D 芯片

### 1.2.1 AD9280 芯片

AD9280 是 ADI 公司生产的一款单芯片、8 位、32MSPS (Million Samples Per Second, 每秒采样百万次) 模数转换器, 具有高性能、低功耗的特点。

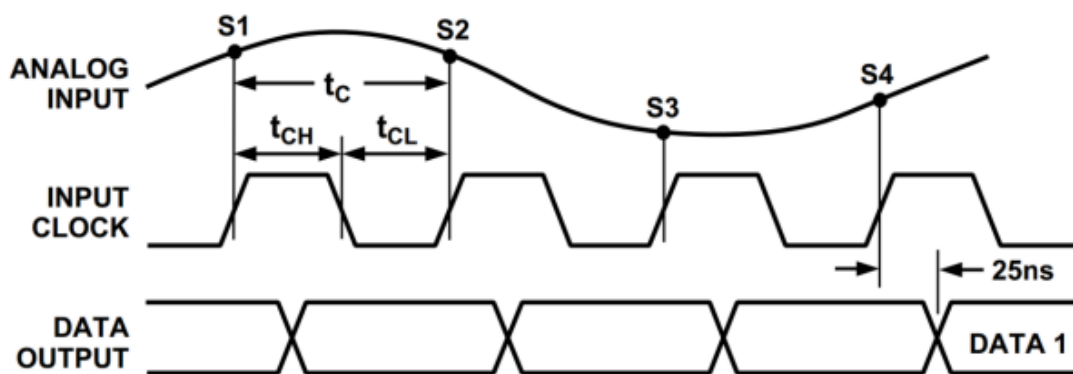
AD9280 的内部功能框图如下图所示:



AD9280 内部功能框图

AD9280 在时钟 (CLK) 的驱动下工作, 用于控制所有内部转换的周期; AD9280 内置片内采样保持放大器 (SHA), 同时采用多级差分流水线架构, 保证了 32MSPS 的数据转换速率下全温度范围内无失码; AD9280 内部集成了可编程的基准源, 根据系统需要也可以选择外部高精度基准满足系统的要求。

AD9280 输出的数据以二进制格式表示, 当输入的模拟电压超出量程时, 会拉高 OTR (out-of-range) 信号; 当输入的模拟电压在量程范围内时, OTR 信号为低电平, 因此可以通过 OTR 信号来判断输入的模拟电压是否在测量范围内。AD9280 的时序图如下图所示:

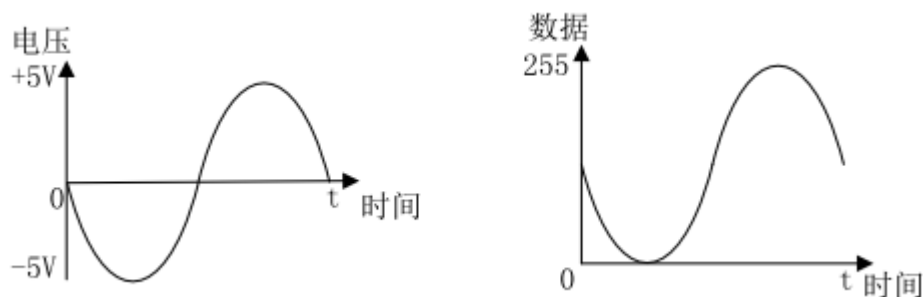


AD9280 时序图

模拟信号转换成数字信号并不是当前周期就能转换完成，从采集模拟信号开始到输出数据需要经过 3 个时钟周期。比如上图中在时钟 CLK 的上升沿采集的模拟电压信号 S1，经过 3 个时钟周期后（实际上再加上 25ns 的时间延时），输出转换后的数据 DATA1。需要注意的是，AD9280 芯片的最大转换速度是 32MSPS，即输入的时钟最大频率为 32MHz。

AD9280 支持输入的模拟电压范围是 0V 至 2V，0V 对应输出的数字信号为 0，2V 对应输出的数字信号为 255。输出的电压范围是 -5V~+5V，需要在 AD9280 的模拟输入端增加电压衰减电路，使 -5V~+5V 之间的电压转换成 0V 至 2V 之间。那么实际上对我们用户使用来说，当 AD9280 的模拟输入接口连接 -5V 电压时，AD 输出的数据为 0；当 AD9280 的模拟输入接口连接 +5V 电压时，AD 输出的数据为 255。

当 AD9280 模拟输入端接 -5V 至 +5V 之间变化的正弦波电压信号时，其转换后的数据也是成正弦波波形变化，转换波形如下图所示：



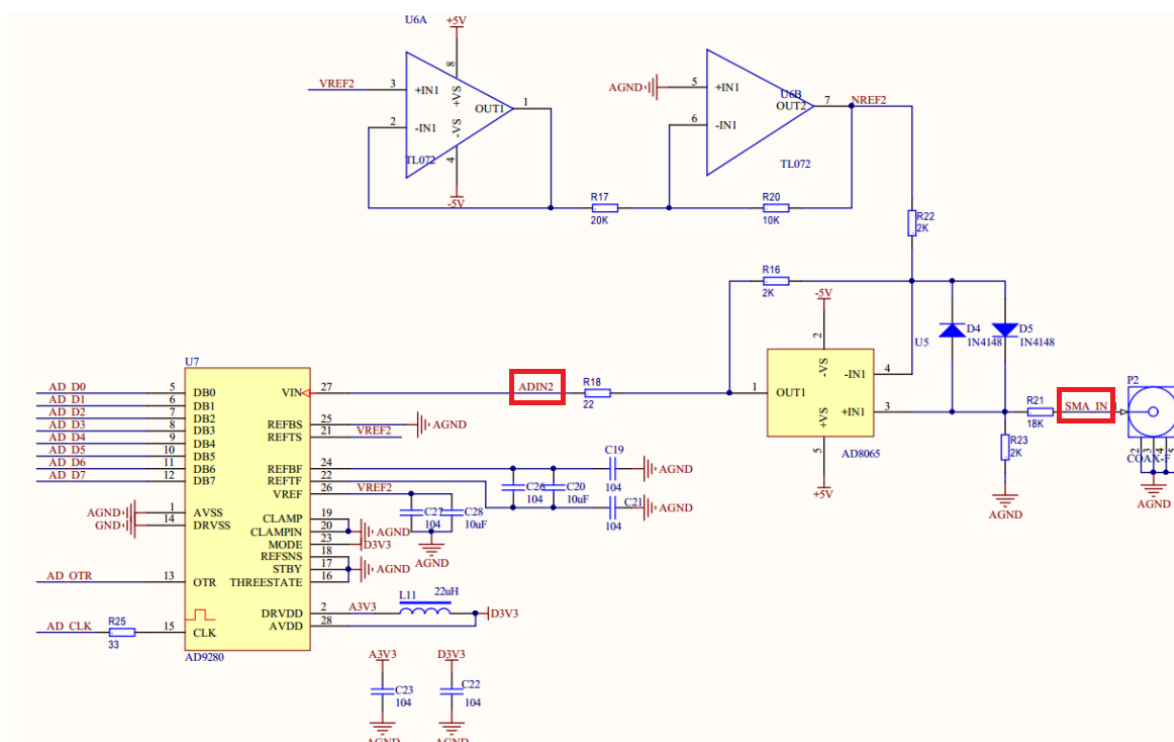
AD9280 正弦波模拟电压值（左）、数据（右）

由上图可知，输入的模拟电压范围在 -5V 至 5V 之间，按照正弦波波形变化，最终得到的数据也是按照正弦波波形变化。

### 1.2.2 AD9280 电路原理图



AD9280 电路原理框图



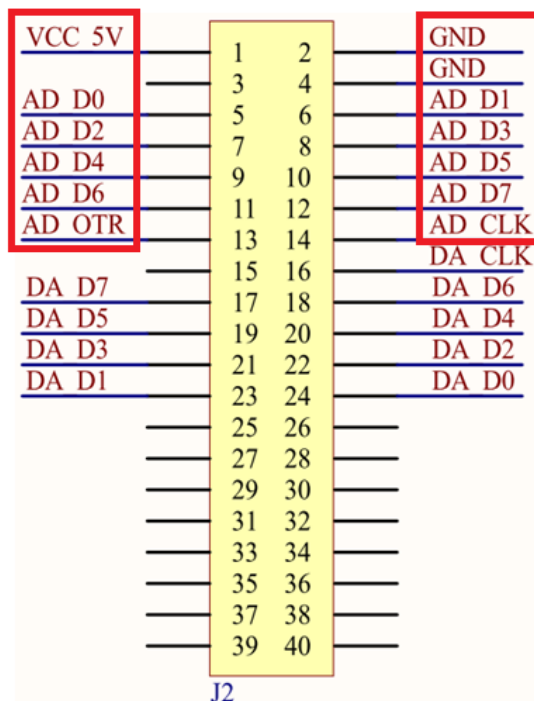
AD9280 电路原理图

### 1.2.3 工作原理

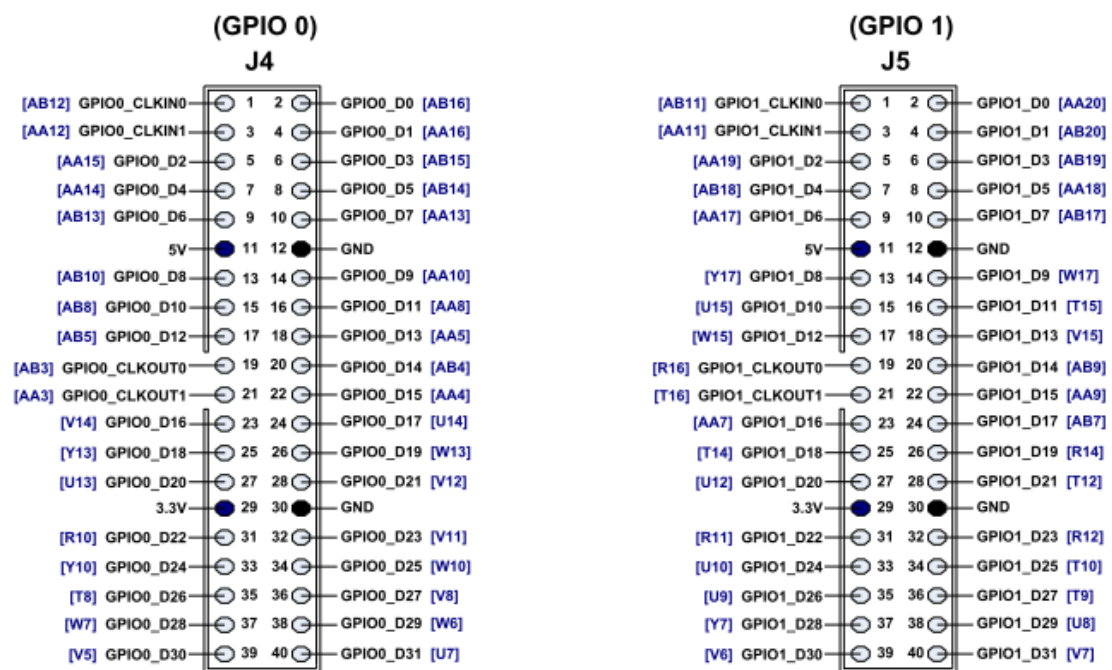
上图中输入的模拟信号 SMA\_IN 经过衰减电路后得到 AD\_IN2 信号，两个模拟电压信号之间的关系是  $AD\_IN2 = SMA\_IN / 5 + 1$ ，即当 SMA\_IN=5V 时，AD\_IN2=2V；SMA\_IN=-5V 时，AD\_IN2=0V。

### 1.3 引脚配置

#### 1.3.1 模数模块外接引脚



1.3.2 FPGA 外接引脚

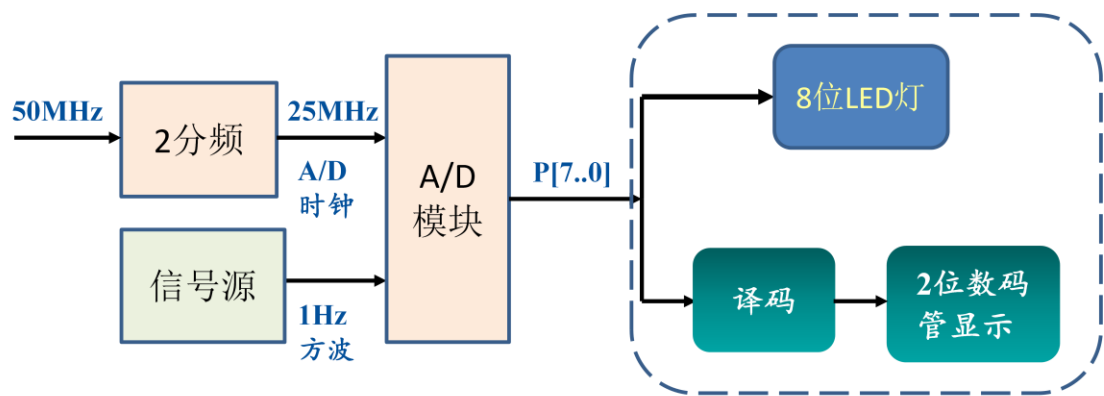


1.3.3 模数模块引脚说明

信号名	端口说明
ad_data[0]	AD 输入数据
ad_data[1]	AD 输入数据
ad_data[2]	AD 输入数据
ad_data[3]	AD 输入数据
ad_data[4]	AD 输入数据
ad_data[5]	AD 输入数据
ad_data[6]	AD 输入数据
ad_data[7]	AD 输入数据
ad_otr	模拟输入电压超出量程标志 (0: 量程范围内 1: 超过量程)
ad_clk	AD9280 驱动时钟

2. 顶层设计原理框图

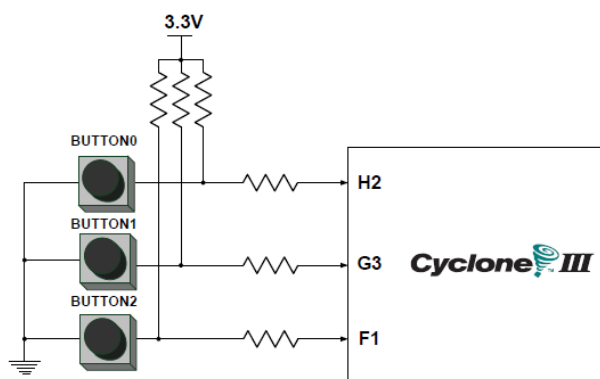
2.1 原理框图



## FPGA显示

由于 AD9280 转换芯片支持的最大时钟频率为 32Mhz, 而 FPGA 的系统时钟频率为 50Mhz, 所以需要先对时钟进行分频, 将分频后的时钟作为 AD9280 转换芯片的驱动时钟。

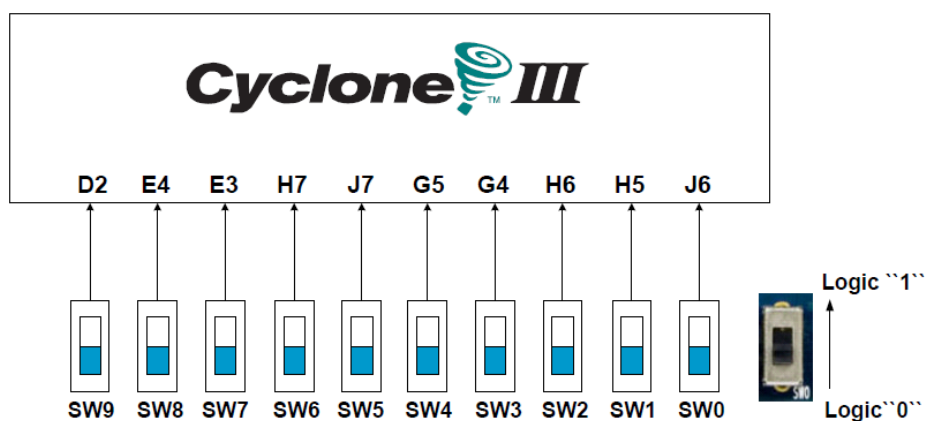
### 三、DE0 外接引脚说明



按钮开关与 Cyclone III FPGA 的连接

按钮开关的引脚分配

信号名	FPGA 引脚号	说明
BUTTON [0]	PIN_ H2	Pushbutton[0]
BUTTON [1]	PIN_ G3	Pushbutton[1]
BUTTON [2]	PIN_ F1	Pushbutton[2]

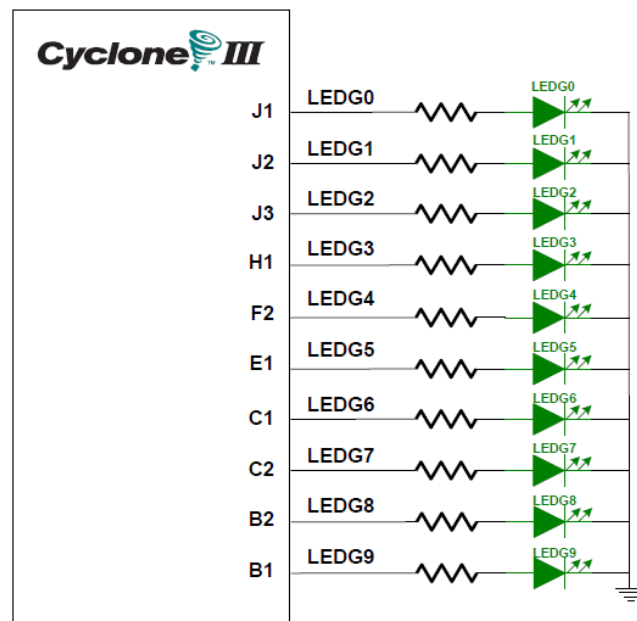


## 拨动开关与 CycloneIII FPGA 的连接

### 拨动开关的引脚分配

信号名	FPGA 引脚号.	说明
SW[0]	PIN_J6	Slide Switch[0]
SW[1]	PIN_H5	Slide Switch[1]
SW[2]	PIN_H6	Slide Switch[2]
SW[3]	PIN_G4	Slide Switch[3]
SW[4]	PIN_G5	Slide Switch[4]
SW[5]	PIN_J7	Slide Switch[5]
SW[6]	PIN_H7	Slide Switch[6]
SW[7]	PIN_E3	Slide Switch[7]
SW[8]	PIN_E4	Slide Switch[8]
SW[9]	PIN_D2	Slide Switch[9]



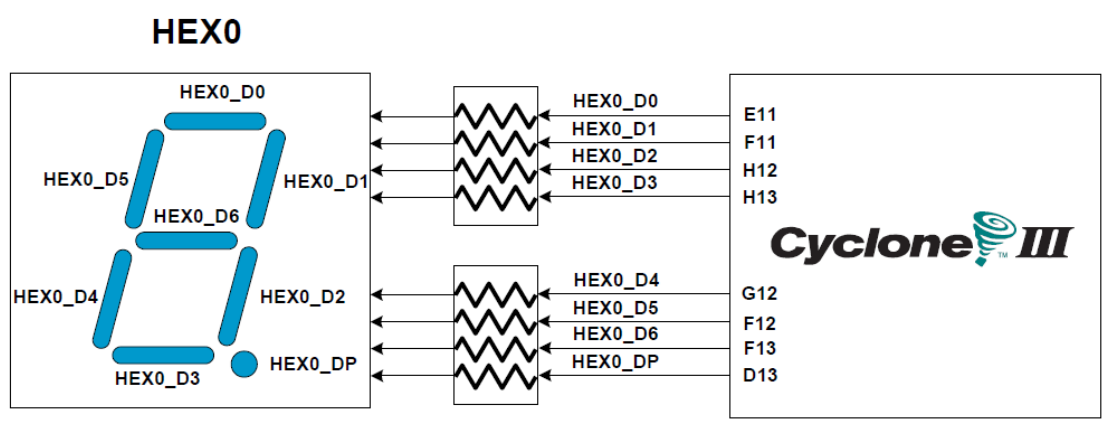


LED 灯与 Cyclone III FPGA 的连接

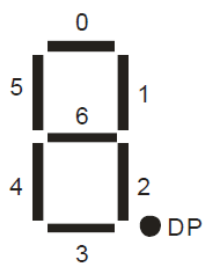
LED 灯的引脚分配

信号名	FPGA 引脚号	说明
LEDG[0]	PIN_J1	LED Green[0]
LEDG[1]	PIN_J2	LED Green[1]
LEDG[2]	PIN_J3	LED Green[2]
LEDG[3]	PIN_H1	LED Green[3]
LEDG[4]	PIN_F2	LED Green[4]

LEDG[5]	PIN_E1	LED Green[5]
LEDG[6]	PIN_C1	LED Green[6]
LEDG[7]	PIN_C2	LED Green[7]
LEDG[8]	PIN_B2	LED Green[8]
LEDG[9]	PIN_B1	LED Green[9]



七段数码管与 Cyclone III FPGA 芯片的连接示意图



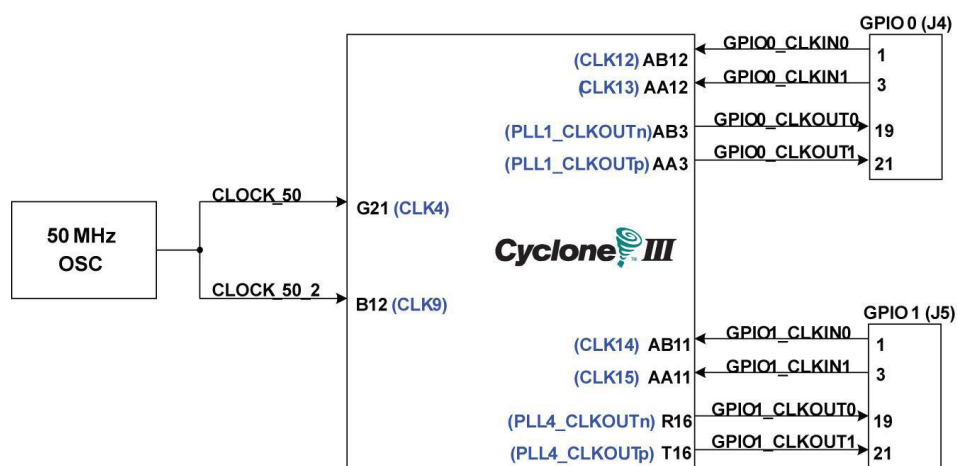
七段数码管每个字段的相应编号

七段数码管的引脚配置

信号名	FPGA 引脚号	说明
HEX0_D[0]	PIN_E11	Seven Segment Digit 0[0]
HEX0_D[1]	PIN_F11	Seven Segment Digit 0[1]
HEX0_D[2]	PIN_H12	Seven Segment Digit 0[2]
HEX0_D[3]	PIN_H13	Seven Segment Digit 0[3]
HEX0_D[4]	PIN_G12	Seven Segment Digit 0[4]
HEX0_D[5]	PIN_F12	Seven Segment Digit 0[5]
HEX0_D[6]	PIN_F13	Seven Segment Digit 0[6]
HEX0_DP	PIN_D13	Seven Segment Decimal Point 0
HEX1_D[0]	PIN_A13	Seven Segment Digit 1[0]
HEX1_D[1]	PIN_B13	Seven Segment Digit 1[1]
HEX1_D[2]	PIN_C13	Seven Segment Digit 1[2]

HEX1_D[3]	PIN_A14	Seven Segment Digit 1[3]
HEX1_D[4]	PIN_B14	Seven Segment Digit 1[4]
HEX1_D[5]	PIN_E14	Seven Segment Digit 1[5]
HEX1_D[6]	PIN_A15	Seven Segment Digit 1[6]
HEX1_DP	PIN_B15	Seven Segment Decimal Point 1
HEX2_D[0]	PIN_D15	Seven Segment Digit 2[0]
HEX2_D[1]	PIN_A16	Seven Segment Digit 2[1]
HEX2_D[2]	PIN_B16	Seven Segment Digit 2[2]
HEX2_D[3]	PIN_E15	Seven Segment Digit 2[3]
HEX2_D[4]	PIN_A17	Seven Segment Digit 2[4]
HEX2_D[5]	PIN_B17	Seven Segment Digit 2[5]
HEX2_D[6]	PIN_F14	Seven Segment Digit 2[6]
HEX2_DP	PIN_A18	Seven Segment Decimal Point 2

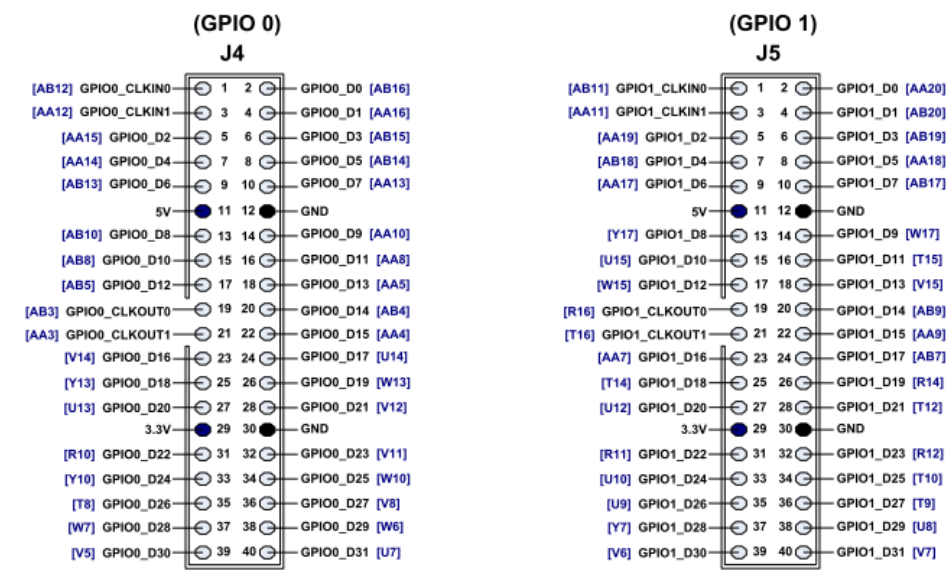
HEX3_D[0]	PIN_B18	Seven Segment Digit 3[0]
HEX3_D[1]	PIN_F15	Seven Segment Digit 3[1]
HEX3_D[2]	PIN_A19	Seven Segment Digit 3[2]
HEX3_D[3]	PIN_B19	Seven Segment Digit 3[3]
HEX3_D[4]	PIN_C19	Seven Segment Digit 3[4]
HEX3_D[5]	PIN_D19	Seven Segment Digit 3[5]
HEX3_D[6]	PIN_G15	Seven Segment Digit 3[6]
HEX3_DP	PIN_G16	Seven Segment Decimal Point 3



时钟分配电路的方块图

时钟输入的引脚分配

信号名	FPGA 引脚号.	说明
CLOCK_50	PIN_G21	50 MHz clock input



扩展接头的 I/O 分配