

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ  
ФЕДЕРАЦИИ**

**ФГБОУ ВО «АЛТАЙСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

**КАФЕДРА ВТиЭ**

**Лабораторный практикум по курсу «Схемотехника ЭВМ»**

**Лабораторная работа №4**

**Барнаул 2016**

## Лабораторная работа № 4

**Тема:** Проектирование устройств с Z-состоянием выхода.

### Цель работы:

Получение навыков синтеза различных комбинационных устройств с помощью языка описания аппаратуры AHDL в САПР Altera MAX+PLUS II.

### Задачи:

С помощью текстового редактора (Text Editor) синтезировать комбинационные схемы преобразователя кода, сдвигающего регистра с параллельной загрузкой и дешифратора адреса с заданными параметрами. Подключить их к двунаправленной шине данных в режиме графического редактора (Graphic Editor) и произвести исследование особенностей работы элементов с выходами имеющими Z-состояние. Произвести измерение временных параметров полученной схемы (Simulator).

### Литература:

1. Altera MAX+PLUS® II ver. 10.2 Help
2. Р.И.Грушвицкий, А.Х.Мурсаев, Е.П.Угрюмов Проектирование систем на микросхемах с программируемой структурой. – 2-е изд., перераб. и доп. - СПб.: БХВ-Петербург, 2006. – 736с.
3. В.Б.Стещенко ПЛИС фирмы ALTERA: проектирование устройств обработки сигналов.- М.: ДОДЭКА, 2000. - 128с.
4. Примеры в пакете Altera MAX+PLUS II, директория \max2work\ahdl: 7segment.tdf, boole2.tdf, bus\_reg.tdf, bus\_reg2.tdf, decode1.tdf, reg\_out.tdf

### Выполнение работы:

Выполнение лабораторной работы можно разделить на следующие этапы:

1. Расшифровав вариант (Приложение 1, свой вариант), получаем типы комбинационных устройств, входящих в состав схемы, и условия, которые необходимо учитывать при их синтезе.
2. С помощью текстового редактора (Text Editor) синтезируется заданный тип преобразователя кода с отдельными входами и выходами. Далее:
  - полученный файл компилируется (Compiler) и его работа проверяется в Simulator;
  - Используя буфер выхода с Z-состоянием TRI устройство преобразуется для работы с двунаправленной шиной BIDIR;
  - полученный файл компилируется (Compiler) и его работа проверяется в Simulator;
  - создается символ преобразователя кода через подменю «Project», в котором следует выбрать пункт «Create Default Symbol».
3. С помощью текстового редактора (Text Editor) синтезируется заданный тип регистра с отдельными входами и выходами. Далее:
  - полученный файл компилируется (Compiler) и его работа проверяется в Simulator;
  - Используя буфер выхода с Z-состоянием TRI устройство преобразуется для работы с двунаправленной шиной BIDIR;

- полученный файл компилируется (Compiler) и его работа проверяется в Simulator;
  - создается символ регистра через подменю «Project», в котором следует выбрать пункт «Create Default Symbol».
4. С помощью текстового редактора (Text Editor) синтезируется дешифратор адреса с заданными параметрами. Полученный файл компилируется (Compiler) и его работа проверяется в Simulator.
  5. С использованием графического редактора пакета MAX+PLUS (Graphic Editor) строится схема, состоящая из символов синтезированных устройств, с присоединенными к ним элементами входов и выходов. **ВНИМАНИЕ: Имя проекта ни в коем случае не должно совпадать с именами символов синтезированных устройств!**
  6. Выполняется компилирование схемы (Compiler).
  7. С помощью редактора WaveForm Editor задаются внешние воздействия, необходимые для проверки работоспособности схемы. В данном случае могут использоваться заготовки, полученные при проверке устройств, входящих в состав схемы.
  8. Запускается симулятор работы схемы (Simulator).
  9. Измеряются временные задержки, возникающие при работе схемы. Измерение задержек можно проводить как вручную в WaveForm Editor, так и с помощью Timing Analyzer.

### Требования к защите работы:

1. Демонстрация схемы и результатов моделирования как каждого комбинационного устройства, так и всей схемы целиком на компьютере.
2. Отчет по лабораторной работе (оформленный в соответствии с Приложением 2).
3. Правильные ответы на вопросы преподавателя по теме работы.

### Пример выполнения лабораторной работы:

#### Задание:

Вариант №0 - **0xD02C84**. Необходимо синтезировать схему, состоящую из 2х устройств, подсоединенных к двунаправленной шине. Выбор какое из устройств в данный момент подключено к шине осуществляется с помощью дешифратора адреса. Управление устройствами осуществляется с помощью внешних сигналов.

#### Выполнение работы:

Получаем данные, необходимые для синтеза комбинационных устройств. Вариант расшифровывается следующим образом:

0xD02C84 = 11010000'00101100'10000100

Первые 2 байта задают адреса, на которые реагирует дешифратор адреса:

- 11010000 – адресами устройства Регистр являются 4, 6, 7 (при этом дешифратор выдает **1** на линию CS). Т.е. номер бита в байте и является тем адресом, в котором дешифратор должен выдавать **1**.
- 00101100– адресами устройства Преобразователь Кода являются 2, 3, 5 (при этом дешифратор выдает **1** на линию CS1)

Третий байт отвечает за виды устройств в схеме и способы их синтеза:

10000100 = 1,0,0,0,010,0

7	6-5	4	3-1	0
TRI_P	Регистр	TRI_ПК	Преобр.Кода	ДшА

ДшА (1 бит) – Задаёт вид синтеза дешифратора адреса:

- 0 – булево выражение (в примере ниже будет использоваться для синтеза CS, CS1);
- 1 – конструкция IF THEN.

Преобр.Кода (3 бита) – Задаёт тип преобразователя кода:

- 000 – BIN => BCD;
- 001 – BIN => код Грея;
- 010 – BIN => код для 7-ми сегментного индикатора;
- 011 – BIN => код для 7-ми сегментного индикатора + точка;
- 100 – BIN => Дополнительный код;
- 101 - BCD => BIN;
- 110 - код Грея => BIN;
- 111 - Дополнительный код => BIN.

**ВНИМАНИЕ:** Преобразователь Кода должен работать с 8-ми разрядными данными. Исключения составляют лишь Преобр.Кода для работы с 7-ми сегментным индикатором, в котором из двунаправленной 8-ми разрядной шины данных используется только 4 (для индикатора без точки) или 5 (для индикатора с точкой) линий.

TRI\_ПК(1 бит) – Задаёт вид синтеза буферов выхода с Z-состоянием, которые будут использоваться в преобразователе кода.

- 0 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. **SUBDESIGN bus\_reg2** (в примере ниже будет использоваться при синтезе устройства преобразователя кода **7segm**);
- 1 - так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. **SUBDESIGN bus\_reg3** (в примере ниже будет использоваться при синтезе устройства **Registr**).

Регистр(2 бита) – Задаёт тип синтезируемого регистра:

- 00 – 8-ми разрядный циклический сдвигающий регистр с параллельной загрузкой (сдвиг осуществляется влево);
- 01 – 8-ми разрядный циклический сдвигающий регистр с параллельной загрузкой (сдвиг осуществляется вправо);
- 10 - 8-ми разрядный сдвигающий регистр с параллельным выходом (сдвиг осуществляется влево);
- 11 - 8-ми разрядный сдвигающий регистр с параллельным выходом (сдвиг осуществляется вправо).

TRI\_P(1 бит) – Задаёт вид синтеза буферов выхода с Z-состоянием, которые будут использоваться в устройстве Регистр.

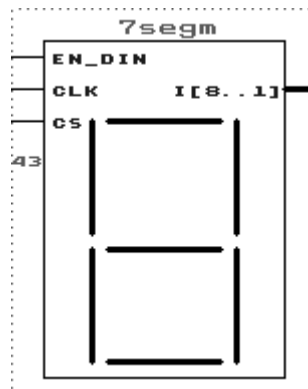
- 0 – так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. **SUBDESIGN bus\_reg2** (в примере ниже будет использоваться при синтезе устройства преобразователя кода **7segm**);
- 1 - так как указано в Altera MAX+PLUS Help в разделе Implementing Bidirectional Pins, см. **SUBDESIGN bus\_reg3** (в примере ниже будет использоваться при синтезе устройства **Registr**).

Следовательно, нам необходимо синтезировать схему с 8-ми разрядным преобразователем кода из двоичных чисел в коды 7-ми сегментного индикатора и буферами выхода по методу **bus\_reg2**, с 8-ми разрядным циклическим сдвигающим влево регистром с

параллельной загрузкой и буферами выхода по методу **bus\_reg3** и с дешифратором адреса на основе булева выражения.

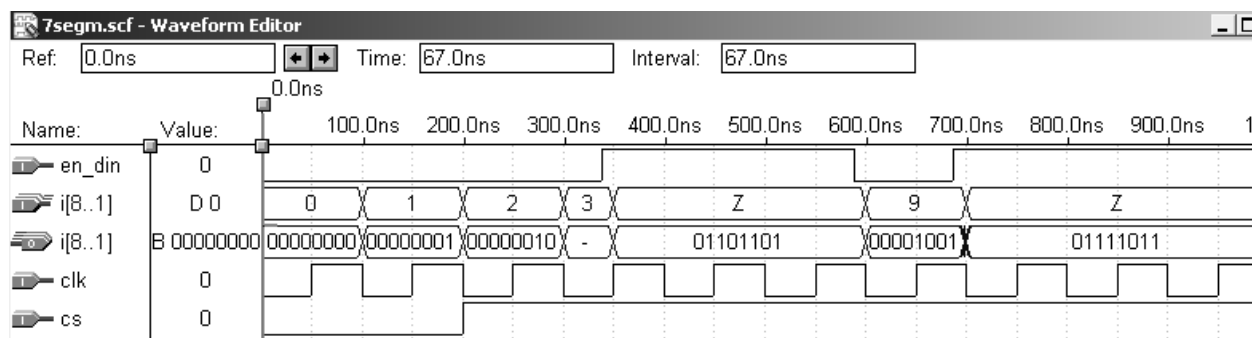
С помощью текстового редактора (Text Editor) синтезируем заданный тип преобразователя кода. Код необходимый для синтеза преобразователем кода из двоичных чисел в коды семисегментного индикатора и буферами выхода по методу **bus\_reg2** и получившийся символ устройства приведены на Рис.4.1:

```
SUBDESIGN 7segm
(
    i[8..1]: bidir;
    en_din, clk, cs: input;
)
VARIABLE
    tt[4..1]: dffe;
    t[8..1]: node;
BEGIN
    tt[].d = i[4..1];
    tt[].clk = clk;
    tt[].ena = cs AND !en_din;
    TABLE
        tt[] => t7, t6, t5, t4, t3, t2, t1;
        H"0" => 1, 1, 1, 1, 1, 1, 0;
        H"1" => 0, 1, 1, 0, 0, 0, 0;
        H"2" => 1, 1, 0, 1, 1, 0, 1;
        H"3" => 1, 1, 1, 1, 0, 0, 1;
        H"4" => 0, 1, 1, 0, 0, 1, 1;
        H"5" => 1, 0, 1, 1, 0, 1, 1;
        H"6" => 1, 0, 1, 1, 1, 1, 1;
        H"7" => 1, 1, 1, 0, 0, 0, 0;
        H"8" => 1, 1, 1, 1, 1, 1, 1;
        H"9" => 1, 1, 1, 1, 0, 1, 1;
        H"A" => 1, 1, 1, 0, 1, 1, 1;
        H"B" => 0, 0, 1, 1, 1, 1, 1;
        H"C" => 1, 0, 0, 1, 1, 1, 0;
        H"D" => 0, 1, 1, 1, 1, 0, 1;
        H"E" => 1, 0, 0, 1, 1, 1, 1;
        H"F" => 1, 0, 0, 0, 1, 1, 1;
    END TABLE;
    t8 = gnd;
    FOR j IN 1 TO 8 GENERATE
        i[j] = TRI(.in=t[j], .oe=cs & en_din);
    END GENERATE;
END;
```



**Рис.4.1 Преобразователь кода.**

В редакторе Waveform Editor строим диаграмму входных воздействий:



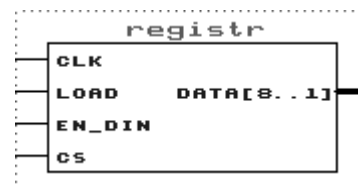
**Рис.4.2 Входные сигналы и отклик преобразователя кода.**

Из диаграммы на Рис.4.2 видно, что пока устройство не выбрано ( $CS=0$ ) никакие сигналы на выходы двунаправленной шины  $I[8..1]$  с него не поступают. Таким образом выходы двунаправленной шины  $I[8..1]$  повторяют значения входов шины  $I[8..1]$ . При  $CS=1$  устройство начинает работать (происходит защелкивание данных с входов  $I[8..1]$  и преобразование кода), но данные на выход двунаправленной шины  $I[8..1]$  поступают только в моменты, когда она переключается на вывод с помощью сигнала  $en\_din=1$ . При

этом входы двунаправленной шины I[8..1] переходят в Z-состояние, а на выходах появляются результаты работы устройства.

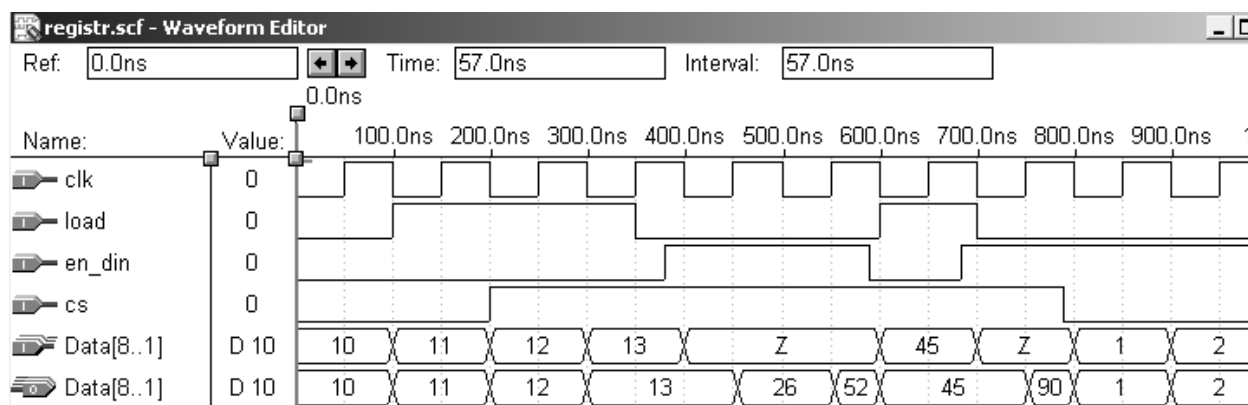
Далее, с помощью текстового редактора (Text Editor) синтезируем заданный тип регистра. Код необходимый для синтеза циклического сдвигающего влево регистра с параллельной загрузкой и буферами выхода по методу **bus\_reg3** и получившийся символ устройства приведены на Рис.4.3:

```
SUBDESIGN registr
(
    Data[8..1]: bidir;
    clk, load, en_din, cs: input;)
VARIABLE
    FF[8..1]: DFFE;
    Tri_[8..1]: TRI;
BEGIN
    FF[].clk = clk;
    FF[].ena = cs;
    if Load==1 then      FF[].D = Data[];
    else                  FF[].D = (FF[7..1].Q, FF[8].q);
    end if;
    Tri_[].in = FF[].Q;
    Tri_[].oe = cs & en_din;
    Data[] = Tri_[].out;
END;
```



**Рис.4.3 8-ми разрядный циклический сдвигающий регистр.**

В редакторе Waveform Editor строим диаграмму входных воздействий:



**Рис.4.4 Входные сигналы и отклик циклического сдвигающего регистра.**

Из диаграммы на Рис.4.4 видно, что пока устройство не выбрано (CS=0) никакие сигналы на выходы двунаправленной шины Data[8..1] с него не поступают. Таким образом выходы двунаправленной шины Data[8..1] повторяют значения входов шины Data[8..1]. При CS=1 устройство начинает работать (по сигналу load=1 происходит защелкивание данных с входов Data[8..1] и, при load=0, осуществляется циклический сдвиг влево), но данные на выход двунаправленной шины Data[8..1] поступают только в моменты, когда она переключается на вывод с помощью сигнала en\_din=1. При этом входы двунаправленной шины Data[8..1] переходят в Z-состояние, а на выходах появляются результаты работы устройства.

Теперь, с помощью текстового редактора (Text Editor), используя булевы выражения, синтезируем дешифратор адреса:

```

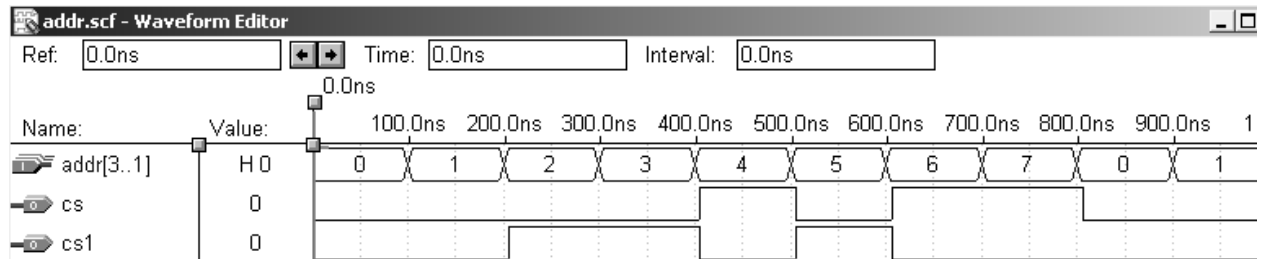
SUBDESIGN addr
(
    Addr[3..1]      : INPUT;
    CS              : OUTPUT; -- 4, 6, 7
    CS1             : OUTPUT; -- 2, 3, 5
)
BEGIN
    CS = (Addr[] == b"1XX") & (Addr[] != b"101");
    CS1 = (Addr[] == b"01X") # (Addr[] == b"101");
END;

```



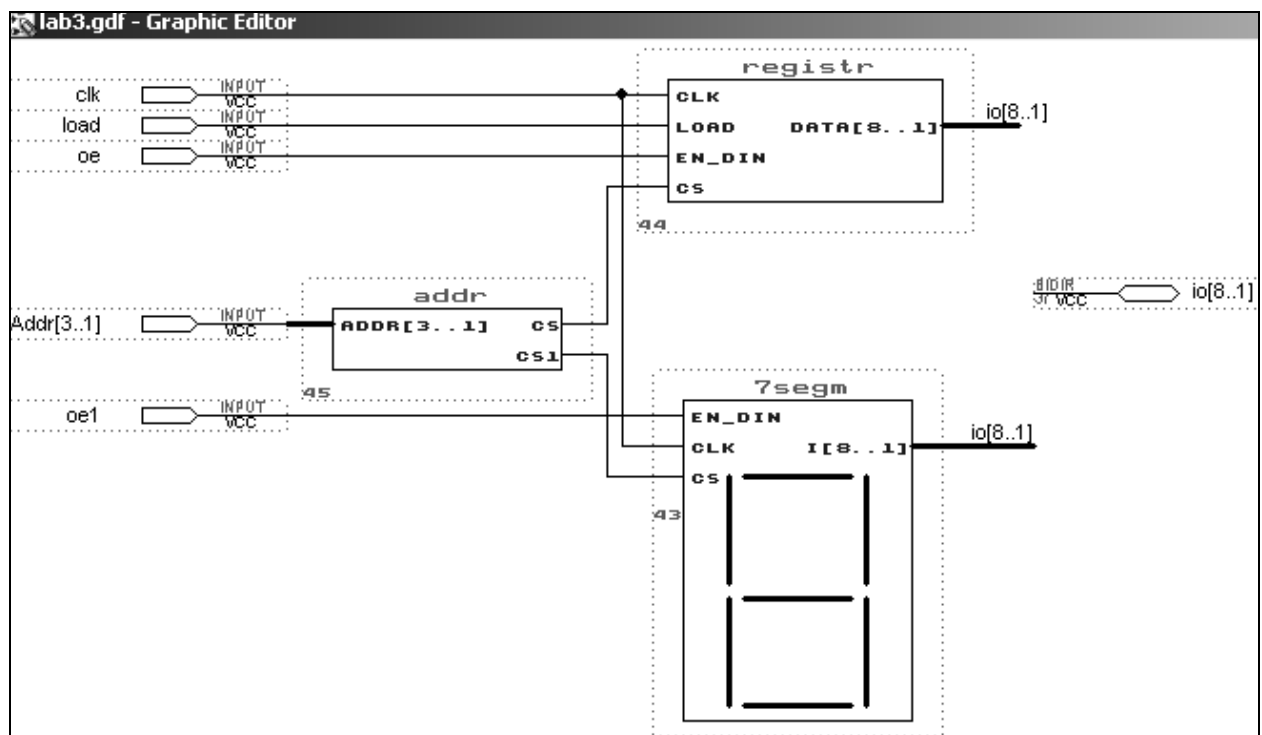
**Рис.4.5 Дешифратор адреса.**

В редакторе Waveform Editor строим диаграмму входных воздействий и проверяем правильность выработки сигналов, которые будут отвечать за выбор того или иного устройства нашей схемы:



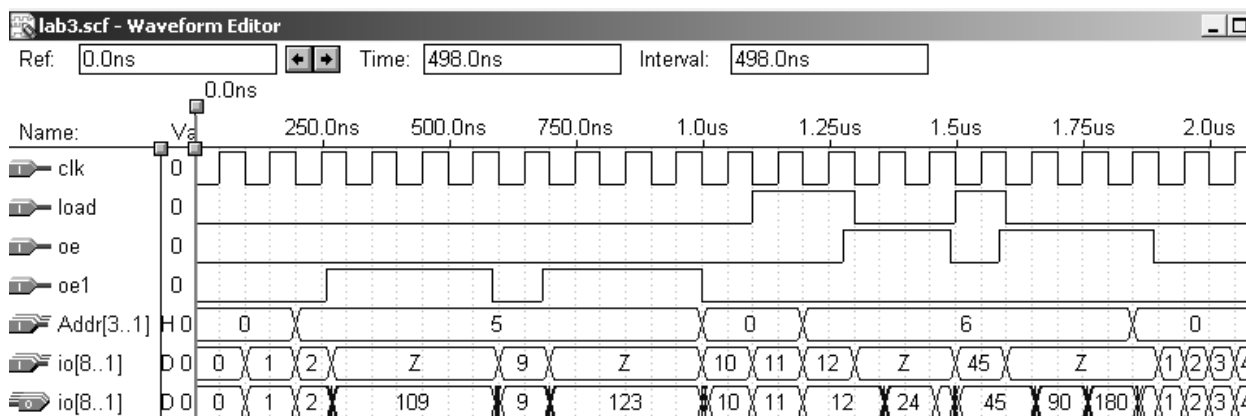
**Рис.4.6 Входные сигналы и отклик дешифратора адреса.**

Используя графический редактор (Graphic Editor) строим итоговую схему, состоящую из символов синтезированных устройств, с присоединенными к ним элементами входов и выходов. См. Рис.4.7.

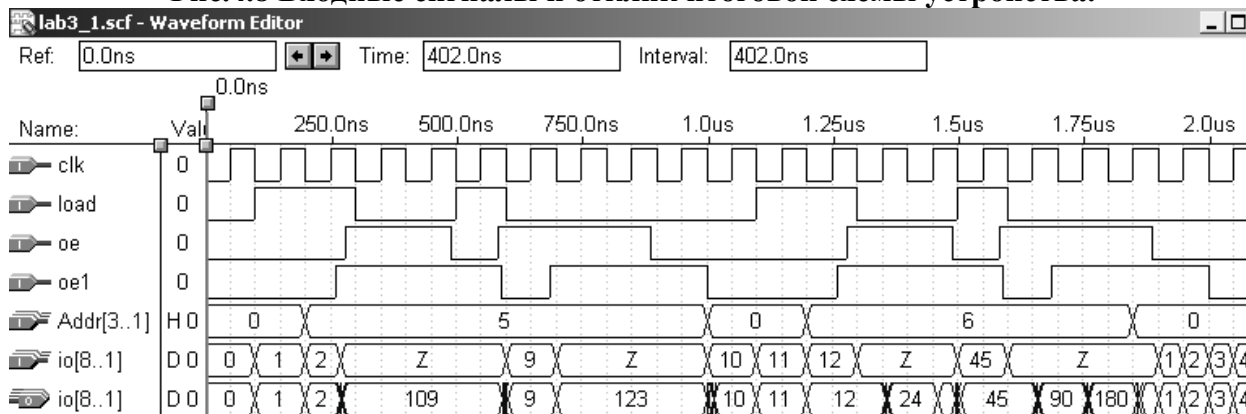


**Рис.4.7 Итоговая схема устройства в редакторе Graphic Editor.**

В редакторе Waveform Editor строим диаграмму входных воздействий и проверяем правильность работы схемы в целом. При этом можно использовать заготовки, полученные при проверке устройств, входящих в состав схемы. Результаты симуляции приведены на Рис.4.8 и Рис.4.9.



**Рис.4.8 Входные сигналы и отклик итоговой схемы устройства.**



**Рис.4.9 Входные сигналы и отклик итоговой схемы устройства.**

Из диаграммы на Рис.4.8 видно, что пока ни одно из устройств, входящих в состав схемы, не выбрано ( $Addr[3..1]$  не равен ни одному из адресов этих устройств – в данном случае это при  $Addr[3..1]=0$ ), они никак не вмешиваются в сигналы на выходах двунаправленной шины  $IO[8..1]$  с него не поступают. Таким образом выходы двунаправленной шины  $IO[8..1]$  повторяют значения входов шины  $IO[8..1]$ . При  $Addr[3..1]=5$  начинает работать преобразователь кода (происходит защелкивание данных с входов  $IO[8..1]$  и преобразование кода), но данные на выход двунаправленной шины  $IO[8..1]$  поступают только в моменты, когда она переключается на вывод с помощью сигнала  $oe1=1$ . При этом входы двунаправленной шины  $IO[8..1]$  переходят в Z-состояние, а на выходах появляются результаты работы преобразователя кода. При  $Addr[3..1]=6$  начинает работать циклический сдвигающий регистр (по сигналу  $load=1$  происходит защелкивание данных с входов  $IO[8..1]$  и, при  $load=0$ , осуществляется циклический сдвиг влево), но данные на выход двунаправленной шины  $IO[8..1]$  поступают только в моменты, когда она переключается на вывод с помощью сигнала  $oe=1$ . При этом входы двунаправленной шины  $IO[8..1]$  переходят в Z-состояние, а на выходах появляются результаты работы устройства.

Диаграмма на Рис.4.9, доказывает, что работа устройств, входящих в состав схемы, с двунаправленной шиной  $IO[8..1]$  и их реакция на селектирующий сигнал  $Addr[3..1]$  реализованы правильно и полноценно, т.к. видно, что никакие сигналы не только на шине  $IO[8..1]$ , но и на управляющих линиях не влияют на устройства до тех пор, пока одно из них не будет выбрано.

## Вопросы к работе:

1. Что такое Z-состояние?
2. Как работает буфер с Z-состоянием TRI?



# Приложение 1

## Варианты для лабораторной работы №4

Вариант №	Код задания	Вариант №	Код задания	Вариант №	Код задания
1	718C3E	33	D1248D	65	07380A
2	708BC0	34	F904F0	66	B9021F
3	19604F	35	9D021A	67	6D120E
4	C51222	36	BB44CF	68	78022B
5	F9066B	37	8E617E	69	0E30A9
6	2001BD	38	A51A05	70	150AFD
7	6C016F	39	B50294	71	EC01CC
8	CD20AC	40	8A2007	72	9E4077
9	25C00B	41	DF2017	73	7481CC
10	8D2068	42	A80283	74	F80374
11	9E2165	43	F0026B	75	D0290A
12	C7103B	44	E51875	76	FC0119
13	6F10E8	45	AC517E	77	62915B
14	BC43EE	46	2091EE	78	B708EA
15	45BA21	47	8F50F2	79	394655
16	F5023A	48	16A82B	80	AC13B8
17	FD0237	49	3A459E	81	A95457
18	8815BB	50	D205F7	82	2ED153
19	9220EB	51	6E915A	83	E71071
20	275087	52	B84464	84	C6291C
21	CD2234	53	9A201A	85	B94010
22	002C40	54	1042CE	86	AE4057
23	D92653	55	F10C2C	87	340384
24	7580C2	56	D5221D	88	55085A
25	952A96	57	E00B20	89	8D224F
26	952864	58	40AD72	90	F5083E
27	BE0193	59	A21C00	91	47800A
28	7580B8	60	1B40C1	92	9D6288
29	EE104D	61	01B8B6	93	172885
30	225461	62	AE50B0	94	886236
31	61966A	63	728468	95	47986D
32	811E7D	64	EF1042	96	CC030C

### Правила оформления отчетов к лабораторным работам

Отчет, является документом, отражающим результаты и ход выполнения лабораторной работы. Отчет должен содержать следующие пункты:

1. Титульный лист – содержащий тему и номер лабораторной работы, фамилии выполнявшего студента и проверявшего преподавателя (пример в конце приложения).
2. Цель работы – указывается цели выполняемой работы.
3. Задачи – указываются задачи, решаемые в ходе выполнения лабораторной работы, приводится и расшифровывается собственный вариант задания.
4. Выполнение работы – указываются расчеты, проведенные в ходе работы, а также результаты этих расчетов.
5. Результаты работы – прикладывается распечатка, полученных в результате работы схем, модулей, временных диаграмм и результаты замеров временных задержек, возникающих при работе схемы, на каждом переключении с указанием кода переключения.
6. Выводы – пункт содержит перечень решенных в ходе работы задач и выполненных целей, а также проблемы, возникшие в ходе работы.

#### Обратить внимание:

1. Отчет принимается только в бумажном виде. Т.е. отчет должен быть полностью набран на компьютере и распечатан. Отчеты в электронном виде рассматриваться не будут.
2. Листы отчета должны быть пронумерованы и скреплены между собой.

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ  
ФЕДЕРАЦИИ**

**ФГБОУ ВО «АЛТАЙСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

**КАФЕДРА ВТиЭ**

**Отчет по лабораторной работе №\_**  
**по курсу «Схемотехника ЭВМ»**

**« Тема лабораторной работы »**

Выполнил:

студент \_\_\_\_\_ группы  
\_\_\_\_\_Иванов И.И.

Проверил: доцент

\_\_\_\_\_Шмидт В.В.

Барнаул 2016