

Раздел 33. Приложения

Перевод основывается на технической документации DS33023A компании Microchip Technology Incorporated, USA.

© ООО "Микро-Чип" Москва - 2002

Распространяется бесплатно.
Полное или частичное воспроизведение материала допускается только с письменного разрешения ООО «Микро-Чип» тел. (095) 737-7545 www.microchip.ru

PICmicro™ Mid-Range MCU Family Reference Manual

"All rights reserved. Copyright © 1997, Microchip Technology Incorporated, USA. Information contained in this publication regarding device applications and the like is intended through suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip's products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights."

Trademarks

The Microchip name, logo, PIC, KEELOQ, PICMASTER, PICSTART, PRO MATE, and SEEVAL are registered trademarks of Microchip Technology Incorporated in the U.S.A.

MPLAB, PICmicro, ICSP and In-Circuit Serial Programming are trademarks of Microchip Technology Incorporated. Serialized Quick-Turn Production is a Service Mark of Microchip Technology Incorporated. All other trademarks mentioned herein are property of their respective companies.

Содержание

Приложение А. Введение в I ² C	4
А.1 Инициализация и завершение передачи данных	
А.2 Адресация устройств на шине I ² C	5
А.3 Подтверждение приема	6
А.4 Режим конкуренции	8
А.4.1 Арбитраж	8
А.4.2 Синхронизация	
Приложение В. Рекомендованные производители ЖКИ стекол	11
Приложение С. Усовершенствование микроконтроллеров	12
С.1 Карта памяти данных	12
C.2 Модуль SSP	13
С.3 Модуль АЦП	14
С.4 Сброс по снижению напряжения питания	4.4
С.5 Модуль компараторов	
С.6 Фильтр на выводе -MCLR	14
С.6 Фильтр на выводе -MCLR	14 15
С.6 Фильтр на выводе -MCLRС.7 Модуль USARTС.8 Тактовый генератор	14 15 16

Приложение А. Введение в I²C

В этой главе представлено краткое описание внутрисхемной шины передачи данных I^2 C с рассмотрением вопросов адресации и работы модуля SSP.

 I^2 С - двухпроводный последовательный интерфейс, разработанный корпорацией Philips. В Первоначальном техническом требовании к интерфейсу максимальная скорость передачи данных составляла 100 Кбит/с. Однако позже появились стандартные более скоростные режимы работы шины I^2 С (400Кбит/с и 1Мбит/с). К одной шине I^2 С могут быть подключены устройства с различными скоростями доступа, если скорость передачи данных будет удовлетворять требованиям самого низкоскоростного устройства.

Протокол передачи данных по шине I^2C разработан таким образом, чтобы гарантировать надежный качественный прием/передачу данных. При передаче данных одно устройство является "Ведущим", которое инициирует передачу данных и формирует сигналы синхронизации. Другое устройство "Ведомое", которое может начать передачу данных только по команде ведущего шины. Модуль SSP микроконтроллеров PIC16CXXX полностью поддерживает режим ведомого I^2C , за исключением поддержки адреса общего вызова (режим ведущего реализуется программно). Модуль MSSP аппаратно поддерживает режим ведущего/ведомого I^2C , адрес общего вызова и скорость обмена данными до 1Мбит/с. Скорость передачи данных 1Мбит/с используют некоторые микросхемы последовательной EEPROM памяти. В таблице A-1 представлены основные термины, связанные с шиной I^2C .

Каждое устройство на шине I²C имеет уникальный адрес. Когда ведущий инициирует передачу данных, то сначала передается адрес устройства, к которому выполняется обращение. Остальные устройства проверяют переданный ведущим адрес. В состав байта адреса устройства входит бит направления передачи данных (выполняется чтение из ведомого или запись). Ведомый и ведущий шины всегда находятся в противоположном режиме работы, что можно представить в виде двух состояний:

- Ведущий передатчик ведомый приемник.
- Ведомый передатчик ведущий приемник.

В обоих случаях ведущий формирует тактовый сигнал.

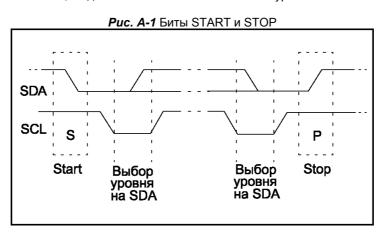
Вывод тактового сигнала (SCL) и данных (SDA) должны иметь выход с открытым коллектором, чтобы выполнять требования "монтажного И" на шине. Для формирования высокого уровня сигнала на линиях к ним подключаются подтягивающие резисторы. Число устройств, которые могут быть подключены к шине I^2 C, ограничивается только максимальной емкостью шины (400пФ) и способностью адресации этих устройств.

Таблица А-1 Основные термины, связанные с шиной I²C

Термин	Описание		
Передатчик	Устройство, передающее данные по шине I ² C.		
Приемник	Устройство, принимающее данные с шины I ² C.		
Ведущий	Устройство, инициирующее передачу данных и формирующее тактовый сигнал.		
Ведомый	Устройство, к которому обращается ведущий.		
Конкуренция	Более чем один ведущий на шине. Несколько ведущих могут пытаться передать данные без разрушения текущего сообщения.		
Арбитраж	Процедура, гарантирующая, что только один ведущий управляет шиной.		
Синхронизация	Процедура синхронизации тактовых сигналов от двух или более устройств.		

А.1 Инициализация и завершение передачи данных

В то время, когда передача данных на шине I²C отсутствует, сигнал синхронизации (SCL) и данных (SDA) имеют высокий логический уровень за счет подтягивающих резисторов. Биты START и STOP формируются ведущим для определения начала и окончания передачи данных соответственно. Бит START формируется переходом сигнала SDA из высокого уровня в низкий при высоком уровне сигнала SCL. Бит STOP формируется переходом SDA из низкого уровня в высокий при высоком уровне SCL. На рисунке A-1 показано формирование битов START и STOP. Ведущий шины формирует биты START и STOP для указания начала и завершения передачи данных. При передаче данных сигнал SDA может изменяться только, когда SCL имеет низкий логический уровень.



А.2 Адресация устройств на шине I²C

Для адресации устройств используется два формата адреса: простой 7-разрядный формат с битом чтения/записи R/W (см. рис. A-2); 10-разрядный формат, передается два байта. В первом байте передается: пять битов, определяющих, что это 10-разрядный адрес; два старших бита адреса; бит записи/чтения. Во втором байте передается 8 младших бит адреса (см. рис. A-3).

Puc. A-2 7-разрядная адресация

MSb LSb
S R/W ACK

Адрес ведомого
Slave

S - Start
R/W - Чтение/запись
ACK - Подтверждение

 Рис. A-2 10-разрядная адресация

 S
 1 1 1 1 0 A9 A8 R/W | ACK | A7 A6 A5 A4 A3 A2 A1 A0 | ACK | Передает ведомый

 S
 - Start

 R/W
 - Чтение/запись

 ACK
 - Подтверждение

А.3 Подтверждение приема

При передаче данных после каждого переданного байта приемник должен подтвердить получения байта сигналом АСК. (см. рис. А-4). Если ведомый не подтверждает получение байта адреса или данных, ведущий должен прервать передачу сформировав сигнал STOP (ведомый должен отпустить SDA для формирования STOP ведущим).

Рис. А-4 Подтверждение приема ведомым

передатчик

ВDA
приемник

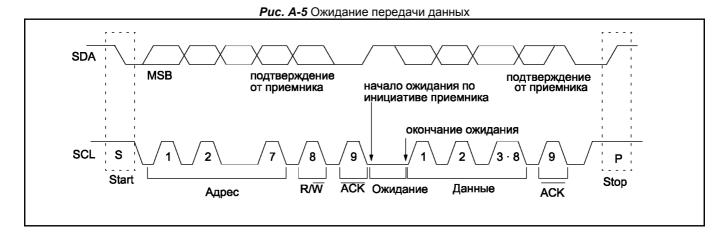
подтверждение

SCL

Такт для
подтверждения
подтверждения

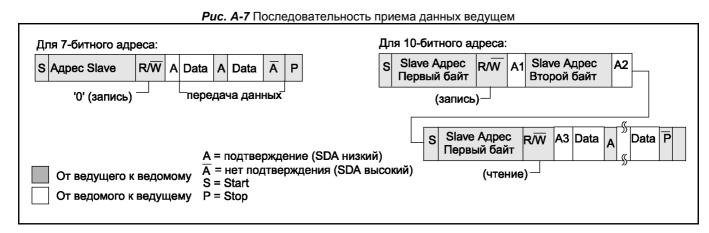
Когда ведущий шины принимает данные, то на каждый принимаемый байт формируется бит подтверждения, если принятый байт не последний. Для сообщения ведомому о том, что ведущий прекращает принимать данные по приему последнего байта -АСК не формируется. Ведомый отпускает SDA, чтобы ведущий смог передать бит STOP. Ведущий может формировать бит STOP на месте бита подтверждения.

Если ведомому необходимо задержать передачу данных, то он может удерживать SCL в низком логическом уровне. Передача данных продолжится, когда ведомый отпустит SCL. Это позволяет ведомому подготовить новые данные для передачи. Методика задержки передачи данных может использоваться и при передаче отдельных битов (см. рис. A-5).

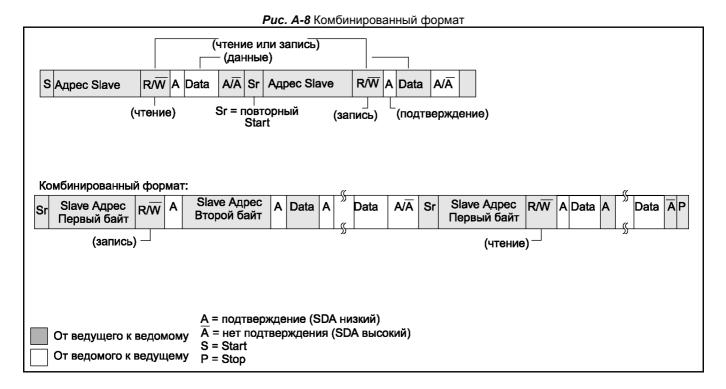


На рисунках А-6 и А-7 показаны последовательности приема и передачи данных ведущим шины.

Рис. А-6 Последовательность передачи данных ведущим Для 7-битного адреса: Для 10-битного адреса: Slave Адрес Slave Адрес A1 **A2** Адрес Slave R/W Data Data Первый байт Второй байт '0' (запись) передача данных (запись) Data A/A P Data A = подтверждение (SDA низкий) A = нет подтверждения (SDA высокий) От ведущего к ведомому S = Start От ведомого к ведущему P = Stop



Когда ведущему шины необходимо продолжить обмен данными (при формировании бита STOP управление шиной теряется) может быть передан бит повторный START. Условие повторный START идентично условию START (на SDA формируется переход с высокого логического уровня в низкий при высоком уровне сигнала на SCL), но формируется после передачи бита подтверждения. Это позволяет ведущему продолжить обмен с текущим устройством или адресовать новое (см. рис. A-8).

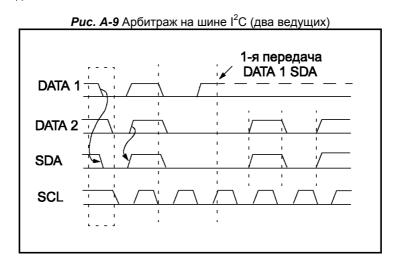


А.4 Режим конкуренции

Протокол передачи данных I²C позволяет иметь более одного ведущего на шине. Для разрешения конфликтов на шине при инициализации передачи используются функции арбитража и синхронизации.

А.4.1 Арбитраж

Арбитраж выполняется на линии SDA при высоком уровне сигнала на SCL. Устройство, которое формирует на линии SDA высокий уровень, когда другое устройство передает низкий, теряет право быть ведущим и должно перейти в режим ведомого. Ведущий, потерявший инициативу на шине I^2 C, может формировать тактовые импульсы до конца байта, в котором потерял управление шиной. Когда несколько ведущих адресуют одно и тоже устройство, то арбитраж выполняется при передаче данных.



Ведущий, потерявший арбитраж, должен немедленно перейти в режим ведомого, поскольку он может быть адресован текущим ведущим.

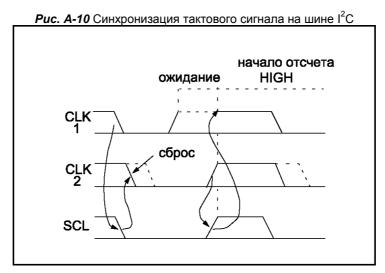
Арбитраж не допускается между:

- Битами повторный START;
- Битом STOP и битом данных;
- Битами повторный START и STOP.

Ведущий шины должен гарантировать отсутствие указанных условий.

А.4.2 Синхронизация

Синхронизация тактового сигнала выполняется, когда устройства начинают арбитраж. Синхронизация реализуется за счет включение линии SCL по схеме "монтажное И". Переход сигнала на SCL с высокого логического уровня в низкий заставляет устройства, выполняющие арбитраж, начать отсчет длительности низкого логического уровня. После того, как тактовый сигнал устройства перешел в низкий уровень, оно будет удерживать этот уровень на SCL до тех пор, пока тактовый сигнал не перейдет в высокий уровень, но на SCL может бить по прежнему низкий уровень, если другое устройство формирует низкий логический уровень. Низкий уровень на SCL удерживается устройством с минимальной частотой тактового сигнала передачи данных. Устройства с меньшей длительностью низкого уровня на SCL переходят в состояние ожидания, пока на SCL не появится высокий логический уровень сигнала. Затем все устройства начинают отсчет длительность высокого уровня сигнала. Устройство, с минимальной длительность высокого уровня сигнала, первым переведет SCL в низкий уровень (см. рис. А-10).



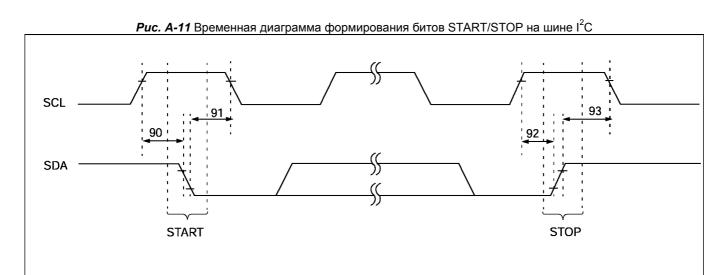


Таблица A-2 Параметры формирования битов START/STOP на шине I^2C

№ пар.	Обоз.	Описа	ание	Мин.	Тип.**	Макс.	Ед.	Примечание
90	Tsu:sta	Установка	Режим 100 кГц	4700	-	-	нс	Только при формировании
		условия START	Режим 400 кГц	600	-	-		бита повторный START
91	Thd:sta	Удержание	Режим 100 кГц	4000	-	1	HC	После этого форм. первый
		условия START	Режим 400 кГц	600	-	-		импульс тактового сигнала
92	Tsu:sto	Установка	Режим 100 кГц	4700	-	-	HC	
		условия STOP	Режим 400 кГц	600	1			
93	Thd:sto	Удержание	Режим 100 кГц	4000	-	-	HC	
		условия STOP	Режим 400 кГц	600	1	ı		

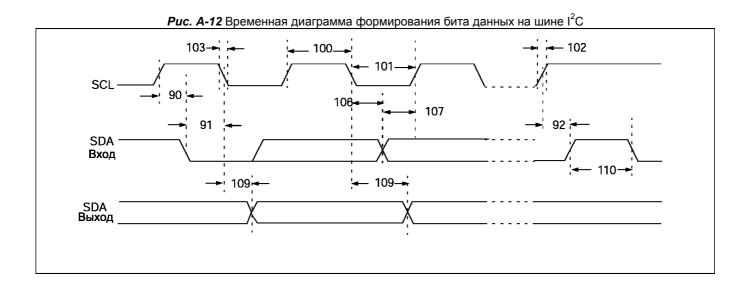


Таблица А-3 Параметры формирования бита данных на шине I²C

№ пар.	Обоз.	Описание		мине г С Мин.	Макс.	Ед.	Примечание
100	Thigh	Длительность	Режим 100 кГц	4.0	_	МКС	Мин. F _{OSC} 1.5МГц
	9	высокого уровня	Режим 400 кГц	0.6	-	MKC	Мин. F _{OSC} 10МГц
		тактового сигнала	Модуль SSP	1.5T _{CY}	-		
101	Tlow	Длительность низкого	Режим 100 кГц	4.7	-	мкс	Мин. F _{OSC} 1.5МГц
		уровня тактового	Режим 400 кГц	1.3	-	МКС	Мин. F _{OSC} 10МГц
		сигнала	Модуль SSP	1.5T _{CY}	-		
102	Tr	Долит. переднего	Режим 100 кГц	-	1000	HC	
		фронта на SDA и SCL	Режим 400 кГц	20 + 0.1 Cb	300	нс	10пФ ≤ Сb ≤ 400пФ
103	Tf	Долит. заднего	Режим 100 кГц	-	300	нс	
		фронта на SDA и SCL	Режим 400 кГц	20 + 0.1 Cb	300	нс	10пФ ≤ Сb ≤ 400пФ
90	Tsu:sta	Установка условия	Режим 100 кГц	4.7	-	МКС	Только при формировании
		START	Режим 400 кГц	0.6	-	МКС	бита повторный START
91	Thd:sta	Удержание условия	Режим 100 кГц	4.0	-	МКС	После этого форм. первый
		START	Режим 400 кГц	0.6	-	МКС	импульс тактового сигнала
106	Thd:dat	Удержание данных на	Режим 100 кГц	0	-	HC	
		входе	Режим 400 кГц	0	0.9	МКС	
107	Tsu:dat	Установка данных на	Режим 100 кГц	250	-	HC	Примечание 2
		входе	Режим 400 кГц	100	-	HC	
92	Tsu:sto	Установка условия	Режим 100 кГц	4.7	-	МКС	
		STOP	Режим 400 кГц	0.6	-	МКС	
109	Taa	Достоверность	Режим 100 кГц	-	3500	HC	Примечание 1
		сигнала на выходе	Режим 400 кГц	-	-	HC	
110	Tbuf	Время не занятости	Режим 100 кГц		-	МКС	Задержка перед новой
		шины	Режим 400 кГц	1.3	-	МКС	передачей
D102	Cb	Емкостная нагрузка лин	ИИ	-	400	пΦ	

Примечания:

- 1. Необходимо выдерживать эту минимальную задержку относительно заднего фронта SCL, чтобы избежать ложное формирование битов START и STOP.
- 2. Устройства с высокоскоростным режимом обмена (400кГц) могут использоваться в стандартном режиме (100кГц), но требование Tsu:dat ≥ 250нс необходимо выполнять. Это условие автоматически будет выполняться, если не возникает удержания линии SCL в низком логическом уровне. Если возникает удержание линии SCL в низком логическом уровне, то необходимо сформировать бит данных на SDA Tr.max + Tsu:dat = 1000 + 250 = 1250 нс (согласно спецификации I^2 C) прежде, чем SCL будет "отпущена".

Приложение В. Рекомендованные производители ЖКИ стекол

AEG-MIS

3340 Peachtree Rd. NE Suite 500 Atlanta, GA 30326 TEL: 404-239-0277 FAX: 404-239-0383

All Shore INDS Inc.

1 Edgewater Plaza Staten Island, NY 10305 TEL: 718-720-0018 FAX: 718-720-0225

Crystaloid

5282 Hudson Drive Hudson, OH 44236-3769 TEL: 216-655-2429 FAX: 216-655-2176

DCI Inc.

14812 W. 117th St. Olathe, KS 66062-9304 TEL: 913-782-5672 FAX: 913-782-5766

Excel Technology International Corporation

Unit 5, Bldg. 4, Stryker Lane Belle Mead, NJ 08502 TEL: 908-874-4747 FAX: 908-874-3278

F-P Electronics/Mark IV Industries

6030 Ambler Drive Mississauga, ON Canada L4W 2PI TEL: 905-624-3020 FAX: 905-238-3141

Hunter Components

24800 Chagrin Blvd, Suite 101 Cleveland, OH 44122 TEL: 216-831-1464 FAX: 216-831-1463

Interstate Electronics Corp.

1001 E. Bull Rd. Anaheim, CA 92805 TEL: 800-854-6979 FAX: 714-758-4111

Kent Display Systems

343 Portage Blvd. Kent, OH 44240 TEL: 330-673-8784

LCD Planar Optics Corporation

2100-2 Artic Ave. Bohemia, NY 11716 TEL: 516-567-4100 FAX: 516-567-8516

LXD Inc.

7650 First Place Oakwood Village, OH 44146 TEL: 216-786-8700 FAX: 216-786-8711

Nippon Sheet Glass

Tomen America Inc. 1285 Avenue of the Americas New York, NY 10019 TEL: 212-397-4600 FAX: 212-397-3351

OPTREX America

44160 Plymouth Oaks Blvd. Plymouth, MI 48170 TEL: 313-416-8500 FAX: 313-416-8520

Phillips Components

LCD Business Unit 1273 Lyons Road, Bldg G Dayton, OH 45459 TEL: 573-436-9500 FAX: 573-436-2230

Satori Electric

23717 Hawthorne Blvd. 3rd Floor Torrance, CA 90505 TEL: 310-214-1791 FAX: 310-214-1721

Seiko Instruments USA Inc.

Electronic Components Division 2990 West Lomita Blvd. Torrance, CA 90505 TEL: 213-517-7770 213-517-8113 FAX: 213-517-7792

Standish International

European Technical Center Am Baumstuck II 65520 Bad Camberg/Erbach Germany TEL: 011 49 6434 3324

FAX: 011 49 6434 377238

Standish LCD W7514 Highway V Lake Mills, WI 53551 TEL: 414-648-1000 FAX: 414-648-1001

Truly Semiconductors Ltd. (USA)

2620 Concord Ave. Suite 106 Alhambra, CA 91803 TEL: 818-284-3033 FAX: 818-284-6026

Truly Semiconductor Ltd.

2/F, Chung Shun Knitting Center 1-3 Wing Yip Street, Kwai Chung, N.T., Hong Kong TEL: 852 2487 9803

FAX: 852 2480 0126

Varitronix Limited Inc.

3250 Wilshire Blvd. Suite 1901 Los Angeles, CA 90010 TEL: 213-738-8700 FAX: 213-738-5340

Varitronix Limited Inc.

4/F, Liven House 61-63 King Yip Street Kwun Tong, Kowloon Hong Kong TEL: 852 2389 4317

FAX: 852 2343 9555

Varitronix (France) S.A.R.L.

13/15 Chemin De Chilly 91160 Champlain France TEL:(33) 1 69 09 7070 FAX:(33) 1 69 09 0535

Varitronix Italia, S.R.L.

Via Bruno Buozzi 90 20099 Sesto San Giovanni Milano, Italy TEL:(39) 2 2622 2744 FAX:(39) 2 2622 2745

Varitronix (UK) Limited

Display House, 3 Milbanke Court Milbanke Way, Bracknell Berkshire RG12 1BR United Kingdom TEL:(44) 1344 30377 FAX(44) 1344 300099

Varitronix (Canada) Limited

18 Crown Steel Drive, Suite 101 Markham, Ontario Canada L3R 9X8 TEL:(905) 415-0023 FAX:(905) 415-0094

Vikay America Inc.

195 W. Main St. Avon, CT 06001-3685 TEL: 860-678-7600 FAX: 860-678-7625

Приложение С. Усовершенствование микроконтроллеров

Поскольку постоянно выполняется усовершенствование микроконтроллеров, некоторые периферийные модули и особенности были изменены, в частности это касается:

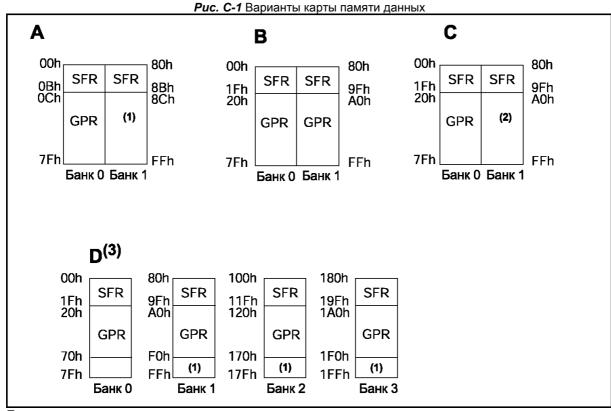
- 1. Карты памяти данных;
- 2. Модуля SSP;
- 3. Модуля АЦП;
- 4. Добавлен сброс по снижению напряжения питания BOR;
- 5. Фильтр на входе -MCLR;
- 6. Модуль USART;
- 7. Генератор тактового сигнала.

В следующих главах раздела будет подробно рассмотрено каждое из изменений.

С.1 Карта памяти данных

На карте памяти данных показано расположение регистров специального назначения (SFR) и регистров общего назначения (GPR). Регистры SFR предназначены для управления ядром микроконтроллера и периферийными модулями, а регистры GPR - это универсальное ОЗУ пользователя.

На рисунке С-1 показаны различные карты памяти данных, которые были реализованы в микроконтроллерах среднего семейства. Карта памяти **A** была реализована в первых микроконтроллерах среднего семейства. Это были 18/20 - выводные микроконтроллеры с ограниченными периферийными функциями. Когда развитие электроники стало диктовать новые требования, были выпушены микроконтроллеры с большим числом портов ввода/вывода и расширенными периферийными функциями (карта памяти **B**). Карта памяти **C** фактически является подмножеством карт памяти **B**, но позволяет упростить сохранение контекста при обработке прерываний потому, что нет регистров GPR в банке 1. Для уменьшения программы сохранения/восстановления контекста при обработке прерываний была реализована карта памяти **D**. Подобная организация памяти (D) будет использоваться во всех новых микроконтроллерах. Смотрите раздел "Организация памяти" для уточнения деталей использования памяти данных.



Примечания:

- 1. Отображается на банк 0.
- 2. Не реализовано, читается как '0'.
- 3. В некоторых микроконтроллерах регистры GPR могут размещаться в области регистров SFR.

C.2 Модуль SSP

Модуль SSP имеет два режима работы:

- SPI (Последовательный периферийный интерфейс);
- I2C (Inter-Integrated Circuit).

Существует три варианта модулей SSP, которые применяются в микроконтроллерах Microchip. Первый SSP модуль (теперь называется основной модуль BSSP) поддерживает два из четырех режимов SPI и режим ведомого I^2C . Второй модуль SSP (обозначаемый - модуль SSP) поддерживает все четыре режима SPI и режим ведомого I^2C . Третий модуль SSP (обозначаемый - модуль MSSP) поддерживает четыре режима SPI и ведомый/ведущий режим I^2C . В таблице C-1 указано какой модуль SSP реализован в конкретном микроконтроллере. В новых микроконтроллерах будет реализовываться только модули SSP или MSSP. Только некоторые микроконтроллеры будут содержать модуль MSSP, поскольку существует прямая зависимость стоимости микроконтроллера от размера кристалла. Если в вашем приложении необходима аппаратная поддержка режима ведущего I^2C , то используйте микроконтроллеры PICmicro старшего семейства.

Таблица C-1 Микроконтроллеры с модулем SSP

Микроконтроллер	Вариант модуля SSP			
микроконтроллер	SSP	BSSP	MSSP	
PIC16C62	-	Да	-	
PIC16C62A	-	Да	-	
PIC16CR62	-	Да	-	
PIC16C63	-	Да	1	
PIC16CR63	-	Да	-	
PIC16C64	-	Да	-	
PIC16C64A	-	Да	-	
PIC16C64A	-	Да	-	
PIC16CR64	-	Да	-	
PIC16C65	-	Да	-	
PIC16C65A	-	Да	-	
PIC16CR65	-	Да	-	
PIC16C66	Да	-	-	
PIC16C67	Да	-	-	
PIC16C72	-	Да	-	
PIC16CR72	Да	-	-	
PIC16C73	-	Да	-	
PIC16C73A	-	Да	-	
PIC16C74	-	Да	-	
PIC16C74A	-	Да	-	
PIC16C76	Да	-	1	
PIC16C77	Да	-	-	
PIC16C923	Да	-	-	
PIC16C924	Да	-	-	
Новые микроконтроллеры с модулем SSP	Смотрите техническую документацию на микроконтроллер			

С.3 Модуль АЦП

Существует несколько вариантов модулей АЦП, которые применяются в микроконтроллерах Місгосһір. Первый модуль АЦП (основной модуль АЦП) - 8-разрядный модуль АЦП с четырьмя входными каналами. Второй модуль АЦП (8 - разрядный модуль АЦП) - 8-разрядный модуль АЦП, поддерживающий до 8 входных каналов. Третий модуль АЦП (10 - разрядный модуль АЦП) - 10 - разрядный модуль АЦП, поддерживающий до 16 входных каналов. В таблице С-2 указана какой модуль АЦП реализован в конкретном микроконтроллере. В новых микроконтроллерах будет использоваться 8 - разрядный или 10 - разрядный модуль АЦП (основной 8 - разрядный модуль АЦП применяться не будет). Если в вашем приложении необходимо 10 - разрядное АЦП, то используйте микроконтроллеры РІСтісго старшего семейства.

Таблица С-2 Микроконтроллеры с модулем АЦП

Микроконтроллер	8 - разрядное АЦП	Основное 8 - разрядное АЦП	10 - разрядное АЦП	Интегрирующее АЦП
PIC16C710	-	Да	-	-
PIC16C71	-	Да	-	-
PIC16C711	-	Да	-	-
PIC16C715	-	Да	-	-
PIC16C72	Да	-	-	-
PIC16CR72	Да	-	-	-
PIC16C73	Да	-	-	-
PIC16C73A	Да	-	-	-
PIC16C74	Да	-	-	-
PIC16C74A	Да	-	-	-
PIC16C76	Да	-	-	-
PIC16C77	Да	-	-	-
PIC16C924	Да	-	-	-
PIC14C000	-	-	-	Да
Новые микроконтроллеры с модулем АЦП	Смотрите техническую документацию на микроконтроллер			

С.4 Сброс по снижению напряжения питания

Внутренняя схема сброса по снижению напряжения питания (BOR) была добавлена к особенностям микроконтроллеров. Схема BOR будет присутствовать во всех новых микроконтроллерах. Исключения будут составлять микроконтроллеры, в которых основное напряжение питания ниже уровня схемы BOR (микроконтроллеры для носимой аппаратуры с питанием от батареек). В таблице C-3 представлены микроконтроллеры, в которых была добавлена схема BOR.

Таблица C-3 микроконтроллеры, в которые была добавлена схема BOR

Микроконтроллеры без схемы сброса BOR	Микроконтроллеры со сбросом BOR
PIC16C62	PIC16C62A
PIC16C64	PIC16C64A
PIC16C65	PIC16C65A
PIC16C71	PIC16C711
PIC16C73	PIC16C73A
PIC16C74	PIC16C74A

С.5 Модуль компараторов

Если изменение C10UT и C20UT регистра CMCON произошло, когда выполнялась операция чтения (начало такта Q2), то флаг прерываний CMIF может не установиться в '1'.

С.6 Фильтр на выводе -MCLR

В логику сброса микроконтроллера (-MCLR) добавлен фильтр, который предотвращает сброс микроконтроллера короткими импульсами на выводе -MCLR (защита от помех). В таблице C-4 указано в каких микроконтроллерах реализован фильтр на входе -MCLR.

Таблица C-4 Микроконтроллеры с фильтром на входе -MCLR

, , , , , , , , , , , , , , , , , , ,	плеры с фильтром на входе -МСLR Вывод -МСLR			
Микроконтроллер	Без фильтра	С фильтром		
PIC16C61	Да	-		
PIC16C62	Да	-		
PIC16C62A	-	Да		
PIC16CR62	-	Да		
PIC16C63	-	Да		
PIC16CR63	-	Да		
PIC16C64	Да	-		
PIC16C64A	-	Да		
PIC16CR64	=	Да		
PIC16C65	Да	-		
PIC16C65A	-	Да		
PIC16CR65	-	Да		
PIC16C66	_	Да		
PIC16C67	_	Да		
PIC16C620	-	Да		
PIC16C621	_	Да		
PIC16C622	_	Да		
PIC16C710	_	Да		
PIC16C71	Да			
PIC16C711		Да		
PIC16C715	-	Да		
PIC16C72	-	Да		
PIC16CR72	-	Да		
PIC16C73	Да			
PIC16C73A		Да		
PIC16C74	 Да			
PIC16C74A		Да		
PIC16C76		Да		
PIC16C77		Да		
PIC16C83	 Да	<u>д</u> а -		
PIC16C84	да Да	<u>-</u>		
PIC16F83	да Да	<u>-</u>		
PIC16F84	да Да	<u>-</u>		
PIC16C923	<u>д</u> а	- Да		
PIC16C923	-	Да		
Все новые	-	<u>д</u> а		
микроконтроллеры	-	Да		
MMVhovouthonnehei				

С.7 Модуль USART

В новых микроконтроллерах среднего семейства применяется оригинальный модуль USART с "высокоскоростным режимом" (если реализован бит BRGH). Используемая схема выборки данных работала не удовлетворительно, поэтому была разработана новая. Отличия методов выборки описано в разделе "Модуль USART". В таблице C-5 указана какие микроконтроллеры используют новую/старую методику выборки данных.

Таблица C-5 Логика выборки данных модуля USART

Микроконтроллер	Логика выборки			
микроконтроллер	Старая	Новая		
PIC16C63	Да	-		
PIC16CR63	Да	-		
PIC16C65	Да	-		
PIC16C65A	Да	-		
PIC16CR65	Да	-		
PIC16C66	-	Да		
PIC16C67	-	Да		
PIC16C73	Да	-		
PIC16C73A	Да	-		
PIC16C74	Да	-		
PIC16C74A	Да	-		
PIC16C76	-	Да		
PIC16C77	-	Да		
Все новые микроконтроллеры с модулем USART	-	Да		

С.8 Тактовый генератор

Добавлен новый режим тактового генератора, который позволяет работать микроконтроллеру от внутреннего RC генератора. Выбор режима тактового генератора выполняется во время программирования микроконтроллера в слове конфигурации. Этот режим тактового генератора будет включен во многие будущие микроконтроллеры PICmicro. Смотрите техническую документацию на микроконтроллер.

С.9 Ведомый параллельный порт

В микроконтроллерах PICmicro реализовано два варианта управления ведомым параллельным портом: управление уровнем сигнала; управление фронтом сигнала.

Таблица С-6 Управляющие сигналы ведомого параллельного порта

Микроконтроллер	Управление			
Микроконтроллер	Уровнем	Фронтом		
PIC16C64	Да	-		
PIC16C64A	-	Да		
PIC16C65	Да	-		
PIC16C65A	-	Да		
PIC16C67	-	Да		
PIC16C74	Да	-		
PIC16C74A	-	Да		
PIC16C77	-	Да		
Все новые микроконтроллеры с модулем PSP	-	Да		

Уважаемые господа!

OOO «Микро-Чип» поставляет полную номенклатуру комплектующих фирмы Microchip Technology Inc

и осуществляет качественную техническую поддержку на русском языке.

С техническими вопросами Вы можете обращаться по адресу support@microchip.ru

По вопросам поставок комплектующих Вы можете обращаться к нам по телефонам:

(095) 963-9601 (095) 737-7545

и адресу sales@microchip.ru

На сайте www.microchip.ru

Вы можете узнать последние новости нашей фирмы, найти техническую документацию и информацию по наличию комплектующих на складе.