

首页 / (https://www.pianshen.com) 联系我们 / (mailto:pianshen@gmx.com) 版权申明
(https://www.pianshen.com/copyright.html)

搜索

verilog全加器和乘法器设计

如何用与非门设计全加器？其实这些都是很基础的东西但是往往被大家忽略。

首先我们来看全加器的真值表：

| Xi | Yi | Cin | Sum | Cout |
|-----------|-----------|------------|------------|-------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

需要明确的是：

input Xi , Yi, Ci; //Ci表示来自低位的进位

output sum, Cout; //Cout表示向高位的进位

而通过真值表我们可以看出来：

$Cout = Xi * Yi + Yi * Ci + Xi * Ci;$

$sum = X \wedge Y \wedge Ci;$

那这就比较容易了，下面是门级描述。

module () ;

input x, y, ci;

```

output sum,Cout;

wire a, b, c,e,f,g;

xor u1(a, x, y);

xor u2(sum, a,ci);

and u3( c, x, y );

and u4( e, y ,ci );

and u5 ( f, x, ci);

or u6 ( g ,c, e );

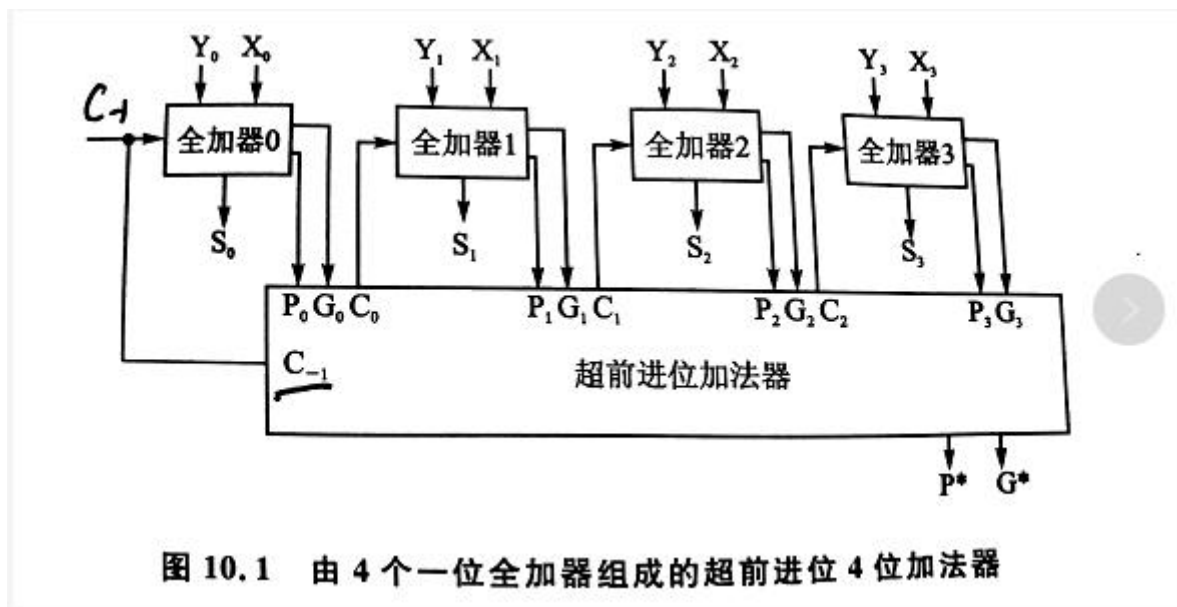
or u7 ( Cout, g , f );

endmodule

```

ps:在程序模块中出现的 and or xor 都是verilog的保留字，由verilog的原语（primitive）规定了他们的接口顺序和用法

在数字信号处理的快速运算电路中常常用到多位数字量的加法运算，这时需要用到并行加法器。下图表示了一个4位二进制超前进位加法电路。



在实现算法时，如（卷积运算和快速傅里叶变换）常常会用到加法运算，多位并行加法器是由多层组合逻辑构成，加上超前进位形成逻辑减少了延迟，但还是有多级门和布线延迟，由于加法器的延迟使加法器的使用频率受到限制，如果设计的是32位或者64位，延迟会更大，为了加快计算的节拍，可以在运算电路的组合逻辑层中加入多个寄存器组来暂存中间结果，也就是采用数字电路中的流水线办法，来提高运算速度。

行为级描述就更加简单了，

来一个四位的：

```
1. module adder_code(  
2.   input [3:0] num_1,  
3.   input [3:0] num_2,  
4.   output [3:0] out_num,  
5.   output C  
6. );  
7.  
8. assign {C,out_num} = num_1+ num_2;  
9.  
10. endmodule
```

这样设计的加法器在行为仿真时是没有延时的，借助综合器，可以根据代码综合成典型的加法器电路。

乘法器：

设两个n位二进制正数X和Y，即：

$X: X_{n-1}.....X_0;$

$Y: Y_{n-1}.....Y_0;$

则X和Y的乘积有2n位，并且试中的 Y_iX_i 称为部分积，记为 P_i ,显然，两个一位二进制数相乘遵循如下规律。

$0*0=0, 0*1=0, 1*0=0, 1*1=1;$

因此 Y_iX_i 可用一个与门实现，记为 $P_{ij}=Y_iX_i$;

例如：两个4位二进制数X和Y相乘。

例：两个 4 位二进制数 X 和 Y 相乘。

| | | | | | | | | |
|---------|----------|----------|----------|----------|----------|----------|----------|-------|
| 被乘数： | | | | X_3 | X_2 | X_1 | X_0 | |
| ×) 乘 数： | | | | Y_3 | Y_2 | Y_1 | Y_0 | |
| | | | | Y_0X_3 | Y_0X_2 | Y_0X_1 | Y_0X_0 | |
| | | | Y_1X_3 | Y_1X_2 | Y_1X_1 | Y_1X_0 | | |
| | | Y_2X_3 | Y_2X_2 | Y_2X_1 | Y_2X_0 | | | |
| | Y_3X_3 | Y_3X_2 | Y_3X_1 | Y_3X_0 | | | | |
| 乘 积： | Z_7 | Z_6 | Z_5 | Z_4 | Z_3 | Z_2 | Z_1 | Z_0 |

乘法器单元逻辑图：

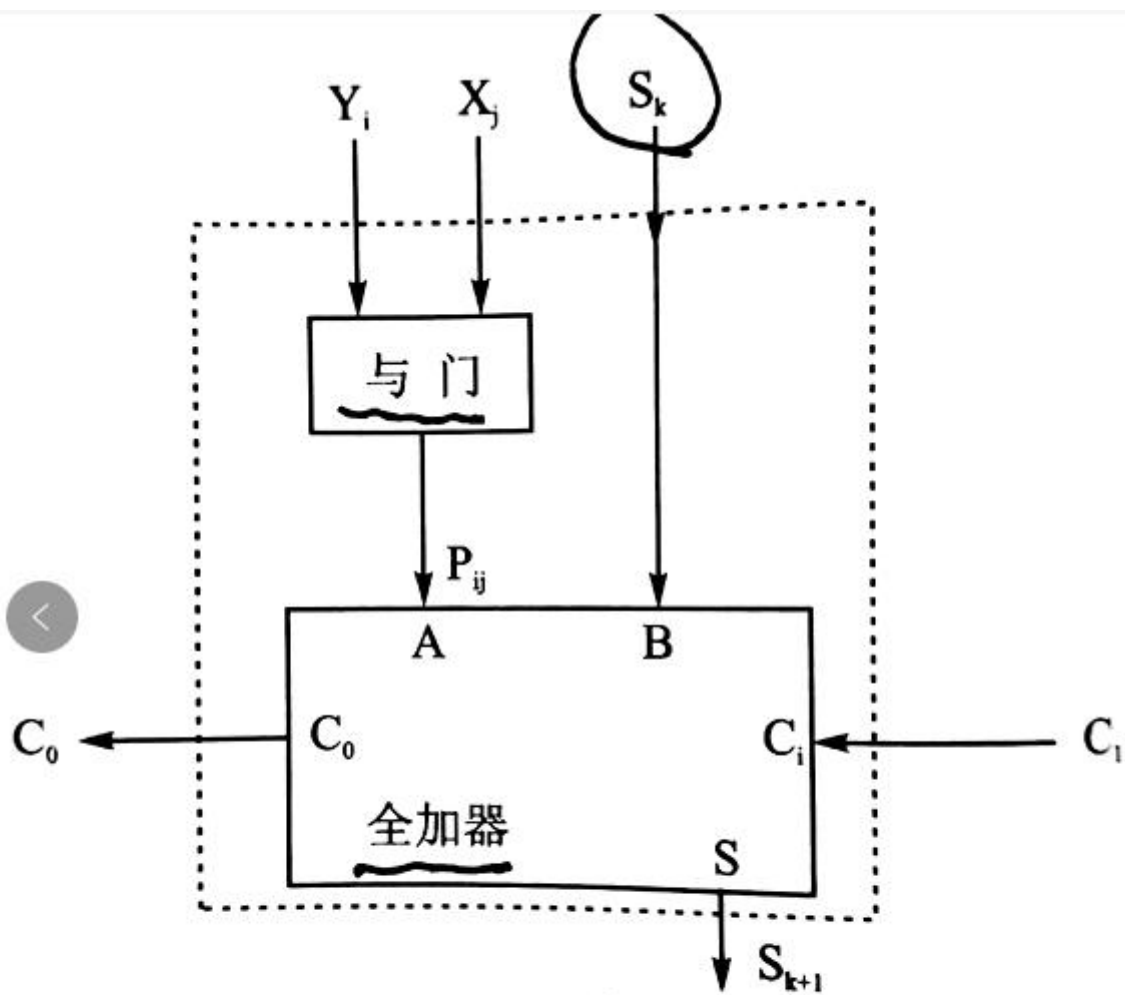


图 10.4 乘法单元(MU)

则例子中的运算可以表示为：

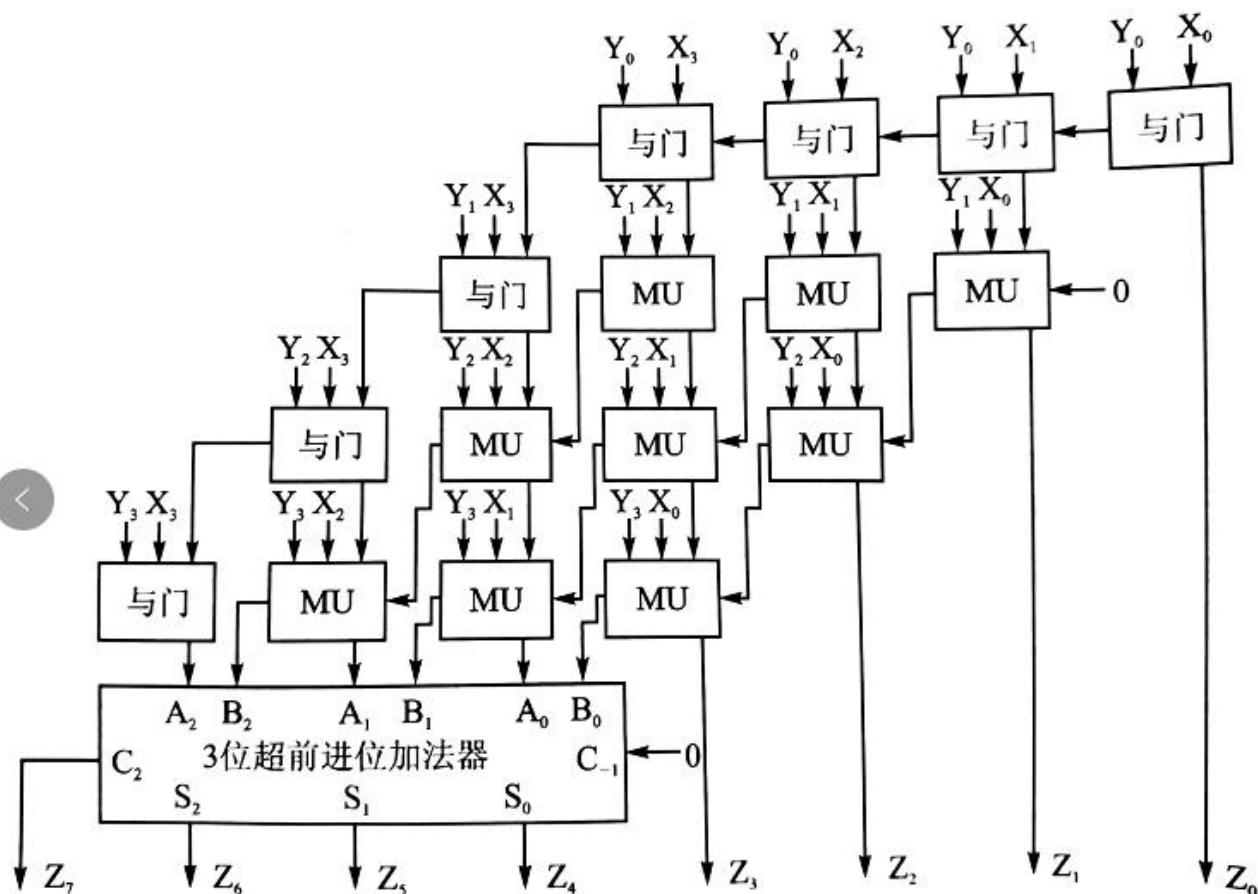


图 10.5 进位节省乘法器

即乘法器可以由与门和加法器组成。

(<https://creativecommons.org/licenses/by-sa/4.0/>) 版权声明：本文为博主原创文章，遵循 CC 4.0 BY-SA

(<https://creativecommons.org/licenses/by-sa/4.0/>)版权协议，转载请附上原文出处链接和本声明。

本文链接：https://blog.csdn.net/dongdongnihao_/article/details/79583425

(https://blog.csdn.net/dongdongnihao_/article/details/79583425)

原作者删帖 (<https://www.pianshen.com/copyright.html#del>) 不实内容删帖

(<https://www.pianshen.com/copyright.html#others>) 广告或垃圾文章投诉 (<mailto:pianshen@gmx.com>?subject=投诉本文含

广告或垃圾信息 (请附上违规链接地址))

赞助商广告

在百万程序员中推广你的产品 (<mailto:pianshen@gmx.com>?subject=申请广告合作)

相关文章

verilog实现乘法器 (/article/9529451473/?jsessionid=5699341F72EBE4F8051BF609F902036B)

[verilog实现乘法器 \(/article/55381121911/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/55381121911/?jsessionid=5699341F72EBE4F8051BF609F902036B)

简单乘法器和除法器的FPGA设计

[\(/article/7957311463/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/7957311463/?jsessionid=5699341F72EBE4F8051BF609F902036B)

[verilog乘法器及其优化 \(/article/4850914007/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/4850914007/?jsessionid=5699341F72EBE4F8051BF609F902036B)

数字逻辑_半加器_全加器_全减器_乘法器

[\(/article/56371030319/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/56371030319/?jsessionid=5699341F72EBE4F8051BF609F902036B)

几何画板使用技巧——自动乘法器的设计

[\(/article/9493100503/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/9493100503/?jsessionid=5699341F72EBE4F8051BF609F902036B)

乘法器——Wallace树型乘法器

[\(/article/47741248083/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/47741248083/?jsessionid=5699341F72EBE4F8051BF609F902036B)

[乘法器的实现 \(/article/4430390621/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/4430390621/?jsessionid=5699341F72EBE4F8051BF609F902036B)

[乘法器的实现 \(/article/5728833871/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/5728833871/?jsessionid=5699341F72EBE4F8051BF609F902036B)

[vb_乘法器 \(/article/80441270026/?jsessionid=5699341F72EBE4F8051BF609F902036B\)](/article/80441270026/?jsessionid=5699341F72EBE4F8051BF609F902036B)
