



UNIVERSIDAD NACIONAL DE CÓRDOBA

FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES

Electrónica Analógica 1

TRABAJO PRÁCTICO DE LABORATORIO N° 2:

**“ Diseño de amplificador BIFET multietapa con
acoplamiento capacitivo “**

Grupo N°3

Alumnos:

Alfici, Facundo Ezequiel

Gallone, Claudio Francesco

Gomez, Dolores Pilar

Profesor:

Joel Saliba

Diciembre 2024

Índice

1. Consigna.....	3
2. Desarrollo.....	4
2.1. Análisis de la primera etapa.....	4
2.1.1. Ganancia en el circuito físico:.....	7
2.2. Análisis de la segunda etapa:.....	8
2.3. Análisis de la tercera etapa:.....	10
2.4. Ganancia total de las tres etapas.....	11
2.4.1. Simulación.....	12
2.5. Pequeña señal de las tres etapas.....	13
2.6. Circuito físico.....	14
2.7. THD y PSD.....	14
2.7.1. Primer Etapa.....	15
2.7.1.1. Primera etapa en Físico.....	16
2.7.2. Segunda Etapa.....	17
2.7.2.1. Segunda etapa en Físico.....	18
2.7.3. Tercera Etapa.....	20
2.7.3.1. Tercera etapa en Físico.....	22
2.7.4. Comparación Simulación/Físico.....	24
2.8. Análisis de Potencia de componentes.....	24
2.8.1. Simulación.....	25
2.9. Carga mínima y Tensión máxima de entrada.....	27
2.10. Impedancia de salida.....	29
2.10.1. Cálculo de la impedancia de salida.....	29
2.10.2. Simulación.....	29
2.10.3. Circuito físico.....	31
2.11. Materiales.....	32
3. Gráficos Topológicos.....	34
4. Conclusiones.....	35
5. Bibliografías y Datasheets.....	36

1. Consigna

El laboratorio en modalidad virtual consiste en diseñar un amplificador multietapa que combina una etapa con FET y otra con BJT como el de la figura a continuación.(Figura 1)

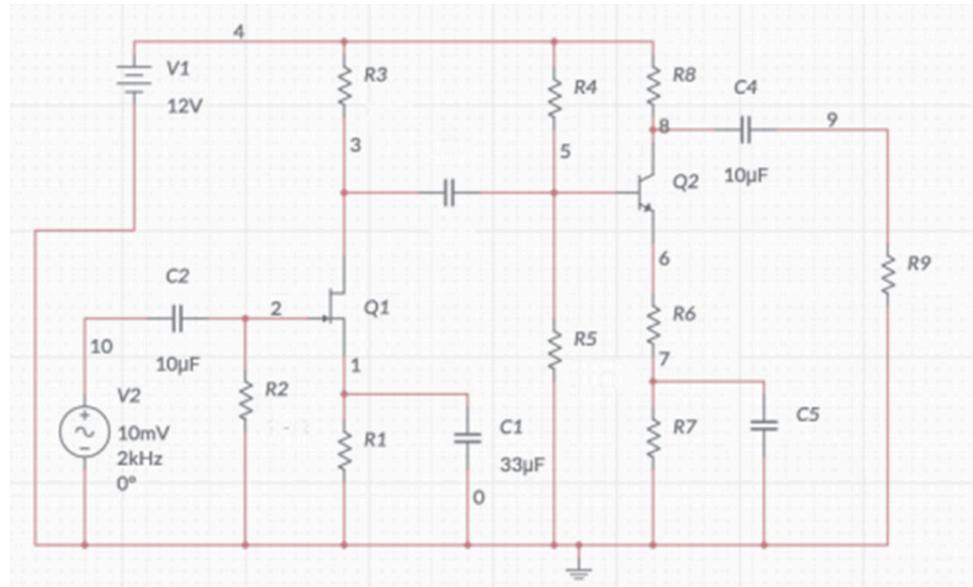


Figura 1: Circuito Modelo

Requisitos de diseño:

1. Ganancia de $v_o/v_{in} > 80$
2. $Z_{in} > 2 \text{ Mohm}$
3. $Z_o = 8 \text{ ohm}$ vista por R_9 .
4. Selección de componentes y tolerancias.
5. Puede proponer una etapa adicional en caso de ser necesario. Justifique.

Análisis del circuito:

- Modelo circuital calculado y simulado.
- Análisis de potencia de los componentes.
- Análisis de PSD por etapa. Se pretende reportar qué etapa generó más armónicos causados por las alinealidades de cada una.
 - THD (Distorsión armónica total) por etapa y total.
 - Límites del circuito. Min. Carga, Max. Fuente de alimentación etc.
 - Máxima tensión de entrada posible.

2. Desarrollo

2.1. Análisis de la primera etapa

Debido a las especificaciones de diseño del circuito determinamos:

$$Z_{in} = R2 = 2M\Omega$$

El transistor JFET que utilizamos fue el **2N5457**, del cual obtuvimos de su curva de transferencia (Figuras 2 y 3) los datos de I_{DSS} y V_{po}

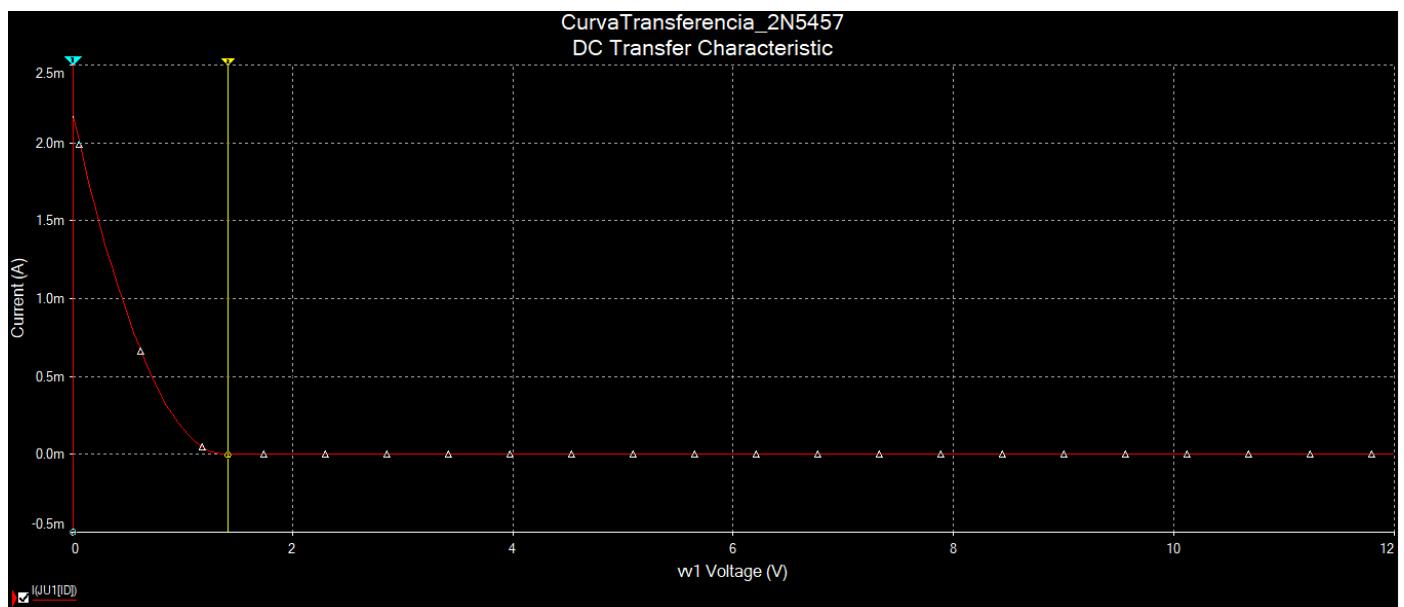


Figura 2: Curva de Transferencia JFET

Cursor	
<u>I (JU1 [ID])</u>	
x1	0.0000
y1	2.1692m
x2	1.3789
y2	236.3289n
dx	1.3789
dy	-2.1690m
dy/dx	-1.5730m
1/dx	725.2252m

Figura 3: Valores de Transferencia

Así, observamos los siguientes valores:

$$I_{DSS} = 2,16 \text{ mA}$$

$$V_{po} = 1,378 \text{ V}$$

A continuación, fijamos una *Resistencia de Surtidor* (RS):

$$R_S = 100\Omega$$

Y como criterio, tomamos una ganancia en la primera etapa $A_v = 10$.

Del *análisis de pequeña señal* de la primera etapa tenemos que:

$$A_v = -gm \frac{Rds.RD}{Rds + RD} = -10 \quad (1)$$

$$\text{Por un lado, } gm = \frac{\partial IDS}{\partial VGS} = 2 \cdot I_{DSS} \cdot \left(1 - \frac{VGS}{Vp}\right) \cdot \left(-\frac{1}{Vp}\right) \quad (2)$$

$$\text{Por otro lado, } Rds = \frac{VA}{IDSQ} \quad (3)$$

Si reemplazamos (2) y (3) en (1), obtenemos la siguiente ecuación:

$$A_v = -10 = \frac{-2 \cdot I_{DSS} \cdot \left(1 - \frac{VGS}{Vp}\right) \cdot \left(-\frac{1}{Vp}\right) \cdot RD \cdot \frac{VA}{IDSQ}}{RD + \frac{VA}{IDSQ}}$$

$$\text{sabiendo que: } I_{DSQ} = I_{DSS} \left(1 - \frac{VGSQ}{Vp}\right)^2$$

Nuestras incógnitas son: $VGSQ$, RD e $IDSQ$

Para simplificar los cálculos, hicimos un *script* en “Octave” para obtener los valores de nuestras incógnitas (Figura 4):

```

1 close all; clear all; clc
2
3 Vp = -1.378;
4 idss = 2.169e-3;
5 RS= 100;
6
7 %ROOTS - OPERATIVE POINT
8
9 A = 1/ (Vp*Vp);
10 B = (-2/Vp +1/ (idss*RS));
11 C = 1; p = [A B C];
12 Vgs = roots (p);
13 Vgs = Vgs (2)
14 idsq = idss* (1- Vgs./Vp).^2
15
16 %%gm
17 gm = 2*idss*(1-Vgs./Vp)*(-1/Vp)
18 Rds = 100./idsq
19 RD = 10.*Rds./(-10+Rds.*gm)

```

Figura 4: Código Octave

Los resultados obtenidos fueron los siguientes (Figuras 5 y 6):

```
Command Window
Vgs = -0.1674
idsq = 1.6740e-03
gm = 2.7656e-03
Rds = 5.9736e+04
RD = 3848.8
```

Figura 5: Resultados de Octave

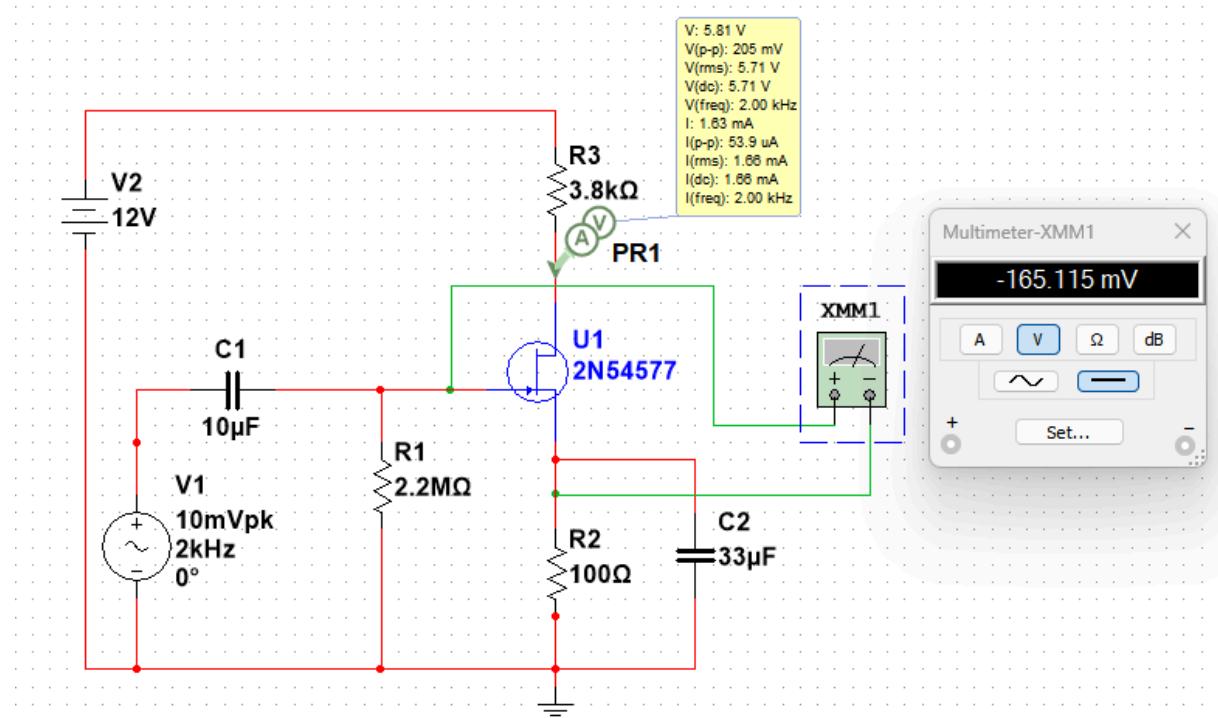


Figura 6: Etapa 1 Simulada

Los resultados de la simulación de la primera etapa fueron los siguientes:

$$I_{DSQ} = 1,66 \text{ mA}$$

$$V_{GSQ} = -0,165 \text{ V}$$

Podemos verificar que son valores aceptables de acuerdo a los resultados obtenidos en el *script* de “Octave”, los cuales fueron: $I_{DSQ} = 1,67 \text{ mA}$ y $V_{GSQ} = -0,167 \text{ V}$

La ganancia obtenida en la simulación (Figura 7) coincide también con nuestro criterio fijado al principio de $A_v = 10$

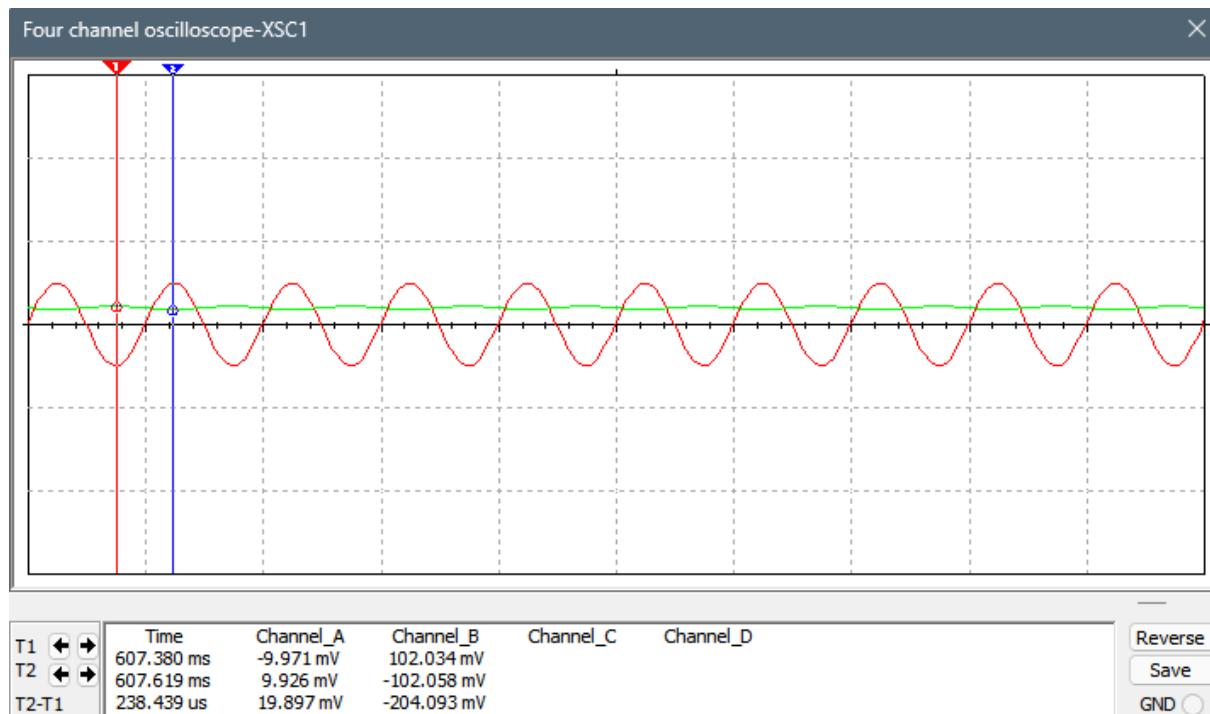


Figura 7: Ganancia Etapa 1

La onda roja es la entrada de 10 mV pico a pico y la onda verde es la salida. Se verifica que la ganancia es de aproximadamente 10.

$$A_v = \frac{102,034 \text{ mV}}{9,971 \text{ mV}} = 10,23$$

2.1.1. Ganancia en el circuito físico:

La ganancia obtenida en el circuito físico fue de 23,10. Este aumento puede ser debido a que agregamos un divisor resistivo en la entrada de la señal del generador para evitar el ruido. (Figura 8)

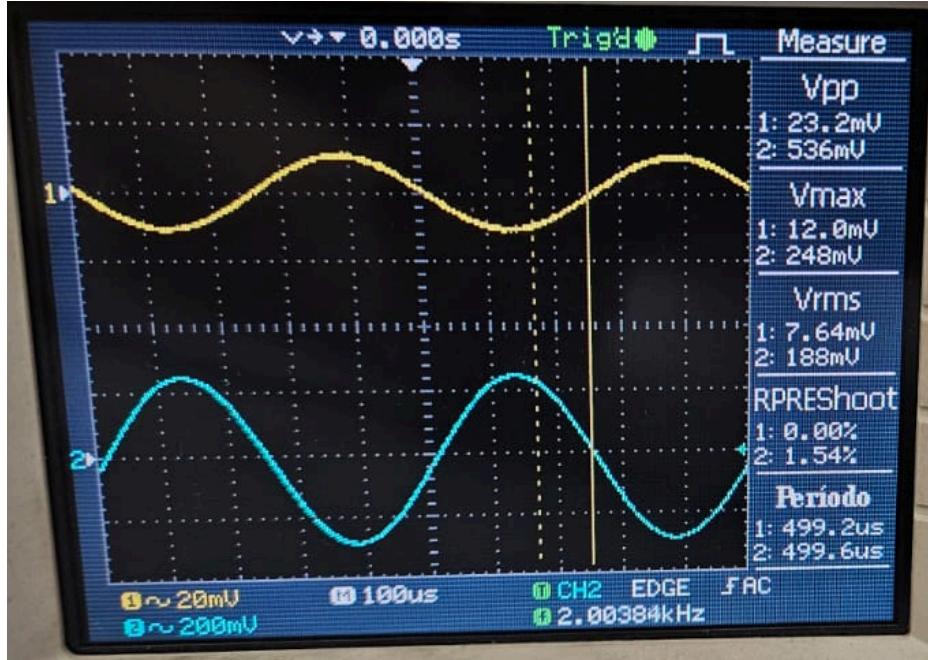


Figura 8: Ganancia Etapa 1 en Físico

2.2. Análisis de la segunda etapa:

Se utilizó un transistor BJT **BC547C**. Si pensamos a cada etapa como un cuadripolo, obtenemos que $Z_{out1} // Z_{in2}$. Es decir, la impedancia de salida de la primera etapa está en paralelo con la impedancia de entrada de la segunda etapa. Por lo tanto, tomamos como criterio que $Z_{in2} > Z_{out1}$, de tal manera que el paralelo no afecte tanto a la segunda etapa.

Fijando una corriente $I_C = 0,6 \text{ mA}$, buscamos poder polarizar a $V_{CE} = \frac{VCC}{2}$, en este caso sería: $V_{CE} = 6 \text{ V}$ para que nuestra señal de salida tenga la máxima excursión simétrica. Por otro lado, $V_E = [0,2 \text{ V} \sim 0,5 \text{ V}]$.

$$R_C = \frac{12V - 6,2V}{0,6mA} = 9,6 \text{ k}\Omega$$

Para calcular la corriente de base, tomamos el siguiente criterio:

$$I_C = \beta \cdot I_B$$

Por lo que:

$$I_B = \frac{I_C}{\beta}$$

$$I_B = \frac{0,6\text{ mA}}{100}$$

$$I_B = 6\text{ uA}$$

Del análisis de pequeña señal, tenemos que:

$$Z_{out1} = RD//Rds$$

De los valores obtenidos en el *script*, resolvemos:

$$Z_{out1} = 3,8\text{ k}\Omega // 59,7\text{ k}\Omega$$

$$Z_{out1} = 3,57\text{ k}\Omega$$

Entonces, fijamos el criterio de:

$$Z_{in2} = 14\text{ k}\Omega$$

Del modelo de pequeña señal, sabemos que: $Z_{in2} = R_B // (hie + RE')$. En primer lugar vamos a fijar los valores de las resistencias que conforman R_B :

Elegimos $100\text{ k}\Omega$ y $15\text{ k}\Omega$, de forma tal que:

$$R_B = R1//R2 = 100\text{ k}\Omega // 15\text{ k}\Omega = 13\text{ k}\Omega$$

Luego, sacamos los valores de *hie*:

$$hie = \frac{VT}{ICQ} \cdot \beta = \frac{25\text{ mV}}{0,6\text{ mA}} \cdot 100 = 4,16\text{ k}\Omega$$

Por otro lado fijamos:

$$RE = 470\text{ }\Omega$$

Finalmente, calculamos $Z_{in2} = R_B // (hie + RE')$:

$$Z_{in2} = \frac{13\text{ k}\Omega \cdot 51,16\text{ k}\Omega}{13\text{ k}\Omega + 51,16\text{ k}\Omega} = 10,36\text{ k}\Omega$$

La ganancia obtenida en la segunda etapa fue de 87, 86.(Figura 9)

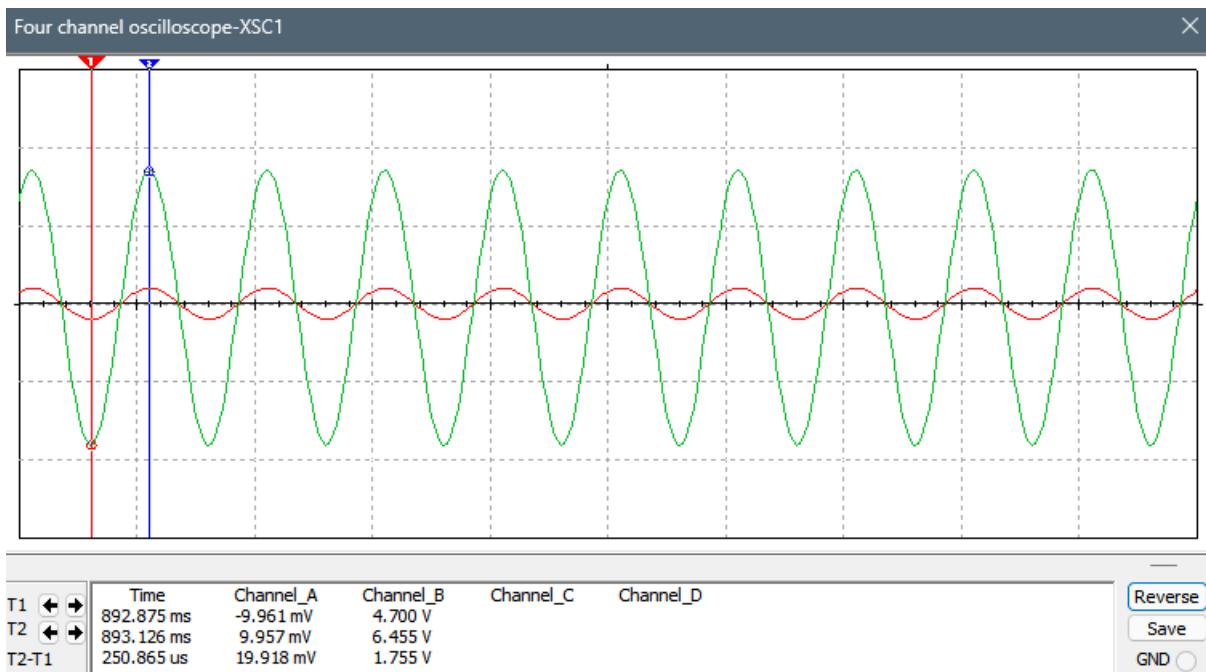


Figura 9: Ganancia Etapa 2

2.3. Análisis de la tercera etapa:

Dado que uno de los requisitos de funcionamiento del diseño es una impedancia de salida de la última etapa (vista desde R9) debe ser $Z_o = 8\Omega$, se decidió realizar una tercera etapa que adapte esta impedancia para cumplir con el requisito. En esta etapa, utilizamos un **BD139**. Al ser un seguidor de emisor, nos adaptará la impedancia de salida.

Se tomó como criterio que $Z_{in3} > Z_{out2}$. Es decir, que la impedancia de entrada de la tercera etapa debe ser mayor que la impedancia de salida de la segunda etapa.

La $Z_{out2} = 10k\Omega$ (*Rc de la segunda etapa*). Por eso, fijamos una $R_{B2} = 180k\Omega$ para cumplir con nuestro criterio inicial.

Por ello, dado que $R_{B2} = 180k\Omega$, se tiene que:

$$hie2 = \frac{Vt}{ICQ} * B = \frac{25mV}{7,27mA} * 100 = 343,83\Omega$$

Con esto y, sabiendo que el circuito en pequeña señal de la tercera etapa se describe como (Figura 10).

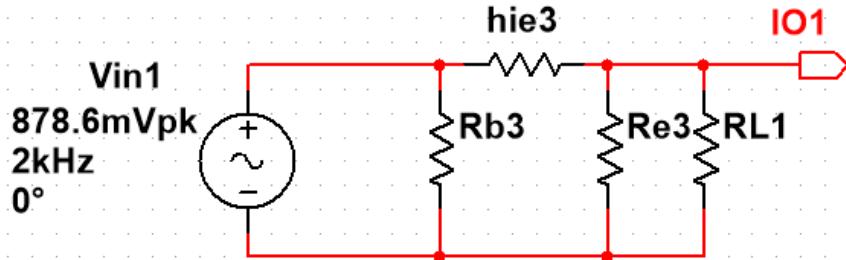


Figura 10: Pequeña señal etapa 3

Donde la entrada viene definida por la ganancia de la etapa anterior, que es de 87,86, siendo entonces para un valor de 10 mV de entrada, una salida de la segunda etapa de 878,6 mV. Posteriormente se calculará la ganancia utilizando valores de $R_{e2} = 150\Omega$ y de $R_L = 1k\Omega$.

Finalmente, dado que se quiere hallar la ganancia de la etapa de salida, la cual está conectada al emisor del BD139, se conoce que se debe reflejar desde el mismo emisor para realizar el análisis de pequeña señal de manera correcta y por ello se calcula que

$$hie2' = \frac{hie2}{B+1} = 3,4\Omega$$

También es destacable que para este cálculo se ignora $Rb2$ por estar en paralelo con el divisor resistivo formado entre las resistencias de emisor. Habiendo recalculado esto, se tiene que

$$Vout = \frac{Vin * (Re//RL)}{hie2' + (Re//RL)} = \frac{878,6 mV * 130\Omega}{3,4\Omega + 130\Omega} = 856,2 mV$$

Finalmente, la ganancia de la tercera y última etapa es la siguiente

$$Av = \frac{Vout}{Vin} = \frac{856,2 mV}{878,6 mV} = 0,974 V/V$$

2.4. Ganancia total de las tres etapas

Para el cálculo de la ganancia total se planteó que, dado que las etapas están todas en cascada, se dice que la ganancia viene dada por

$$A_{V\ Total} = A_{v1} * A_{v2} * A_{v3}$$

Siendo

$$A_{v1} * A_{v2} = 87,86$$

Entonces se tiene que la ganancia total del circuito es la siguiente

$$A_{V\ Total} = 87,86 * A_{v3} = 87,86 * 0,974 = 85,57V/V$$

2.4.1. Simulación

Para este punto, se expondrá el circuito completo y su respectiva salida en forma de simulación, siendo el circuito total el que se ve a continuación (Figuras 11 y 12)

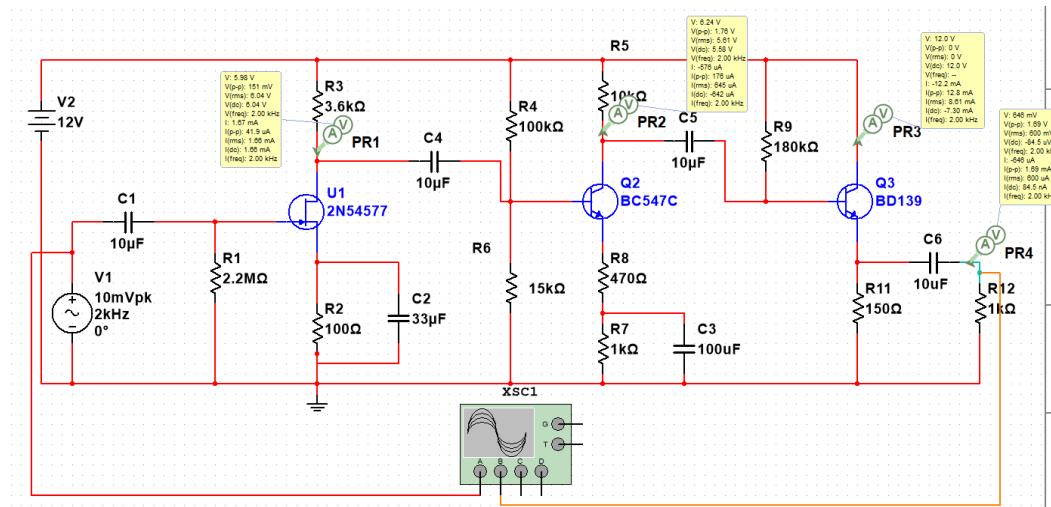


Figura 11: Circuito Completo

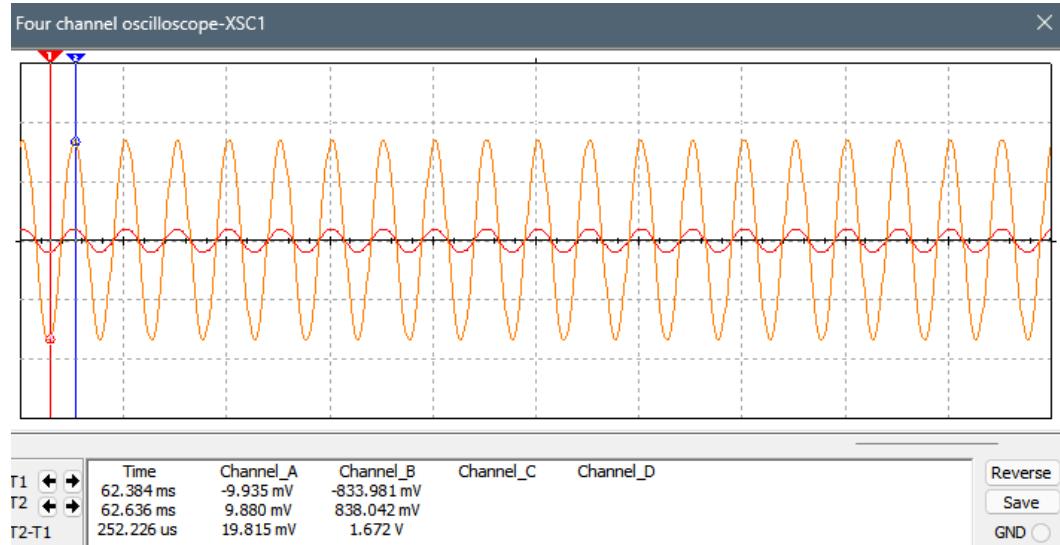


Figura 12: Ganancia Circuito Completo

La ganancia total obtenida en la simulación fue $A_{V Total} = 84,82$.

2.5. Pequeña señal de las tres etapas

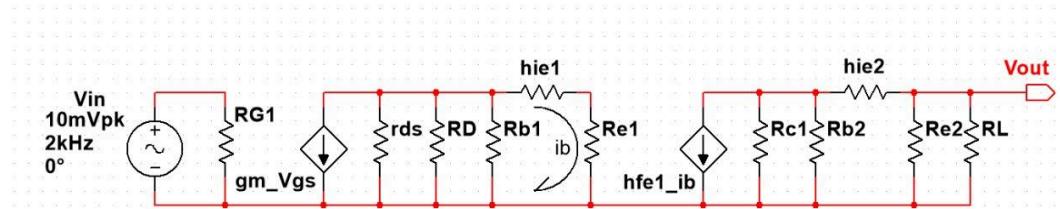


Figura 13: Circuito Completo en pequeña señal

2.6. Circuito físico

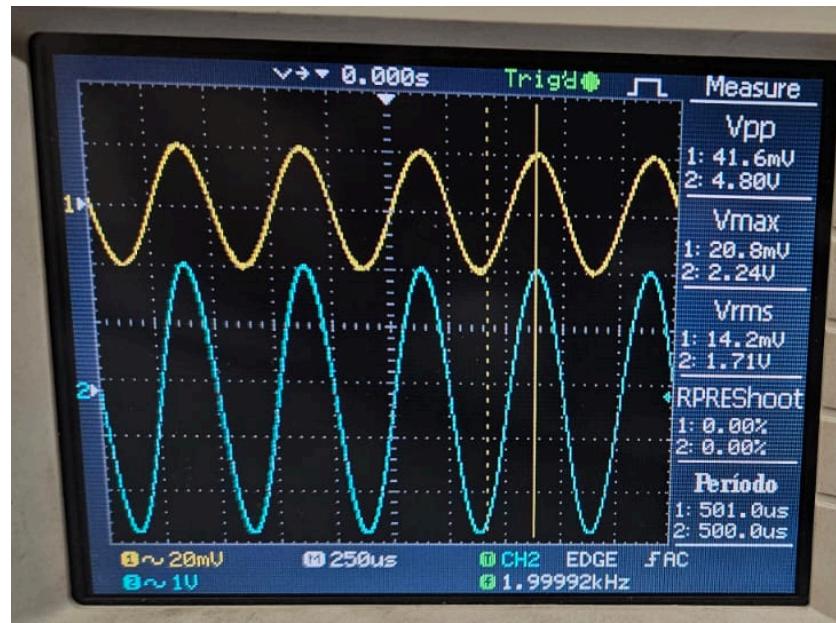


Figura 14: Ganancia total del circuito físico

La ganancia total (Figura 14) de todas las etapas en el circuito real fue de $A_{V Total} = 115$.

2.7. THD y PSD

El THD es la relación entre el valor eficaz de residuo armónico respecto a la frecuencia fundamental.

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_f}$$

Luego, definimos al PSD como la función matemática que describe la distribución de la potencia de la serie temporal en componentes de frecuencia de una señal. Esta función se describe como:

$$X_{PSD}(f) = \lim_{\Delta f \rightarrow 0} \left[\frac{1}{2} * \frac{X(f)*X^*(f)}{\Delta f} \right]$$

La PSD representa la aceleración de las vibraciones en función del tiempo (análisis temporal). Su unidad es g^2/Hz . El gráfico de la función PSD muestra las frecuencias en las que se concentra la energía de la vibración.

2.7.1. Primer Etapa

El THD para la primer etapa **simulada** será (Figura 15)

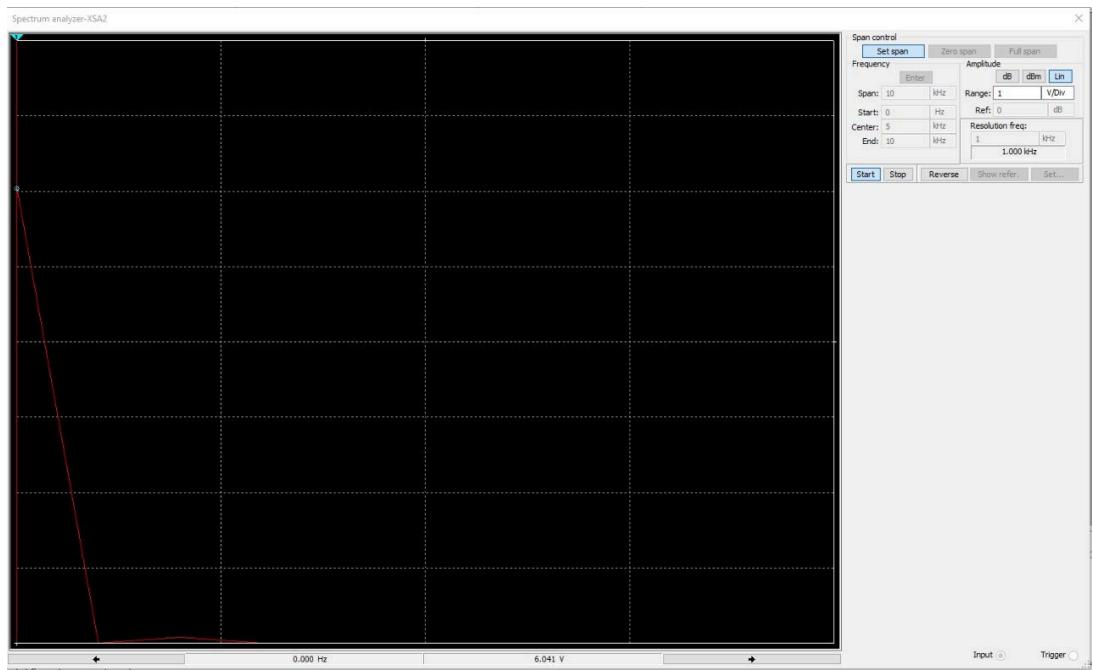


Figura 15: Espectro en frecuencia Primer etapa

En donde se puede visualizar la frecuencia fundamental y el primer armónico de la misma, el cual se muestra con más detalle a continuación (Figura 16)

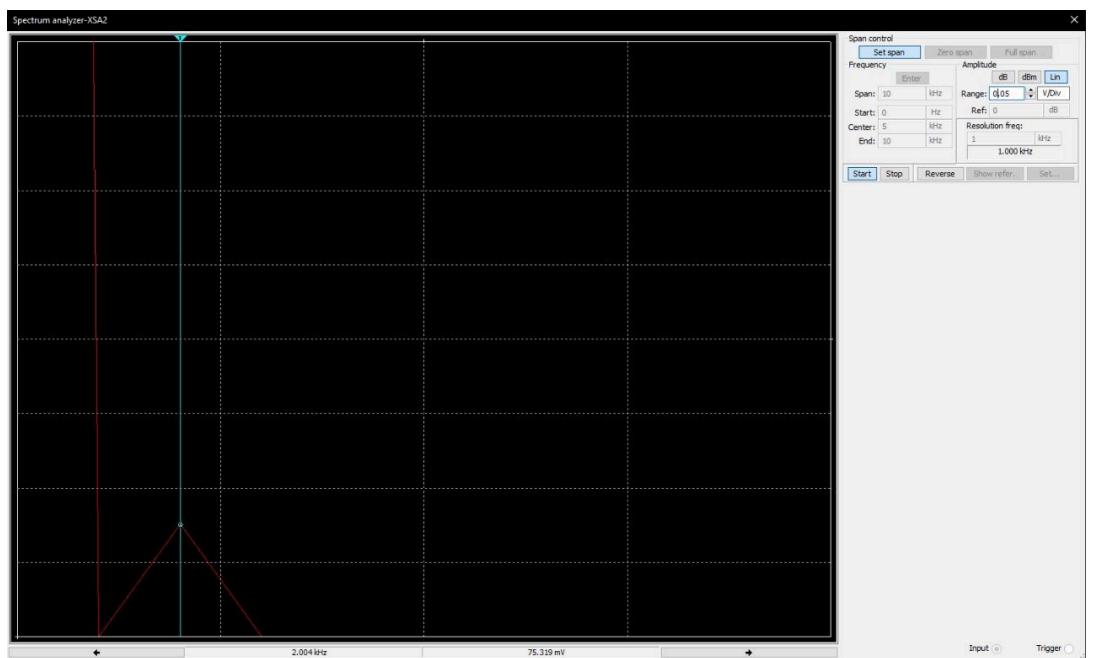


Figura 16: Armónico del espectro en frecuencia de la primera etapa

Con ello, se puede obtener el valor de THD para esta etapa, lo que se calcula a continuación

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_f} = 1,2\%$$

2.7.1.1. Primera etapa en Físico

Con el fin de comparar los resultados obtenidos y los simulados, se analizó de la misma manera la primera etapa pero de forma física, lo cual se repetirá para las etapas posteriores.(Figura 17)

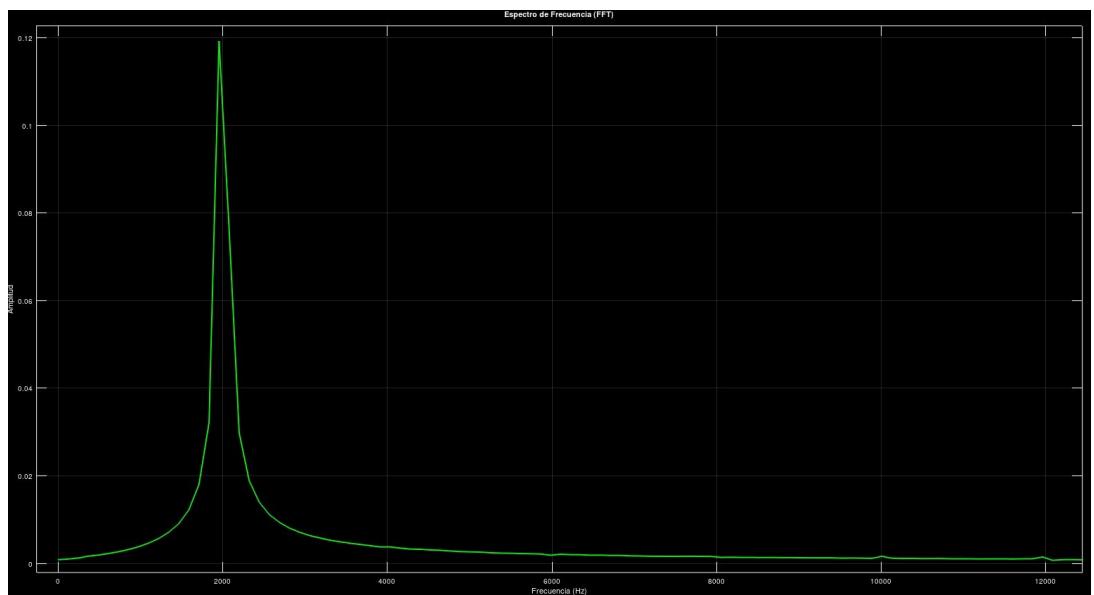


Figura 17: FFT Primera etapa en físico

En este caso, vemos la FFT de la etapa correspondiente, y con ella se realizará el cálculo de la THD a continuación.

1er Armónico	2do Armónico	Fundamental
10kHz	12kHz	2kHz
1,6mV	1,5mV	120mV

$$THD = \frac{\sqrt{0,0016^2 + 0,0015^2}}{0,12} = 1,8\%$$

Luego, se obtendrá el PSD de la primer etapa (Figura 18)

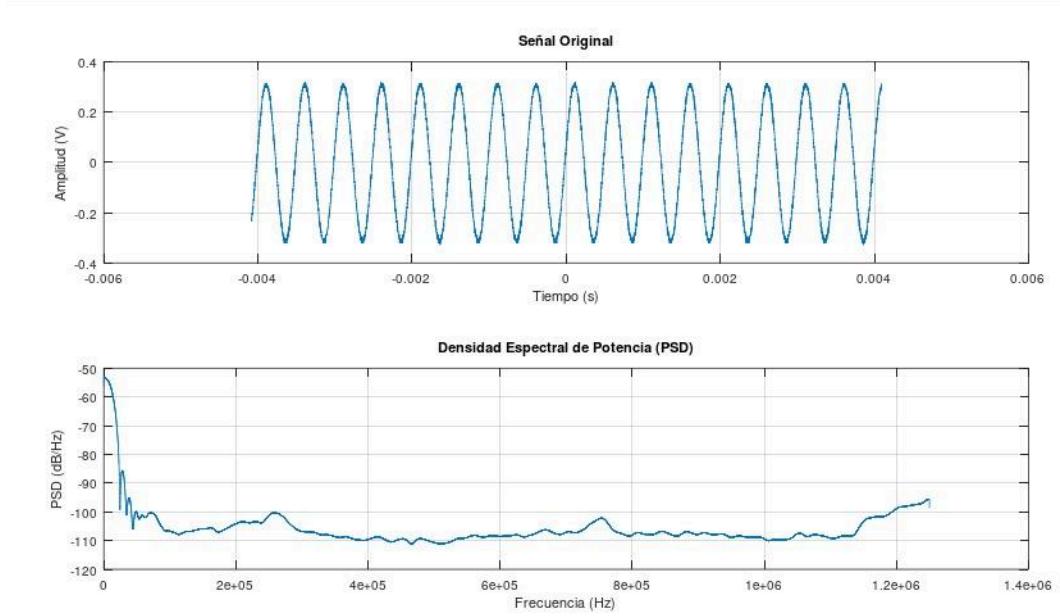


Figura 18: PSD Primera etapa en físico

2.7.2. Segunda Etapa

De la misma manera que en la etapa anterior, se verán los componentes en frecuencia que presenta la simulación de esta etapa (Figura 19)

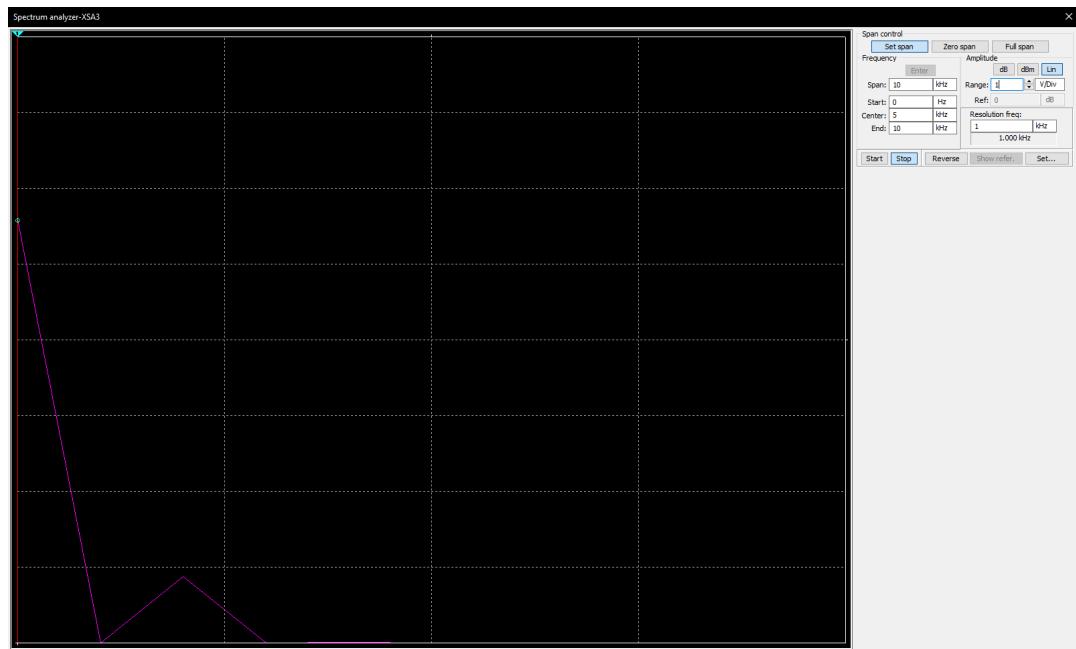


Figura 19: Espectro en frecuencia Segunda etapa

Para este caso tenemos dos armónicos, pero se desprecia el segundo por ser demasiado pequeño, por lo que se verá solamente el primer caso en detalle.(Figura 20)

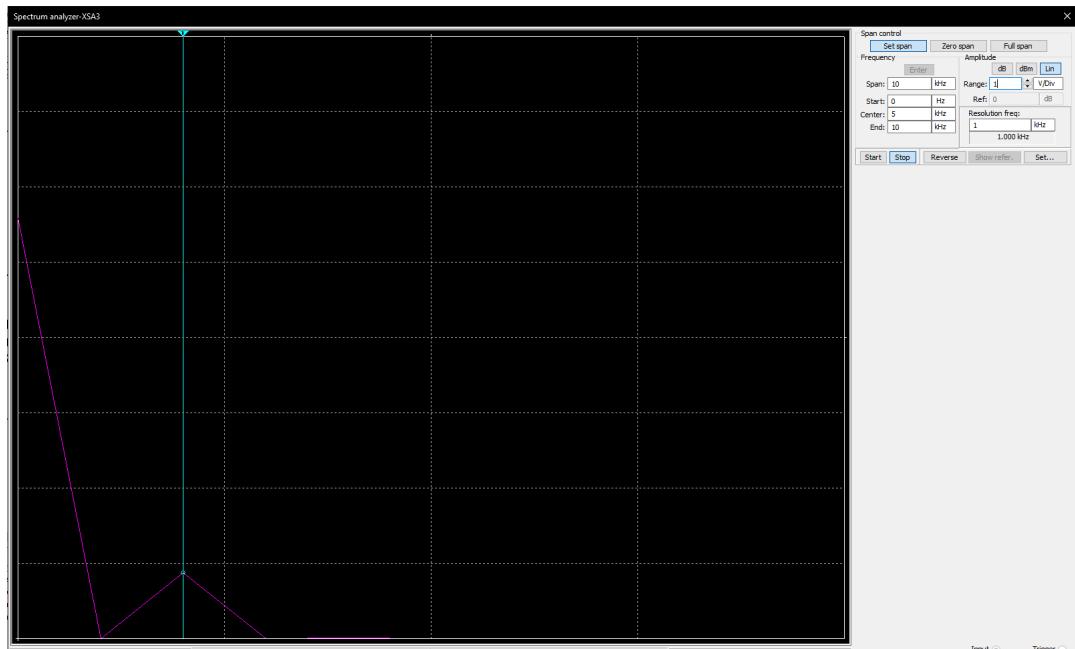


Figura 20: Armónico del espectro en frecuencia de la segunda etapa

Teniendo este valor, se procede a calcular el valor de THD para esta etapa

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_f} = 1,5\%$$

2.7.2.1. Segunda etapa en Físico

Siguiendo con el método, se expondrán los resultados obtenidos de manera física, para la correspondiente etapa.(Figura 21)

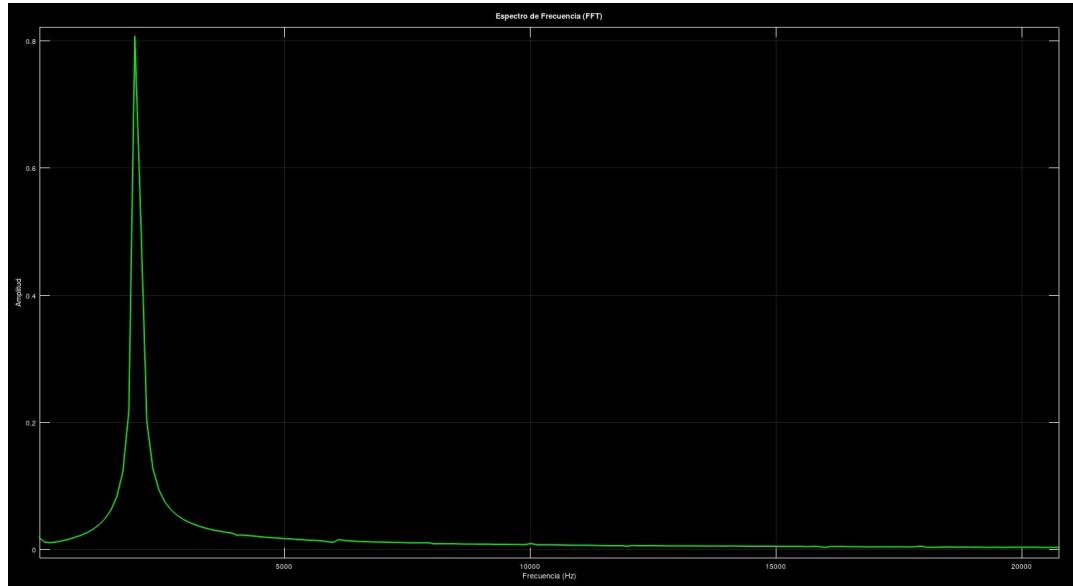


Figura 21: FFT Segunda etapa en físico

1er Armónico	Fundamental
0Hz	2kHz
19mV	810mV

Teniendo esto, se calculará el valor de THD obtenido en el circuito físico

$$THD = \frac{\sqrt{0,019^2}}{0,81} = 2,3\%$$

Luego, se obtendrá el PSD de la segunda etapa (Figura 22)

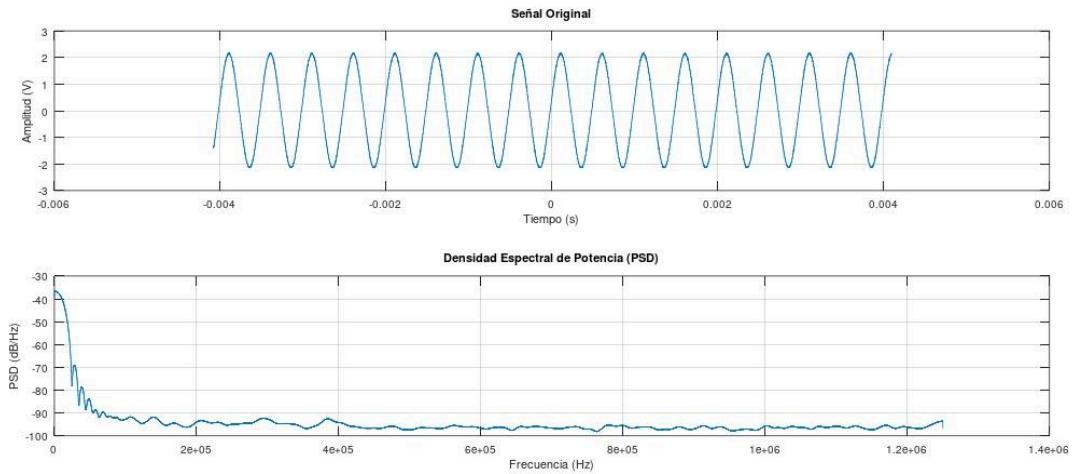


Figura 22: PSD Segunda etapa en físico

2.7.3. Tercera Etapa

Finalmente se analizará la última etapa, la cual engloba las etapas anteriores (Figura 23)

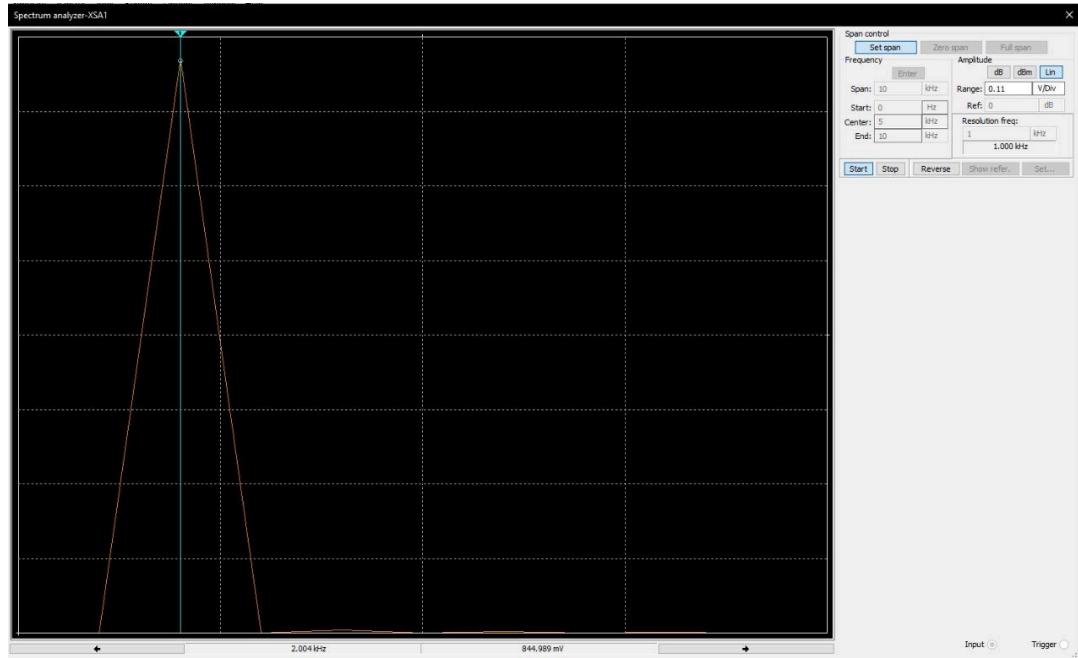


Figura 23: Espectro en frecuencia Tercera etapa

En la imagen se puede ver el espectro completo de las frecuencias del circuito en su totalidad, en donde se encuentra la frecuencia fundamental como principal a analizar. Ahora se pasará a ver cada componente por separado, empezando por el primer armónico (Figuras 24, 25 y 26)

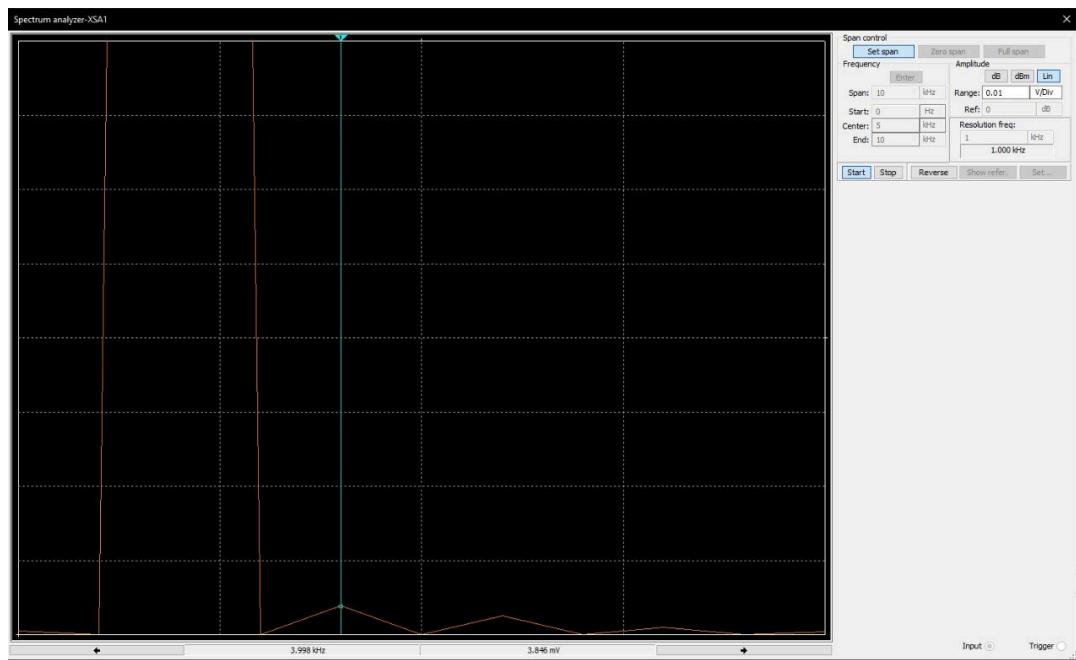


Figura 24: Primer armónico del espectro en frecuencia de la tercera etapa

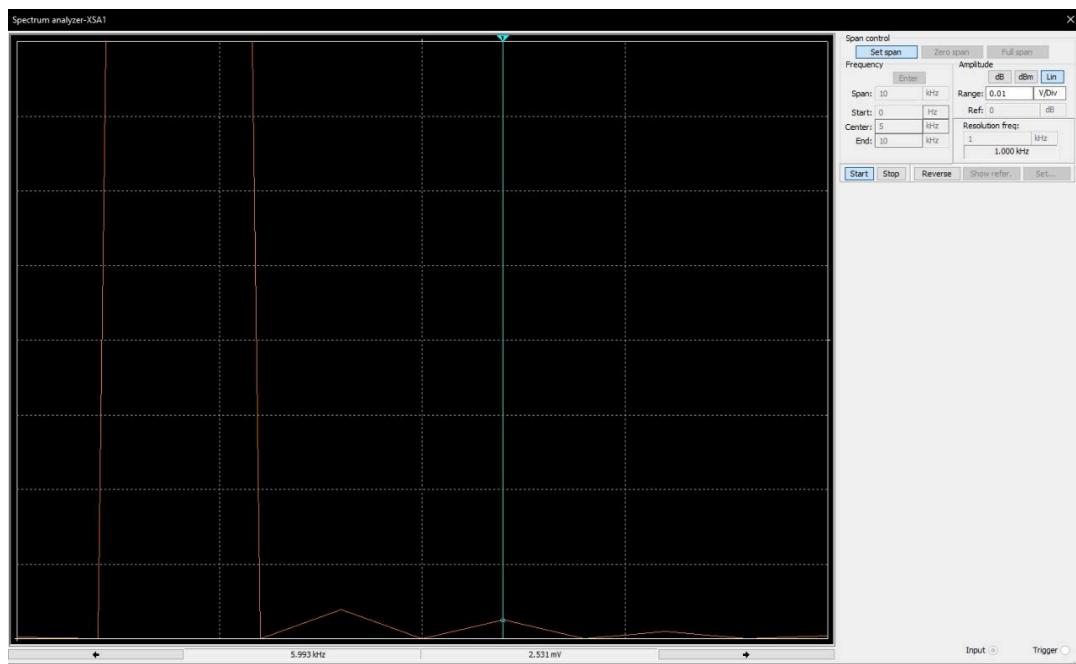


Figura 25: Segundo armónico del espectro en frecuencia de la tercera etapa

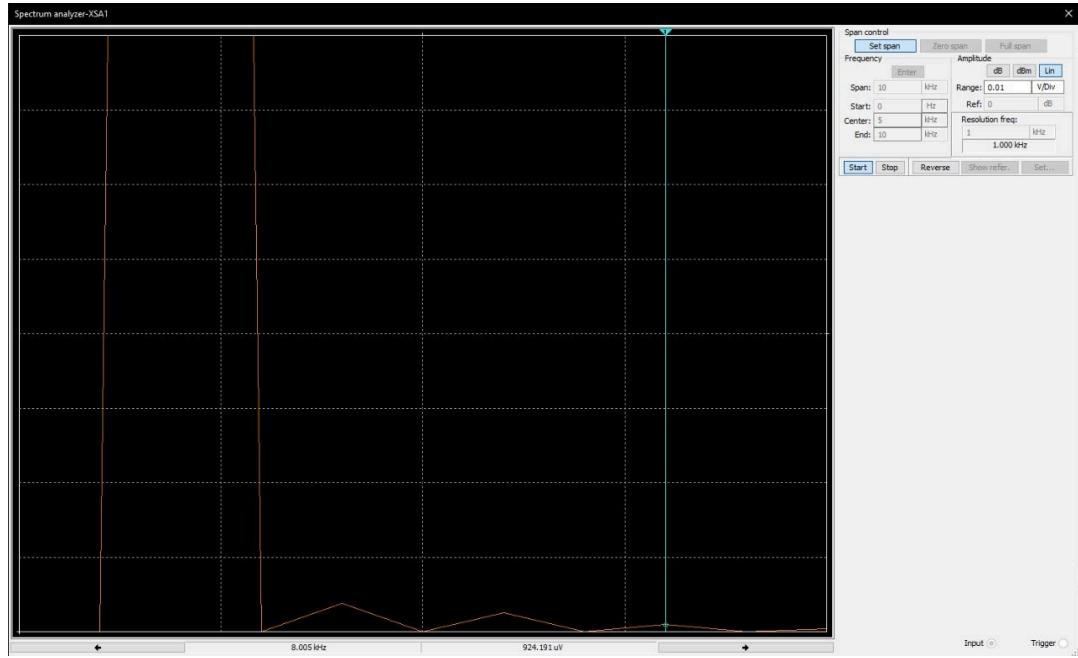


Figura 26: Tercer armónico del espectro en frecuencia de la tercera etapa

Con esto, se calculará el THD para el circuito completo

$$THD = \frac{\sqrt{V_2^2 + V_3^2 + \dots + V_n^2}}{V_f} = 0,5\%$$

2.7.3.1. Tercera etapa en Físico

De la misma manera, se pasará a exponer los resultados obtenidos en la tercera y última etapa de manera física.(Figura 27)

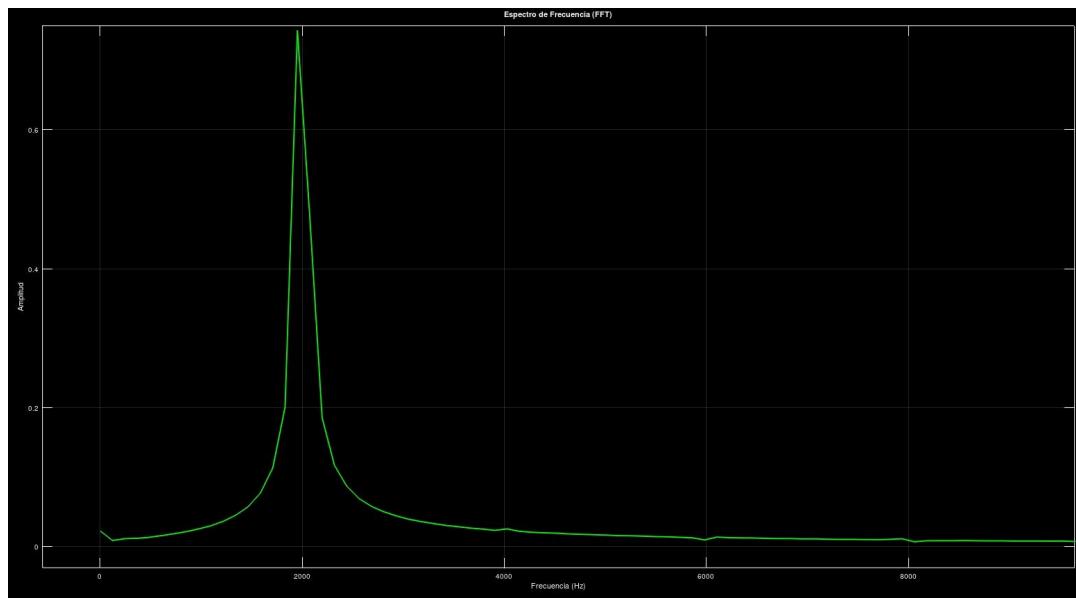


Figura 27: FFT Tercera etapa en físico

Con esta información se calculará el valor de THD para esta etapa

1er Armónico	Fundamental
0Hz	2kHz
20mV	750mV

$$THD = \frac{\sqrt{0,02^2}}{0,75} = 2,6\%$$

Finalmente, se obtendrá el PSD de la tercera etapa (Figura 28)

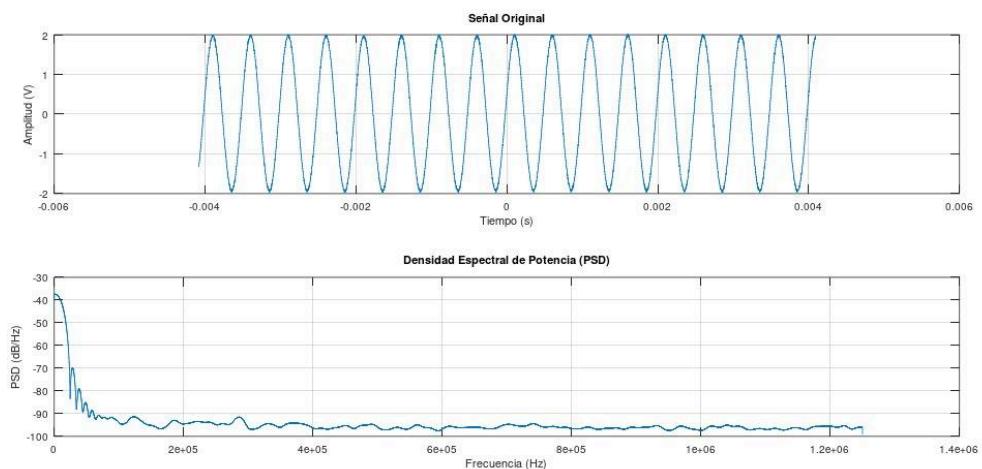


Figura 28: PSD Tercera etapa en físico

2.7.4. Comparación Simulación/Físico

En este inciso se confeccionará una tabla en la que se compararon los resultados obtenidos en simulación y en el circuito realizado de manera física. Todo esto con el fin de analizar el error relativo porcentual entre los dos casos, siendo la fórmula para el error la que se muestra a continuación

$$\text{Error\%} = \frac{\text{Simulación-Físico}}{\text{Simulación}} * 100$$

	Simulación	Físico	Error Relativo Porcentual
Etapa 1	1,2%	1,8%	50%
Etapa 2	1,5%	2,3%	53,33%
Etapa 3	0,5%	2,6%	420%

2.8. Análisis de Potencia de componentes

Para cada componente, siendo de estos los transistores los más importantes, se decidió hacer un análisis de potencia en continua de cada transistor con sus respectivos valores de polarización. Comenzando con la primer etapa, se tiene que

$$Idsq = 1,66 \text{ mA}$$

$$Vdsq = 5,87 \text{ V}$$

Por ello se define que la potencia disipada por la primer etapa, que es el JFET 2N5457 viene dada por la siguiente expresión

$$PJ1 = Idsq * Vdsq = 1,66 \text{ mA} * 5,87 \text{ V} = 9,744 \text{ mW}$$

Siguiendo con la segunda etapa, se tienen los valores de polarización del BC547C y su respectivo valor de potencia disipada.

$$Icq = 0,6 \text{ mA}$$

$$Vceq = 6 \text{ V}$$

$$PQ1 = Icq * Vceq = 0,6 \text{ mA} * 6 \text{ V} = 3,6 \text{ mW}$$

Finalmente, para la última etapa se realiza el mismo procedimiento, siendo el BD139 el transistor en cuestión

$$I_{cq} = 7,27 \text{ mA}$$

$$V_{ceq} = 10,9 \text{ V}$$

$$PQ2 = I_{cq} * V_{ceq} = 7,27 \text{ mA} * 10,9 \text{ V} = 79,24 \text{ mW}$$

La diferencia del valor de potencia entre la etapa 3 y las dos primeras se debe de manera directa al valor de impedancia de carga que tenemos, la cual al ser tan pequeña incita a que la corriente de colector sea bastante grande, lo que hace que este valor aumente drásticamente.

2.8.1. Simulación

En términos de simulación, podemos ver los valores de potencia que dan los mismos componentes, siendo la potencia disipada por el transistor en la primer etapa (Figura 29).

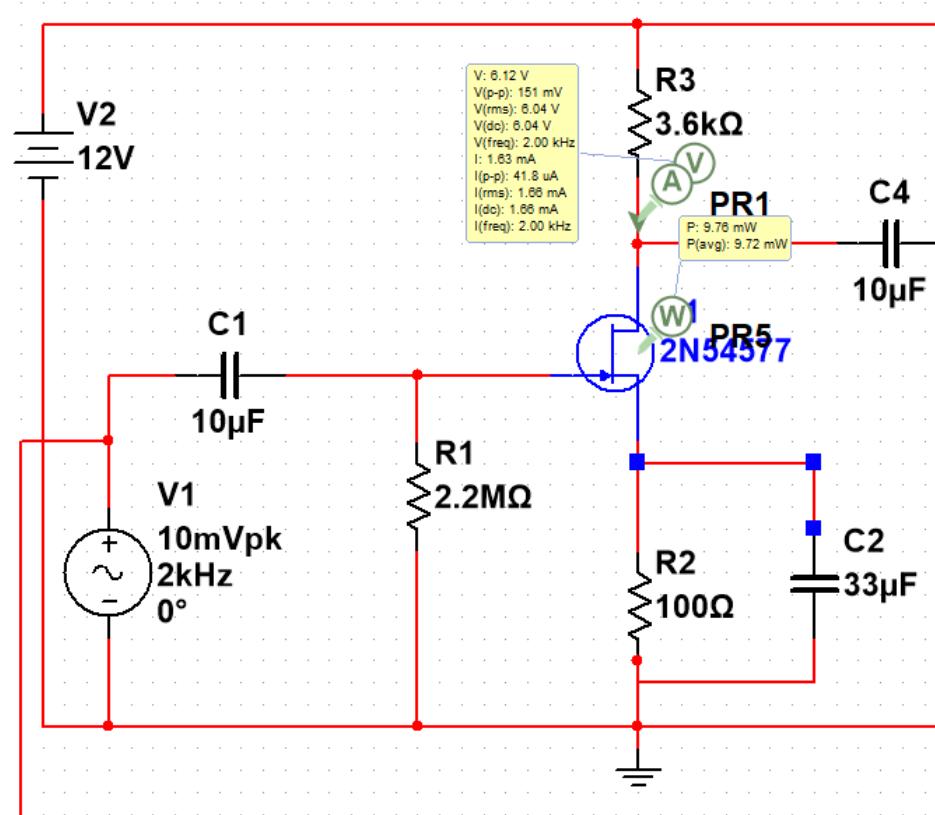


Figura 29: Análisis de Potencia Primer etapa

Siguiendo con el circuito, se tiene la segunda etapa en términos de potencia (Figura 30).

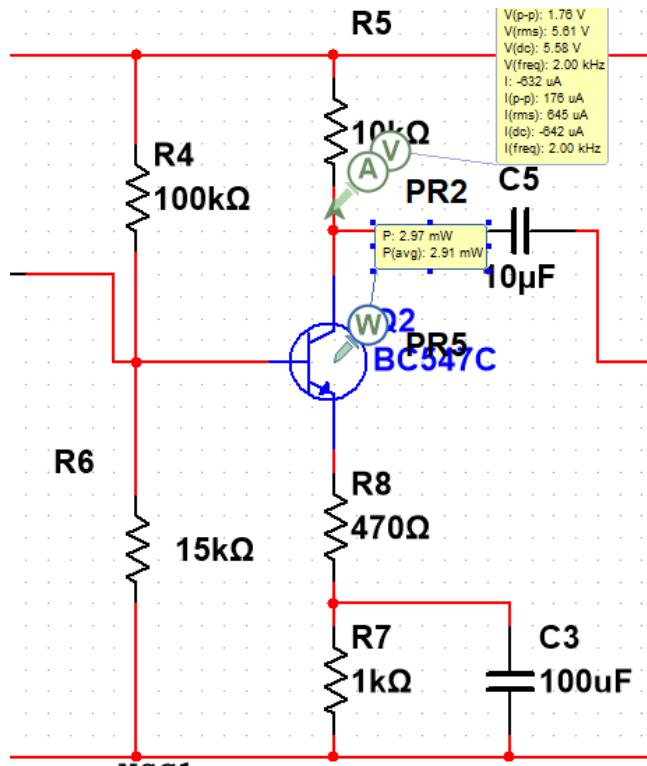


Figura 30: Análisis de Potencia Segunda etapa

Finalmente, se expondrá la última etapa en donde se repite el concepto de la alta potencia disipada. (Figura 31)

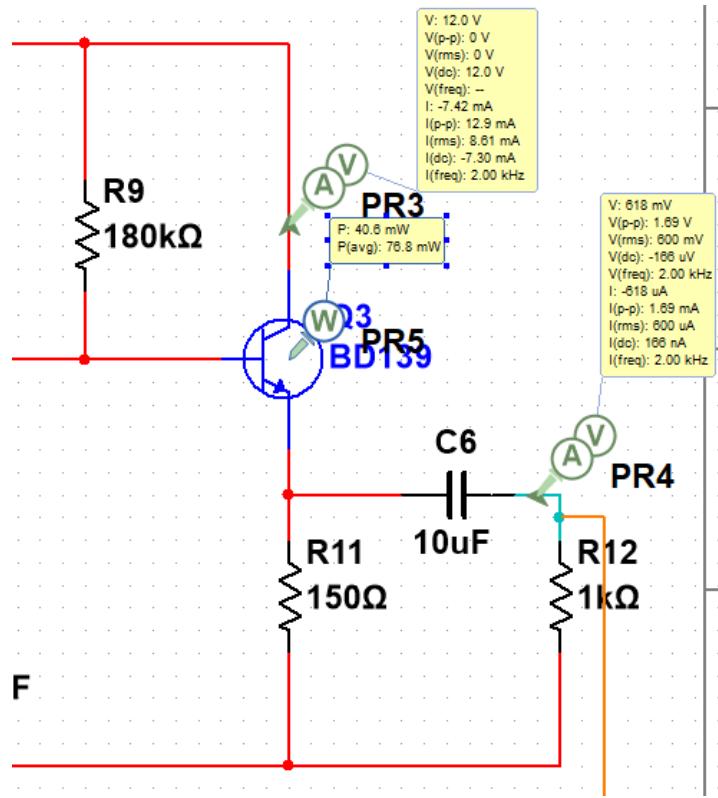


Figura 31: Análisis de Potencia Tercera etapa

2.9. Carga mínima y Tensión máxima de entrada

Para analizar esta cuestión, se optó por realizar un barrido en la resistencia de carga RL (Parameter Sweep), con tal de obtener el valor mínimo de la misma a la cual la señal no presenta distorsión significativa, es decir, que no se deforma la onda.

Con esta premisa, se obtuvieron los siguientes resultados (Figura 32)

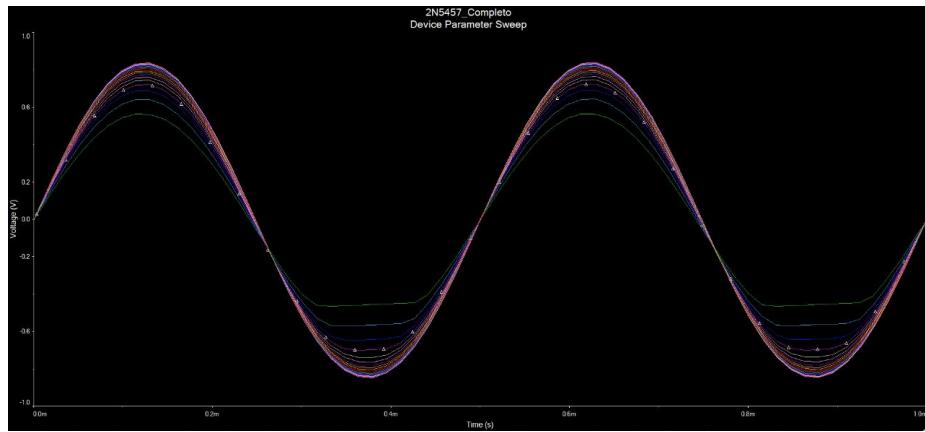


Figura 32: Parameter Sweep de RL

Donde como mínimo, obtuvimos un valor de RL de 250Ω , siendo éste el punto de flexibilidad en donde la onda empieza a perder amplificación en el semicírculo negativo.

También dentro de este inciso incluiremos el valor máximo tensión de entrada, el cuál siempre debería estar definido ya sea por el valor de aislación de los capacitores colocados en el circuito, que para nuestro caso es de 25V, o por las tensiones máximas, ya sea de base o de emisor, de los transistores utilizados.

Aunque este parecería el caso, para el circuito diseñado, se obtuvo un valor simulado de entrada de como máximo 12 mV sin que haya distorsión, todo esto debido a los cambios que se tuvieron que hacer para mejorar la ganancia del circuito, jugando de manera muy justa con las resistencias en las etapas. En la siguiente imagen se muestra el valor de tensión aplicado a la entrada y el recorte generado en el semicírculo negativo. (Figura 33)

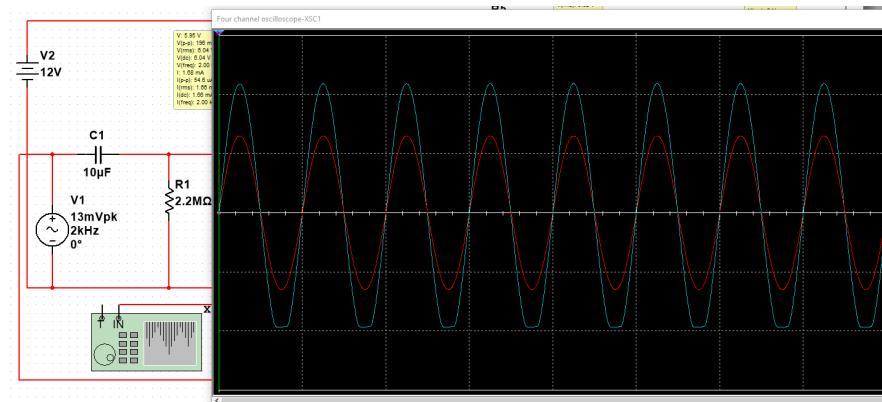


Figura 33: Máxima tensión de entrada

2.10. Impedancia de salida

2.10.1. Cálculo de la impedancia de salida

Según el análisis del modelo de pequeña señal, la impedancia de salida es la siguiente:

$$Z_{out} = \frac{Z_{out2}}{(\beta+1)} // \frac{R_b}{(\beta+1)} // (h_{ib2} + R_e)$$

$$Z_{out} = \frac{10k}{(100+1)} // \frac{180k\Omega}{(100+1)} // (4,16 k\Omega + 150\Omega) = 99 // 1782 // 4310 = 91 \Omega$$

2.10.2. Simulación

Lo primero que hicimos fue medir la tensión de salida sin una carga conectada (Figuras 34 y 35).

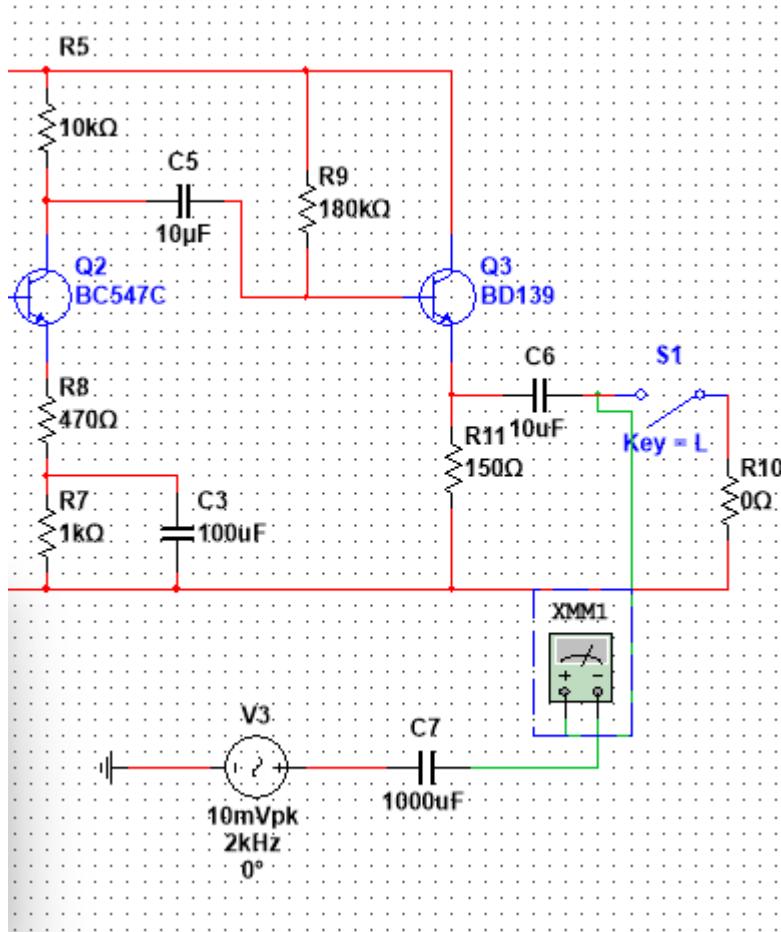


Figura 34: Conexión para en análisis de Z_{out} sin carga

El valor obtenido de tensión fue el siguiente:

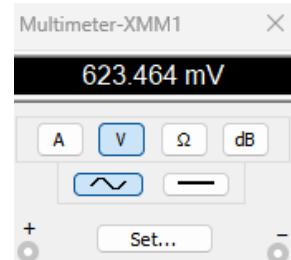


Figura 35: Valor obtenido de Tensión sin carga

Posteriormente, se conectó una carga para obtener la mitad del valor de tensión de salida sin carga. El valor obtenido de impedancia fue el siguiente, con una carga conectada de $70\ \Omega$. (Figuras 36 y 37)

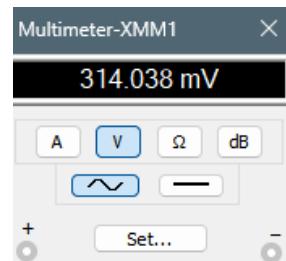


Figura 36: Valor obtenido de Tensión con carga

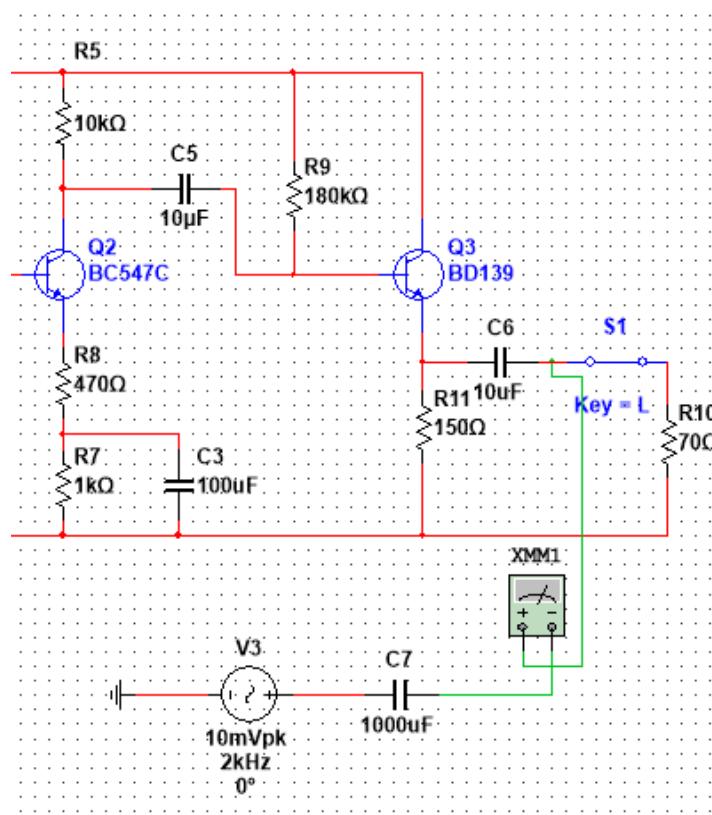


Figura 37: Conexión para el análisis de Zout con carga

2.10.3. Círculo físico

Utilizamos un multímetro analógico con escala en dB para poder medir la impedancia de salida requerida en las especificaciones.

Lo primero que se hizo fue medir la tensión de salida sin una carga conectada y obtuvimos un valor determinado de tensión. (Figura 38)



Figura 38: Tensión obtenida sin carga conectada

Como el requerimiento es que la impedancia de salida sea de 8Ω , un valor bastante bajo, conectamos una carga de 75Ω y se logró que la tensión de salida se reduzca a la mitad del valor obtenido en el primer paso, cuando la carga estaba desconectada. (Figura 39).



Figura 39: Tensión obtenida con carga

Por cuestiones de diseño, el valor de la impedancia de salida obtuvo un valor diferente al esperado, debido a que se tuvo que cambiar la resistencia de emisor del seguidor de emisor o adaptador de impedancias para que mejore la ganancia del circuito y disminuya el recorte de señal producido por éste.

2.11. Materiales

Capacitores:

- 4 de 10uF
- 1 de 100uF
- 1 de 33uF

Resistencias:

- 1 de 2,2 MΩ

- 1 de 100 Ω
- 1 de 3,6 k Ω
- 1 de 100 k Ω
- 1 de 15 k Ω
- 1 de 470 Ω
- 2 de 1 k Ω
- 1 de 10 k Ω
- 1 de 180 k Ω
- 1 de 150 Ω

Transistores:

- 1 BJT BC547C
- 1 JFET 2N5457
- 1 BJT BD139

3. Gráficos Topológicos

En este inciso se colocarán imágenes del circuito armado con todas las etapas puestas en una misma protoboard.(Figuras 40 y 41)

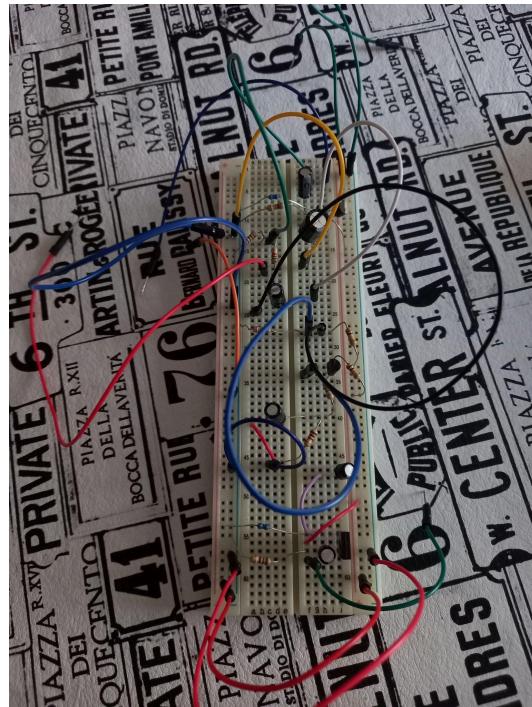


Figura 40: Gráfico Topológico desde arriba

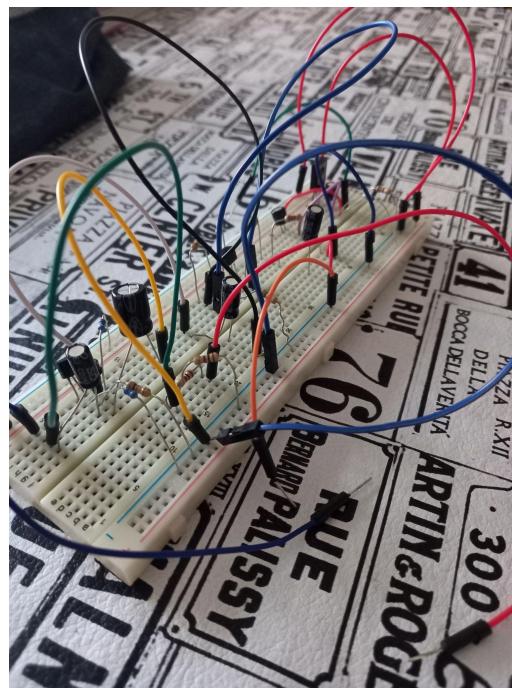


Figura 41: Gráfico Topológico desde el costado

4. Conclusiones

Respecto a los resultados obtenidos y las comparaciones entre simulado y medido consideramos que se debería mejorar la búsqueda de Datasheets confiables para crear los componentes que el software que usamos no tiene (Multisim), dado que esto nos trajo muchos problemas de simulación (Dificultad con el *Spice Model* del componente) ya que los valores de polarización de la simulación puede diferir considerablemente del circuito físico si no se elige un *Spice Model* similar a las características del transistor físico utilizado (Diferencia notable entre el modelo PSpice y el real). También es importante tener en cuenta para próximos trabajos la posibilidad de bajar aún más la impedancia de salida dado que hubo que intercambiar este valor por mayor ganancia y menor recorte de señal, todo con tal de cumplir con estos requisitos.

El circuito en su totalidad cumple con la funcionalidad a excepción de la impedancia de salida. Algo bueno a recalcar es que la diferencia en términos de ganancia con el circuito físico nos terminó afectando para bien, dado que mejoró este valor en gran medida. Otro tema importante a destacar es que se utilizó un divisor resistivo en la entrada para mejorar la visualización de la señal de 10 mV, lo cual ayudó en gran medida a realizar la medición correspondiente de ganancia, ya que por limitaciones del instrumento (Generador de señales) al colocar la amplitud de la señal en -40dB para obtener los 10mV se obtenía una gran cantidad de ruido ya que el conjunto de instrumentos al utilizarse de por sí puede tener un ruido de 12 mV interfiriendo con nuestra señal de interés .

5. Bibliografías y Datasheets

- 2N5457 -
<https://www.alldatasheet.com/datasheet-pdf/view/50039/FAIRCHILD/2N5457.html>
- BD139 -
<https://www.alldatasheet.com/datasheet-pdf/view/351702/ONSEMI/BD139.html>
- BC547 -
<https://www.alldatasheet.com/datasheet-pdf/view/11551/ONSEMI/BC547.html>
- Material escrito en carpeta de cursada de clases.
- How to Calculate the Power Spectral Density (PSD) for vibration analysis - Steve Hanly -
<https://blog.endaq.com/calculate-power-spectral-density-using-the-endaq-open-source-python-library>