



UNIVERSIDAD NACIONAL DE CÓRDOBA
FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES
CATEDRA DE ELECTRÓNICA DIGITAL I

TRABAJO PRÁCTICO N.º 4

“CONVERSIÓN Y ALMACENAMIENTO”

Grupo N.º 13

Alumnos:
Gallone, Francesco

Alfici, Facundo

.....

NOTA:

Profesor:
Ing. Vrech, Ruben

Comisión: Viernes 11:15 a 14:15

Marzo 2024

Consigna

Diseñar en protoboard un Sistema de Conversión Analógico a Digital (ADC), banco de memoria RAM y conversor Digital a Analógico (DAC). Que funcione de la siguiente manera:

1- Se tomará una señal analógica con una frecuencia mínima de 2 Khz. Esta señal será acondicionada para ser digitalizada por un conversor ADC. A la salida del ADC habrá un banco de 8 leds para testear el valor de conversión.

2- Los valores digitalizados se almacenarán en un banco de memoria de 8 bits, con la capacidad de al menos 2 segundos de información digitalizada. Por este motivo se colocará un pulsador para el inicio de conversión y cuando se haya completado de escribir todas las memorias, finalizará automáticamente dicha conversión.

3- Un circuito DAC tipo R-2R va a convertir los valores digitales a analógico nuevamente (0-5V). Cuando el ADC esté funcionando y también con la posibilidad de leer las memorias RAM en forma cíclicas, así recuperando la señal almacenada en ellas

Se pide cálculos y circuitos:

- diagrama circuital completo
- la organización del banco de memorias
- frecuencia de muestreo
- frecuencia del clock del conversor
- frecuencia del clock del contador de direcciones de memoria y módulo del mismo

- cantidad de datos a almacenar
- frecuencia del circuito de selección de entradas del multiplexor
- frecuencia del pulso de Start of Conversion

Desarrollo

1. Diseño del Circuito

Empezando con el diseño del circuito, nos dimos una idea respecto de lo visto en clase y lo rendido en el examen parcial 2. Lo primero que se hizo fue calcular las frecuencias respectivas de muestreo y del clock del ADC. Para ello se partió del Teorema de Muestreo de Nyquist-Shannon, que dice que la frecuencia de muestreo debe ser el doble de la frecuencia mayor de las señales. Para en este caso, solo tenemos 1 señal. Para el clock de nuestro conversor, se utilizó un LM555 en configuración astable, el cual tiene el siguiente diagrama. (Figura 1) [1]

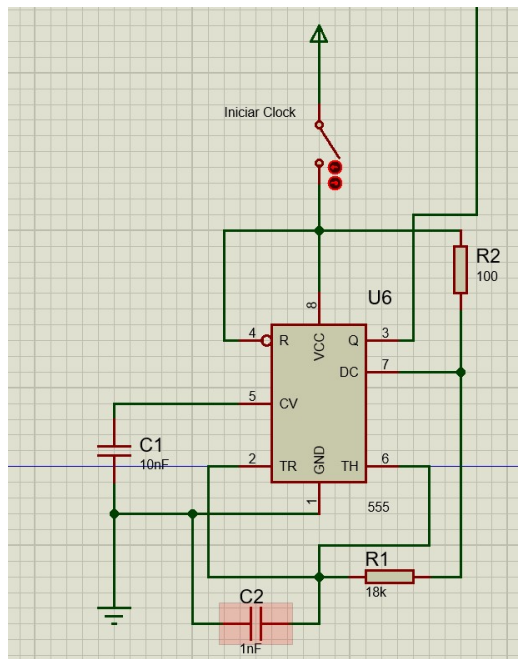


Figura 1: LM555 astable

Siguiendo con esto, se pudo empezar a realizar la parte de cálculos que se demostrará en la siguiente etapa. Lo importante de esto es que permite analizar que memorias utilizar según la cantidad de muestras tomadas por el ADC.

Otro apartado importante de mencionar es que se agregó un Switch que controla si la memoria escribe o lee. Entonces cada vez que se encuentre cerrado, se consigue un 1 en el Output Enable del ADC y un 0 en el Write Enable de la memoria, lo cual lleva al modo escritura, pero si está abierto, aparece un 0 en el OE y un 1 en WE, lo que determina el modo lectura.

Finalizando la etapa, se utilizó un DAC R-2R como indica en la consigna, a la salida de la memoria, para volver a convertir la señal digital en una analógica, teniendo así la salida deseada en forma de tensión. (Figura 2)

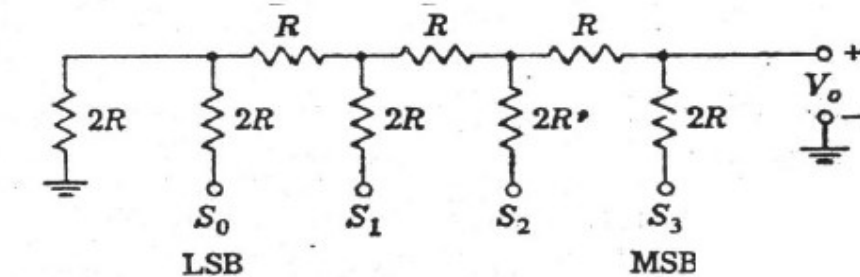


Figura 2: Construcción DAC R-2R

2. Elección de Componentes

Para este módulo, se empieza tomando un ADC, que en este caso será el ADC0808, el cual es un Conversor Analógico Digital de Aproximaciones Sucesivas. A partir de esto, se utilizó la fórmula respectiva para calcular el clock necesario y se colocó el conversor a funcionar en free running, convirtiendo de manera continua, ya que una vez que termina una conversión pasa a la siguiente de manera automática. Para ello es necesario conectar el End of Conversion (EOC) al Start of Conversion (SOC).

También se agregó un botón que envía un pulso al SOC para iniciar la reacción en cadena que inicia la conversión. Para la salida del ADC se conectaron 8 Leds con un transistor en cada uno para aumentar la corriente que le llega a cada uno. Para ello usamos el transistor BC548 configurado con una resistencia de colector y una de base, la finalidad de estos leds es indicar la salida digital del conversor.

Finalmente, para la organización de las memorias, utilizamos 2 contadores CD4040 para lograr un contador de 15 bits, pues nuestra memoria sería una de 32Kx8 de modelo UT62256, para tener un buen margen de almacenamiento. Se conectó el reset del contador en el máximo de muestras que se pide en la consigna debido a que es necesario que la memoria deje de almacenar cuando se termine la conversión de 2 segundos. Por ello, el contador se reseteará en el número 8192, que en binario sería 10000000000000 (Cada vez que el bit 14 del contador sea 1). Con esto, pasamos al apartado de cálculos.

Cálculos

Empezando con los cálculos, se tiene como inicio los valores de frecuencia necesarios, ordenándolos en un listado.

- Frecuencia de Muestreo:

$$f_{s-h} = 2 * f_{max} = 2 * 2kHz = 4kHz$$

- Frecuencia del Clock:

$$f_{CLK} = (n + 2) * f_{s-h} = 10 * 4kHz = 40kHz$$

Siendo n la cantidad de Bits del ADC, que es igual a 8.

- Número de Muestras:

Para T=2s, se tiene:

$$n^{\circ} \text{ muestras} = 2 * 4096 \frac{\text{muestras}}{\text{segundo}} = 8192 \text{ muestras}$$

- Número de Cuantificación y Resolución (Tensión de Cuantificación):

$$2^n = 2^8 = 256 \text{ } n^{\circ} \text{ cuantificación}$$

Como $\Delta V=5v$, se tiene que la resolución será:

$$\text{Resolución} = \frac{5V}{256} = 19,53mV$$

- Bus de Direcciones:

Para la memoria, se necesita que $2^n=32k$, por ello $n=15$ y el bus de direcciones es igual a 15.

- Valores del 555:

Tomando como valores iniciales, un $R1=1,2k=R2$, para un clock con una frecuencia de 40kHz, se necesita:

$$f = \frac{1}{T} \rightarrow T = 25\mu\text{Seg}$$

Luego, sabiendo que $T=t_{alto}+t_{bajo}=25\mu\text{Seg}$ tenemos que:

$$T = \ln(2) * (2 * R2 + R1 * C)$$

$$C = \frac{25 \times 10^{-6} \text{seg}}{\ln(2) * (2 * R2 + R1)} = 10nF$$

Para los cálculos de los valores de las resistencias de los transistores se remite a lo ya hecho en trabajos prácticos anteriores, siendo los valores a tomar como $R_b=10k\Omega$ y $R_c=220\Omega$.

Diagramas Circuitales

Para los Diagramas Circuitales, se utilizó Proteus y como el circuito no cabe en la pantalla, se dividirá en tres imágenes. (Figura 3, 4 y 5)

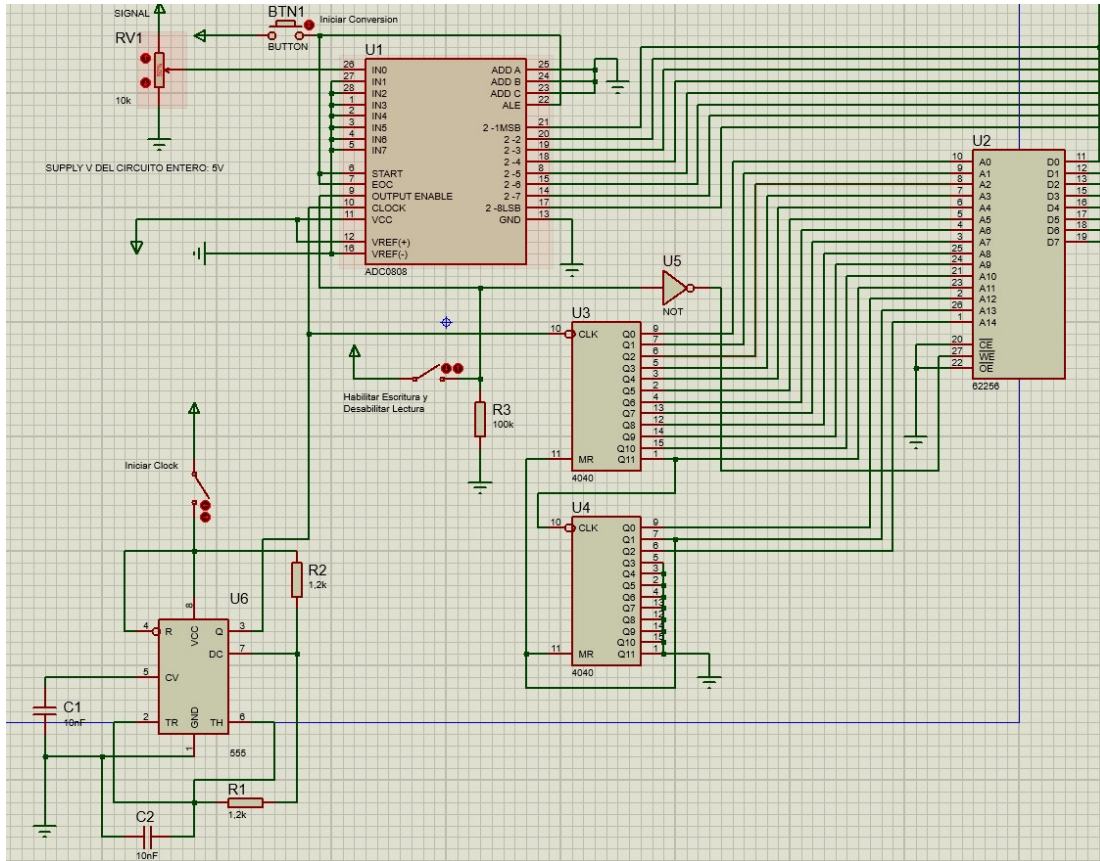


Figura 3: Diagrama Circuital en proteus. (Etapa ADC y memoria)

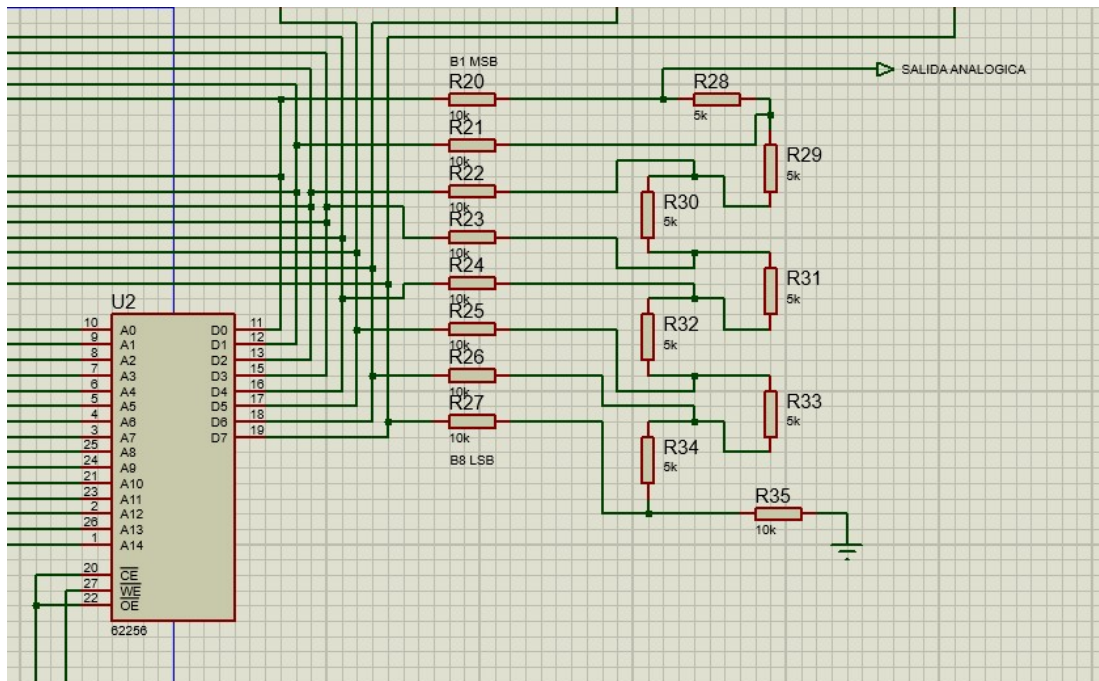


Figura 4: Conversor DAC R-2R

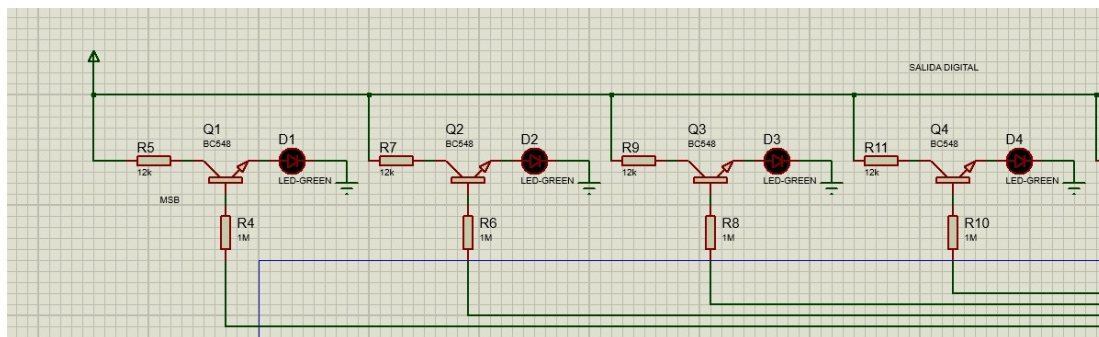


Figura 5: Salida Digital

Es importante mencionar que la salida digital se mostrará solamente en una parte, debido a que es el mismo sistema repetido varias veces y colocar solo un par de muestras facilita el análisis del circuito.

Materiales

Como materiales, se confeccionó la siguiente lista de los mismos, partiendo desde cero.

- 8 Leds del mismo color
- 2 Switches

- 1 Botón

Resistencias:

- 17 de 10k
- 8 de 220
- 7 de 5k
- 1 de 100k
- 2 de 1,2k
- 1 potenciómetro de 10k

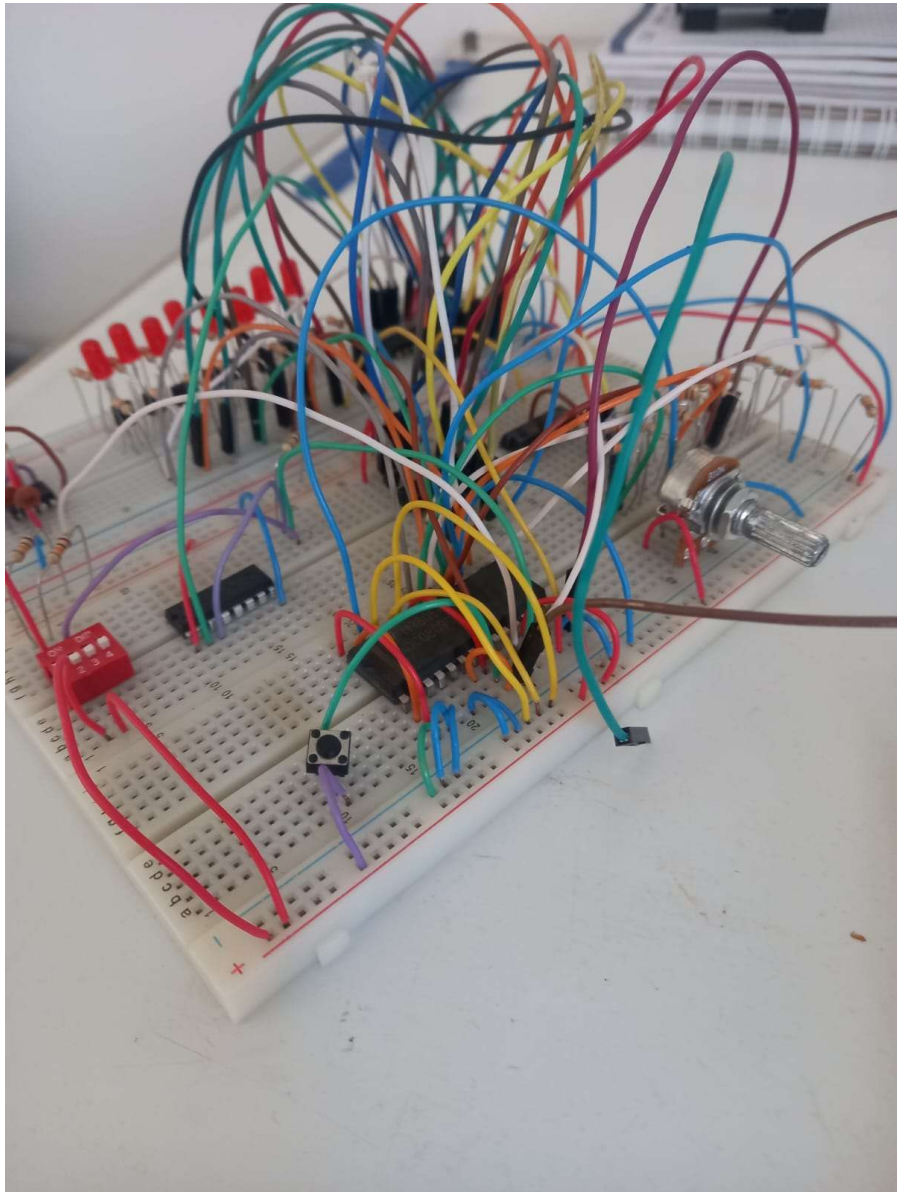
Capacitores:

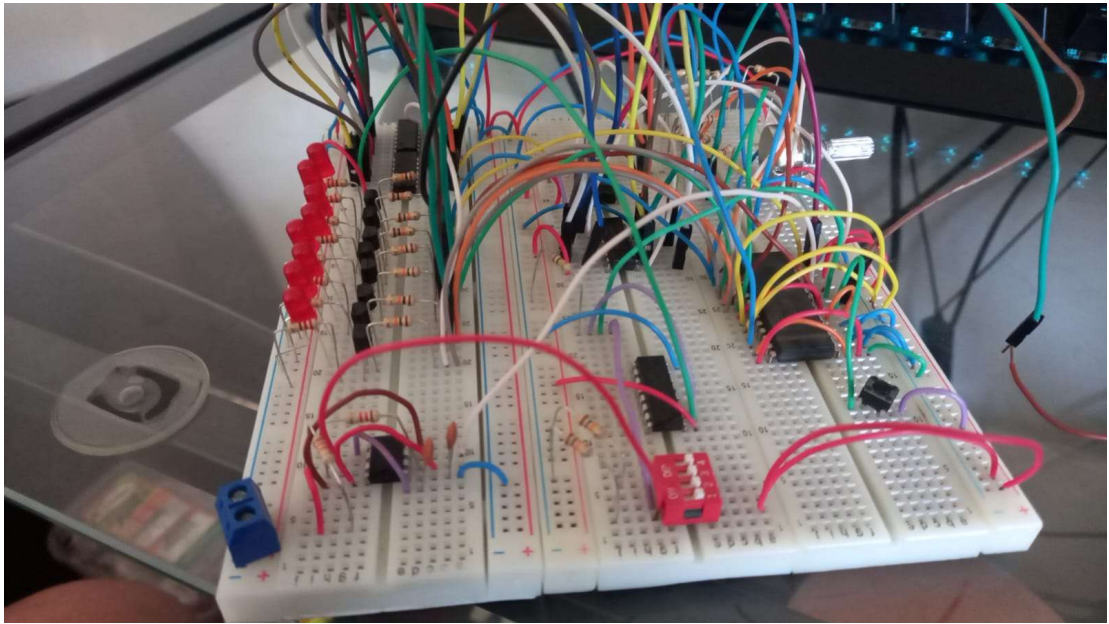
- 2 de 10nF

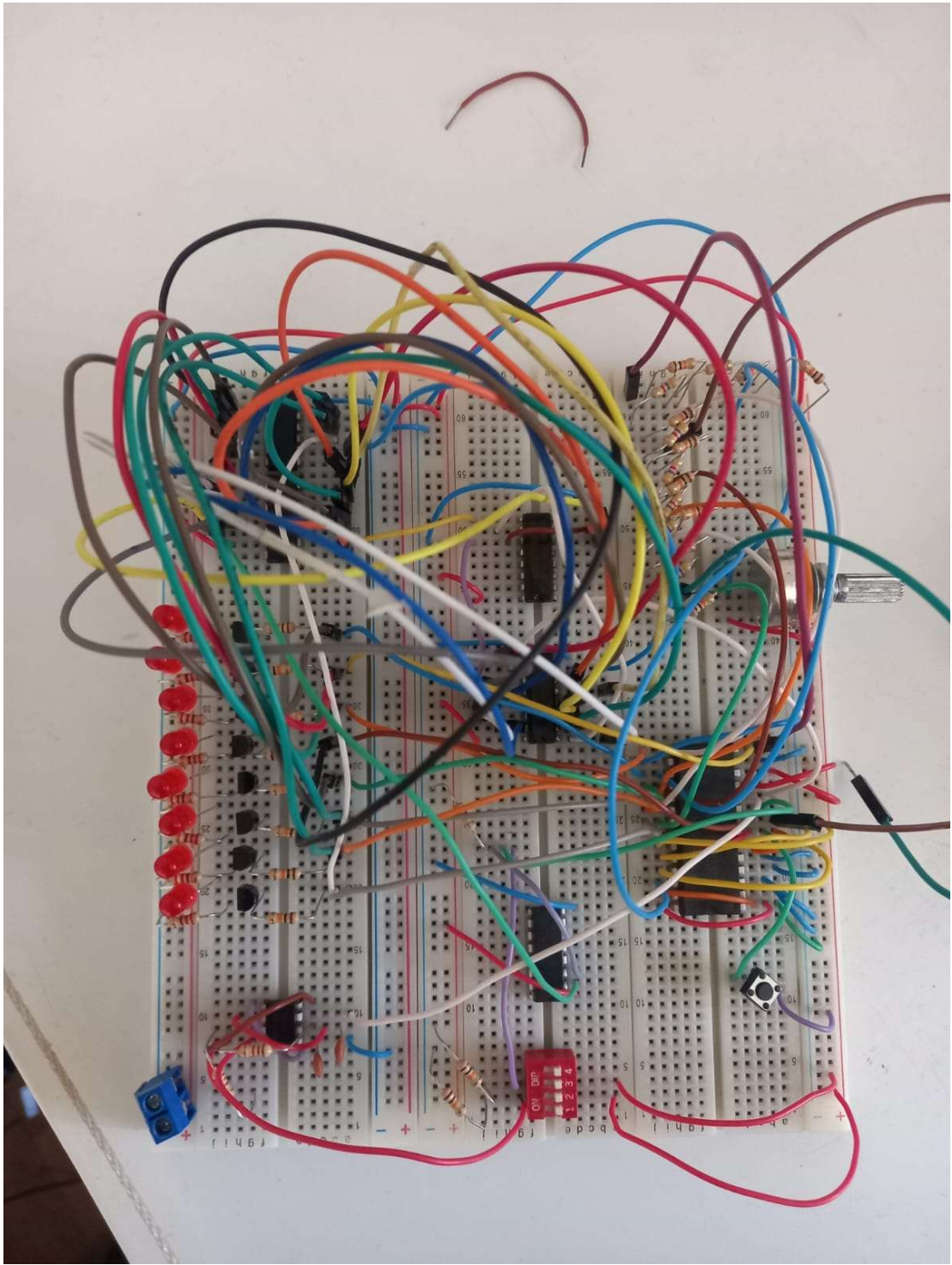
Integrados y Transistores:

- 1 CD4049
- 1 LM555
- 1 ADC0808
- 1 UT62256 32k x 8 bits
- 8 BC548
- 2 CD4040BEE4

Gráficos Topológicos







Conclusiones

Consideramos este trabajo muy útil para poder manejar conceptos básicos para la continuación de la carrera, y habiendo utilizado todo lo visto en clase y exámenes, entendemos que este trabajo concluye la etapa de progresión inicial respecto a todo lo digital dentro de la electrónica. Se tuvieron varios problemas en el desarrollo del mismo, pero en base a horas de prueba y análisis de nuestra situación llegamos a la conclusión esperada.

Bibliografía y referencias

- [1] 555 astable - El 555 como astable – https://angelmicelti.github.io/4ESO/EAN/el_555_como_astable.html
- Alldatasheet – Datasheet de los componentes - <https://www.alldatasheet.com/>

Hojas de Datos

- <https://pdf1.alldatasheet.com/datasheet-pdf/view/155397/TI/ADC0808.html>
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/11552/ONSEMI/BC548.html>
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/546114/TI/CD4040.html>
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/53587/FAIRCHILD/LM555.html>
- <https://pdf1.alldatasheet.com/datasheet-pdf/view/77313/ETC/UT62256.html>