

**Київський національний університет імені Тараса Шевченка
факультет радіофізики, електроніки та комп'ютерних систем**

Лабораторна робота №5

Тема: Перехідні процеси в цифрових схемах. Перегони.

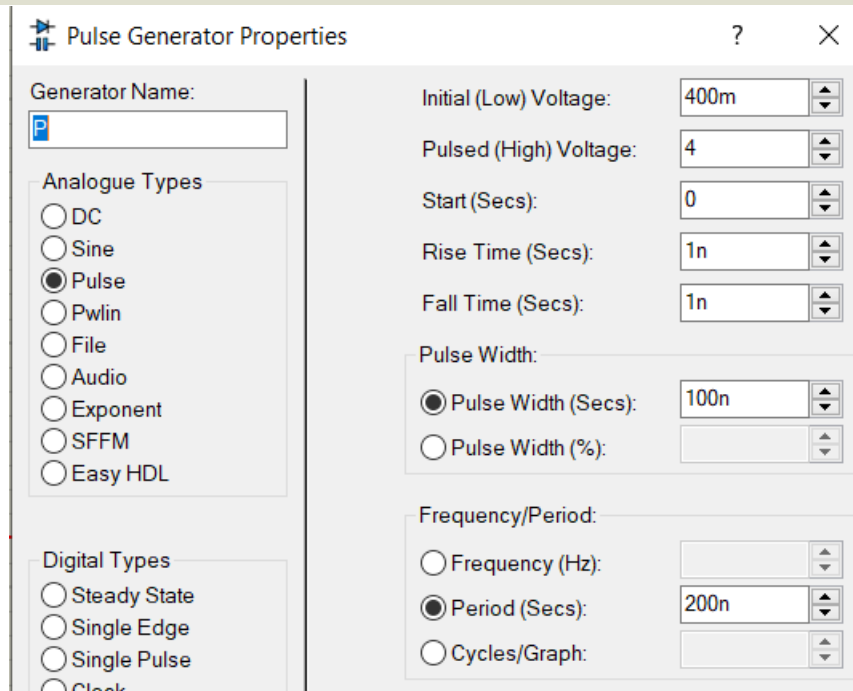
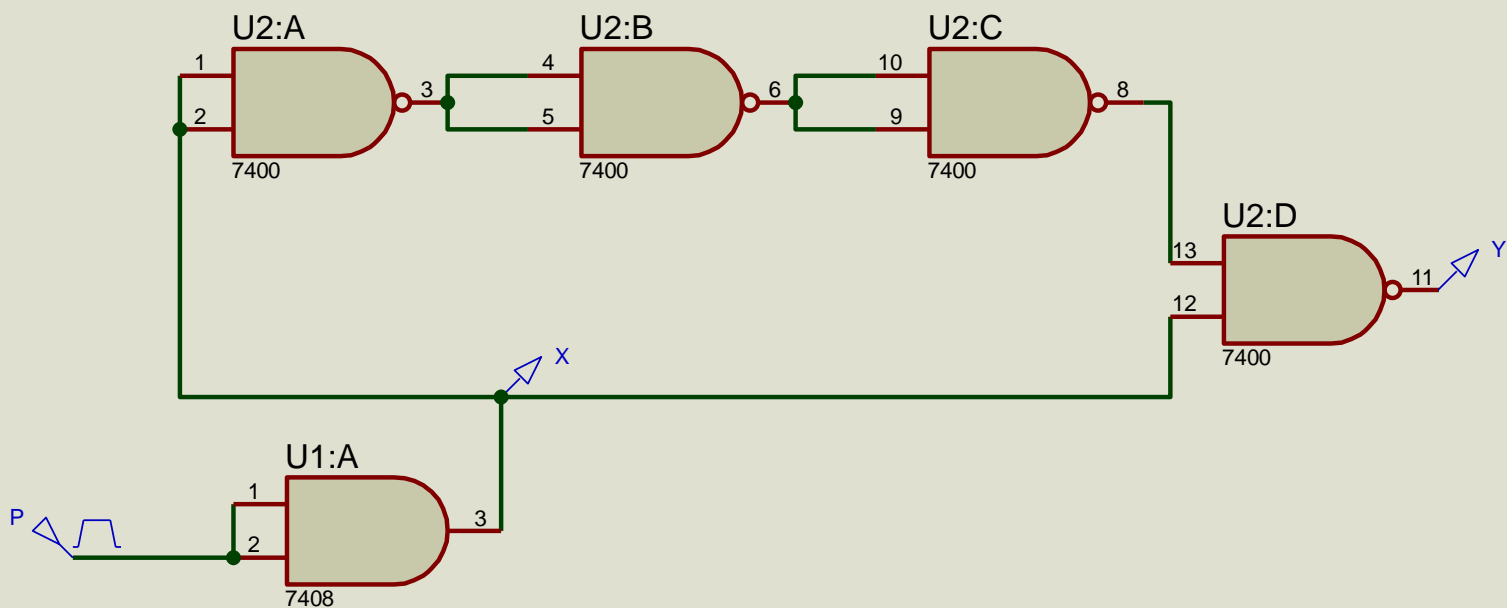
Роботу виконав
студент 3 курсу
мережевий адміністратор
Цибульський Роман
Олександрович

Київ 2023

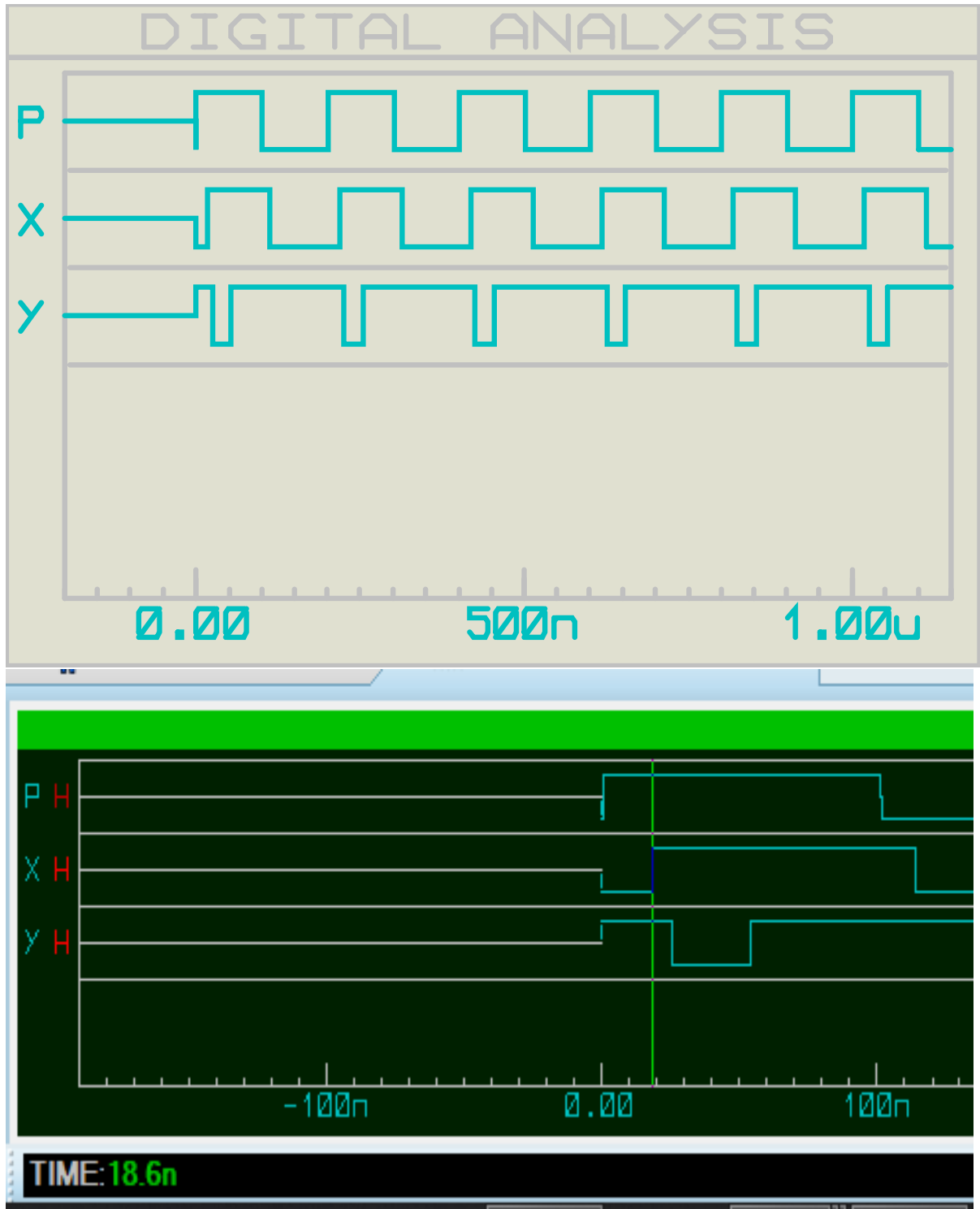
Мета роботи: Розглянути перехідні процеси в цифрових схемах

Лабораторне завдання

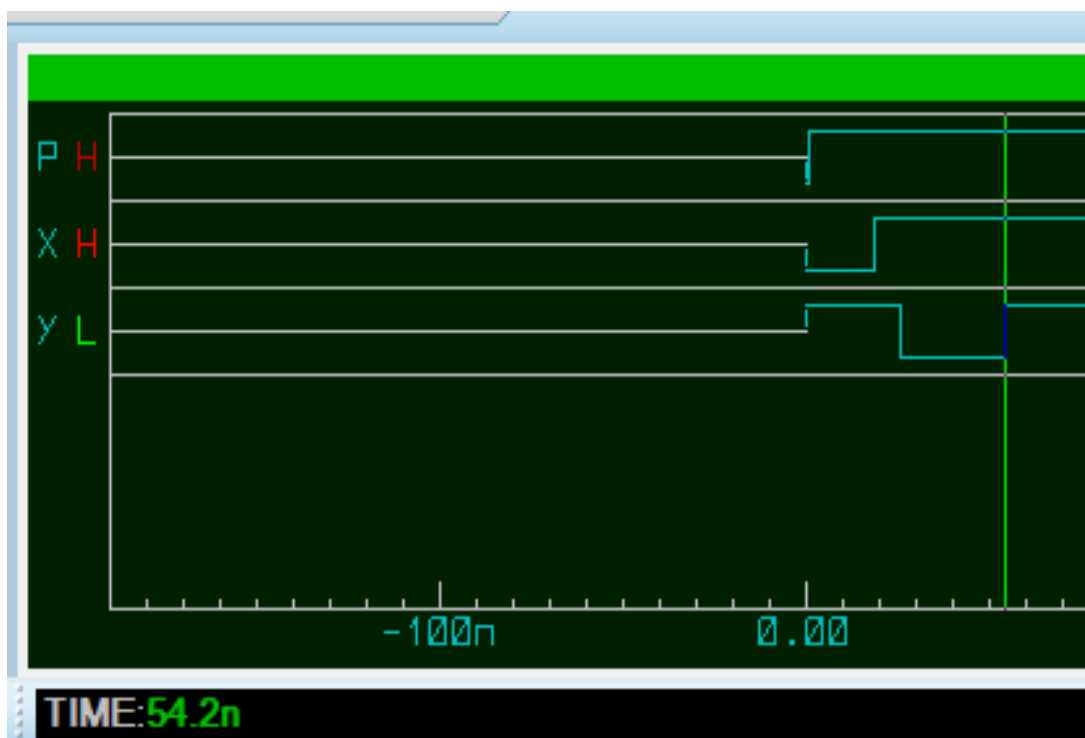
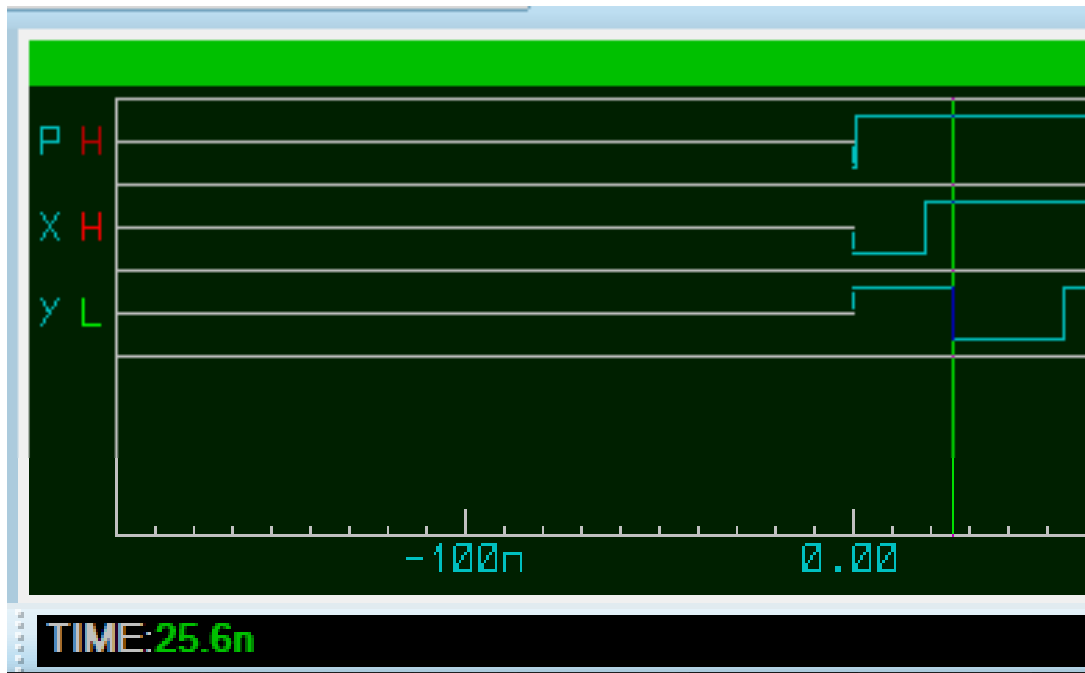
1. Введіть у Proteus схему формувача імпульсів із затримкою на логічних елементах. (рис. 5.1). Вважайте, що амплітуда вхідного імпульсу 4 В, тривалість цього імпульсу 100 нс, його період 200 нс. Тривалості фронту і спаду імпульсу задайте по 1 нс. Затримка першого фронту може бути нульовою.



2. Задайте завдання на моделювання перехідного процесу. Виведіть цифрові епюри для входних імпульсів X та вихідних Y та поясніть їх.



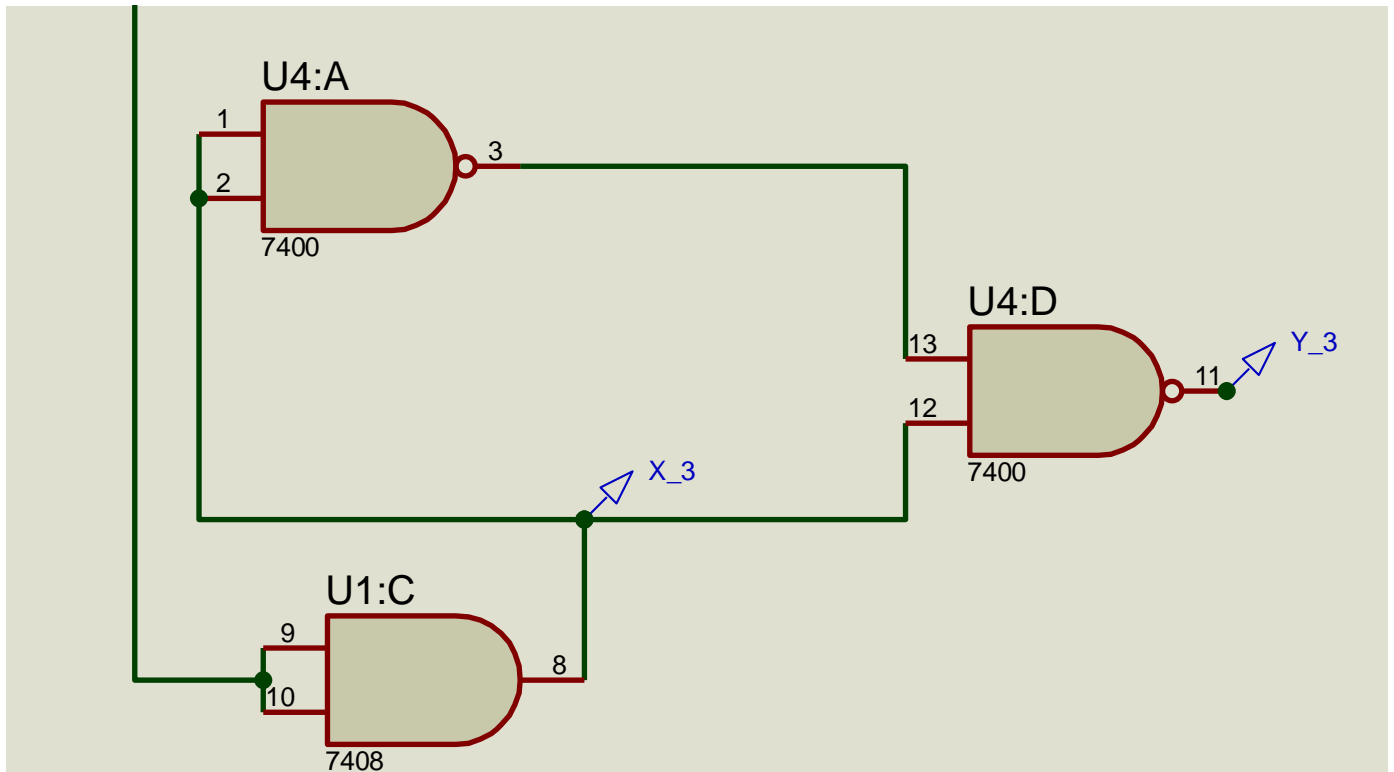
На першому графіку можемо побачити як впливає затримка при проходженні логічного елемента AND на вихідний сигнал X. Сигнал на графіку зсувається на час реагування елемента.



Аналогічно до першого вихідного сигналу бачимо результат проходження сигналу через фінальний елемент NAND після часу реагування. Також бачимо наступну зміну стану UD:2 в моменті часу 54.2ns після проходження сигналу по верхньому шляху і як наслідок формується імпульс довжиною в суму затримок на верхньому шляху.

$$T = 54.2 - 25.6 = 28.6\text{ ns}$$

3. Повторіть п.2 для випадків одного та п'яти логічних елементів у колі затримки. Поясніть зміни у тривалості вихідного імпульсу. Визначте середню затримку на одному логічному елементі.

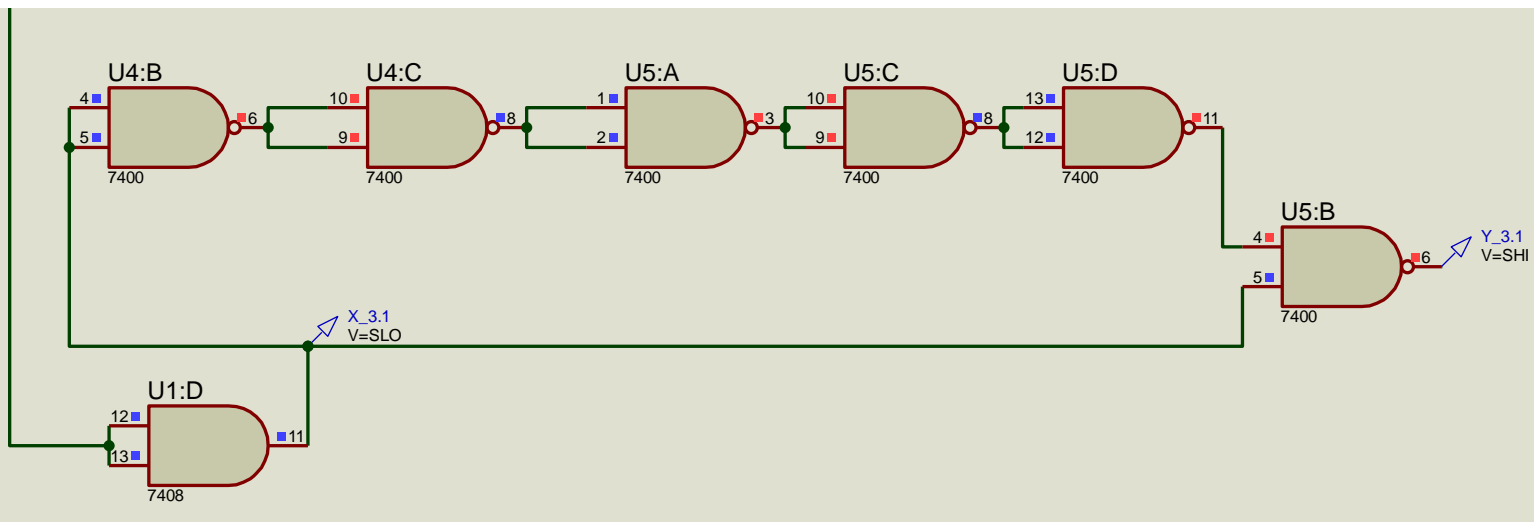


Для одного елемента

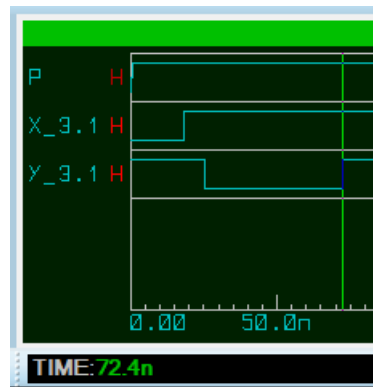
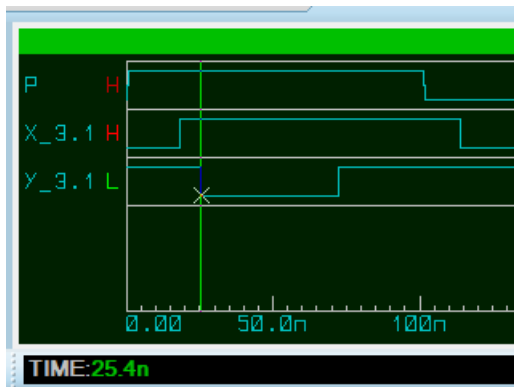


Довжина імпульсу

$$T = 36.5 - 25.2 = 11.3 \text{ (ns)}$$



Для 5 елементів

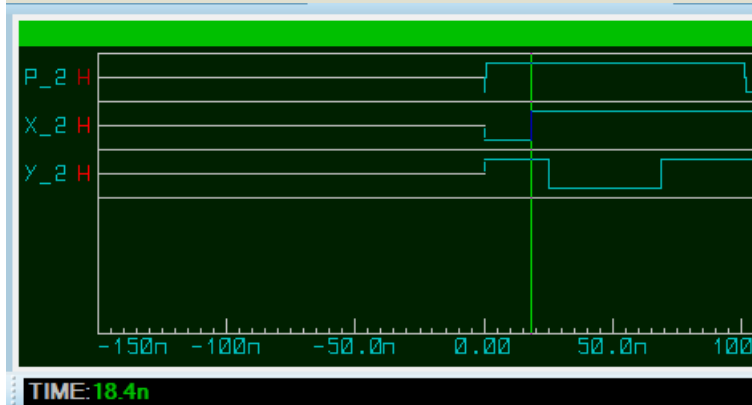
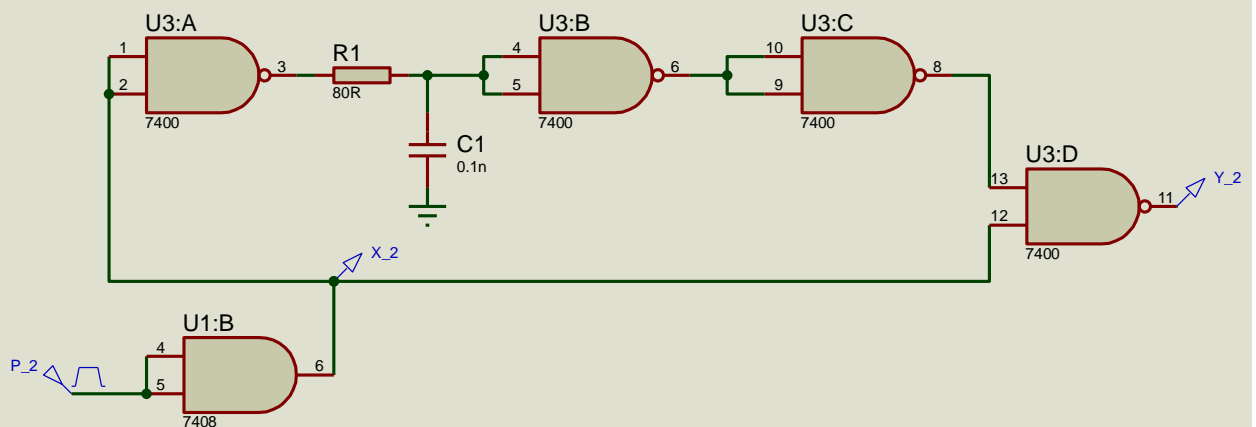
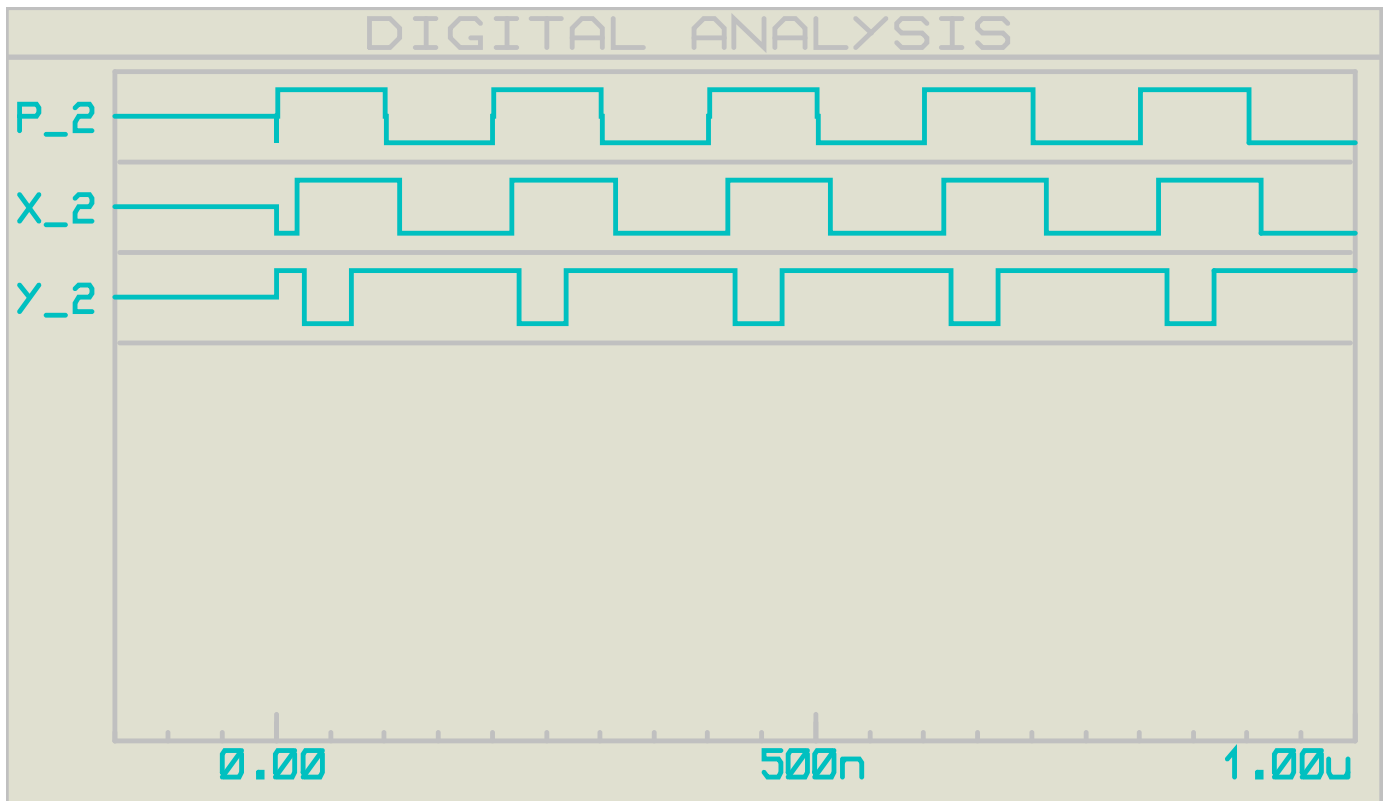


Довжина імпульсу

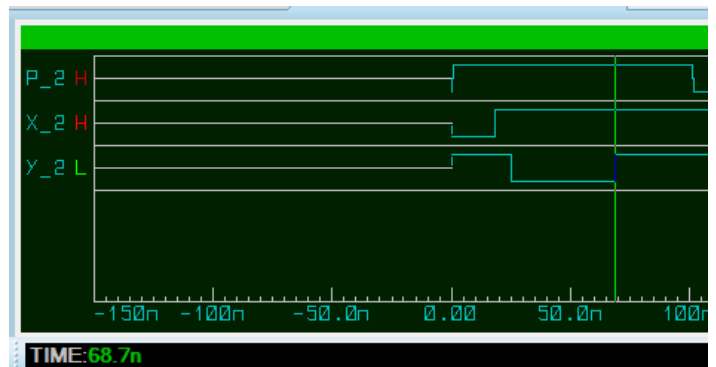
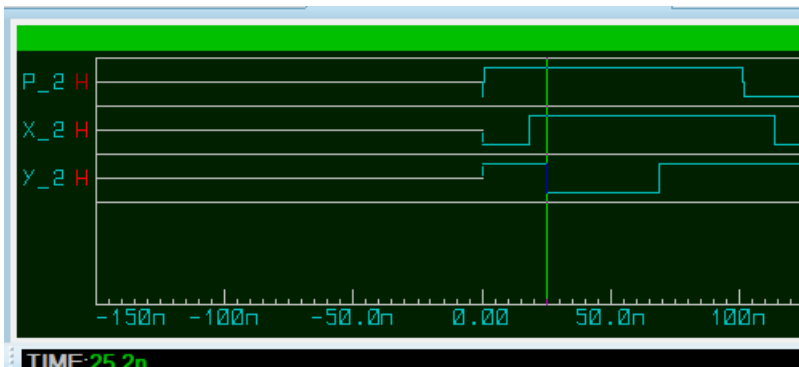
$$T = 72.4 - 25.4 = 47 \text{ (ns)}$$

Для кожного випадку довжина імпульсу вираховується як сума затримок елементу Nand. Враховуючи це вирахуємо середнє значення затримки на елементі Nand(7400) $47 / 6 = 7,83 \text{ ns}$

4. Введіть у Proteus схему формувача імпульсів із затримуючим RC-колом. (рис. 5.2). Повторіть моделювання за параметрів вхідних імпульсів з п.1. Виведіть та поясніть епюри для X та Y. Визначте тривалість вихідних імпульсів.



Для виходу X_2 значення на графіку аналогічні значенням для схеми без інтегруючої RC-комірки. Сигнал повторює вхідний через час реагування елемента AND.



Для виходу Y_2 значення реагування на імпульс відбувається після реагування останнього логічного елемента NAND. Довжина імпульсу рівна сумі затримок на елементах верхнього шляху і реагування останнього логічного елемента NAND а також затримці яку створює інтегруюча RC-комірки.

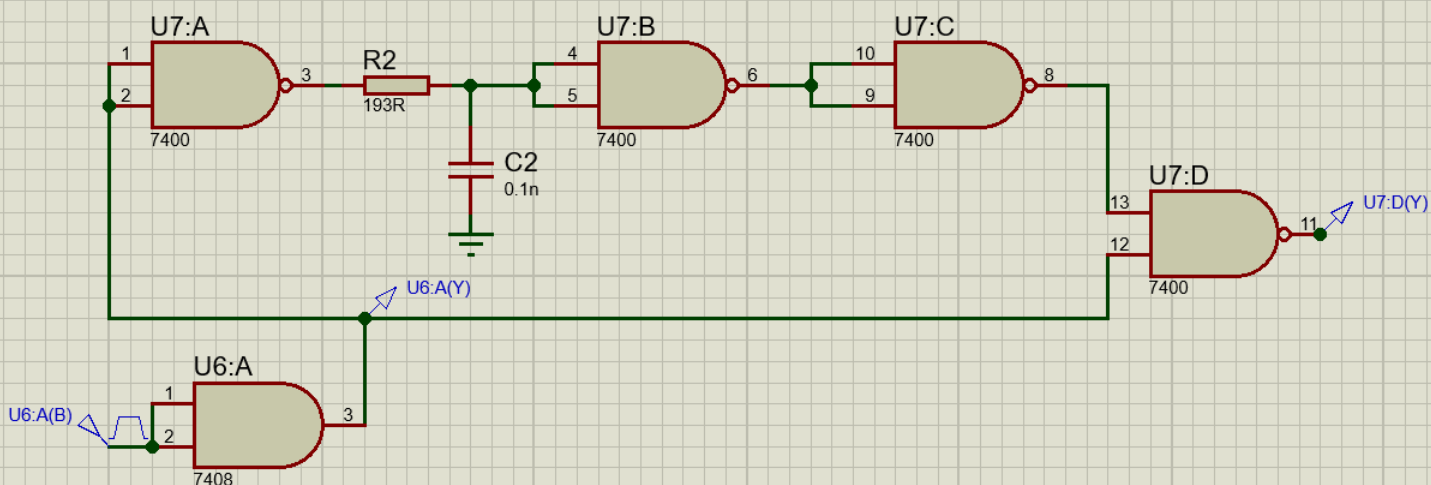
Тривалість вихідних імпульсів

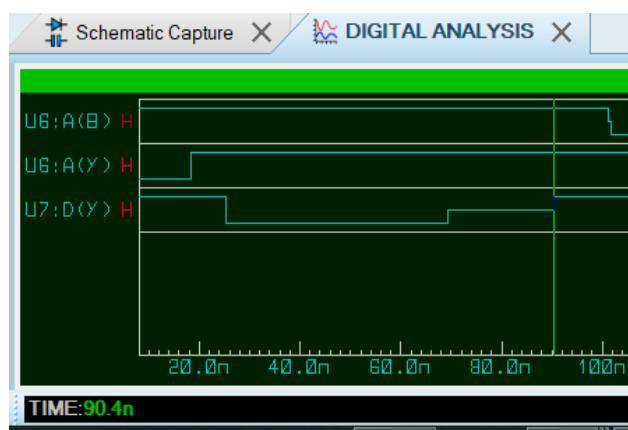
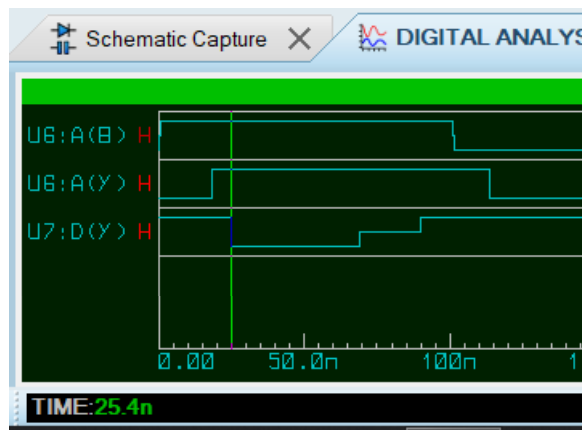
$$T = 68.7 - 25.2 = 43.5(\text{ns})$$

5. Змінюючи значення R та C змініть тривалість імпульсу до значення згідно свого варіанту.

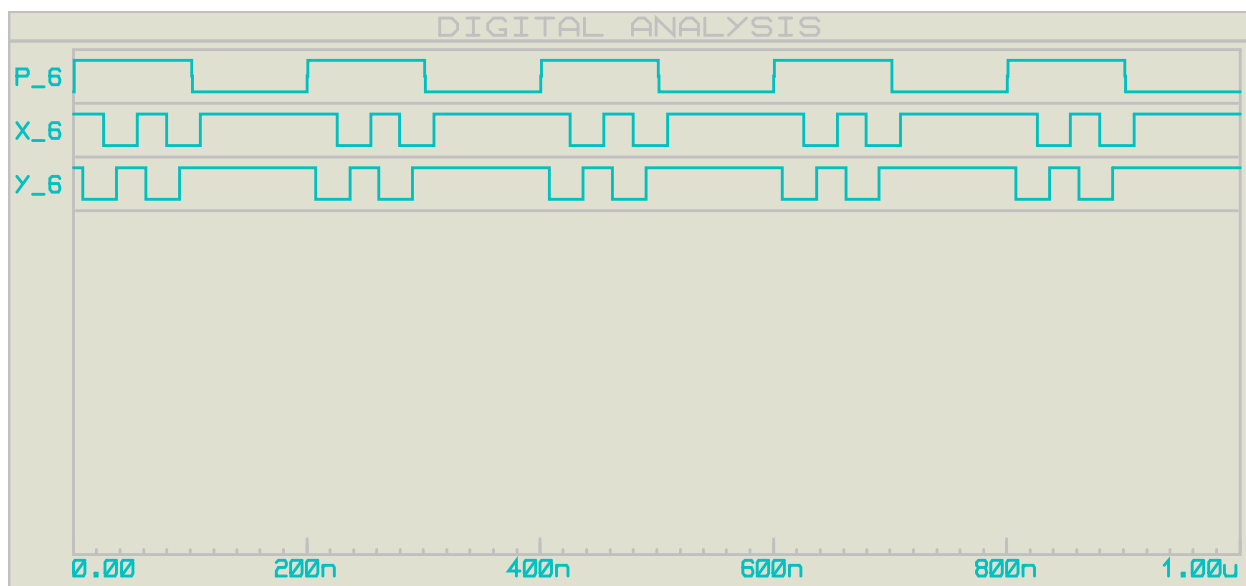
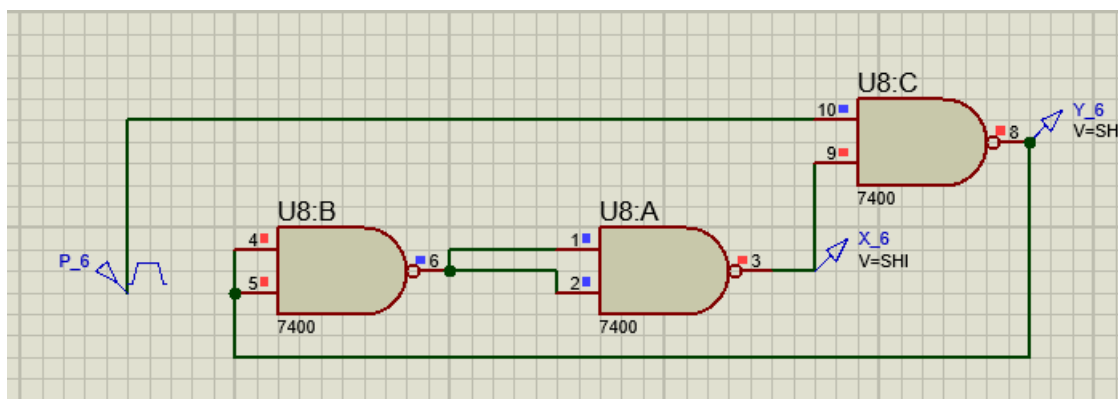
Номер варіанту 6248 = 1 1000 0110 1000, 00 0110 1000 за умовою

H4	H5	H6	Тривалість імпульсу
1	0	1	65ns





6. Введіть у Proteus схему генератора серії імпульсів (рис.5.3). Для параметрів вхідного джерела з п.1 проведіть моделювання. Виведіть та поясніть епюри вхідної напруги V(1) та вихідного сигналу Y.



При встановленні одиниці на джерелі на виході можна побачити створення імпульсів: після реагування останнього логічного елемента та проходження по нижньому шляху першого імпульсу(3 затримки NAND) та другого імпульсу після повторного проходження нижнього шляху. Далі вихідне значення не змінюється, тому зміниться значення на джерелі.

7. Збільшить у 3 рази тривалість і період вхідних імпульсів і повторіть моделювання.

Pulse Generator Properties

Generator Name:

Analogue Types

☐ DC
☐ Sine
☒ Pulse
☐ Pwlin
☐ File
☐ Audio
☐ Exponent
☐ SFFM
☐ Easy HDL

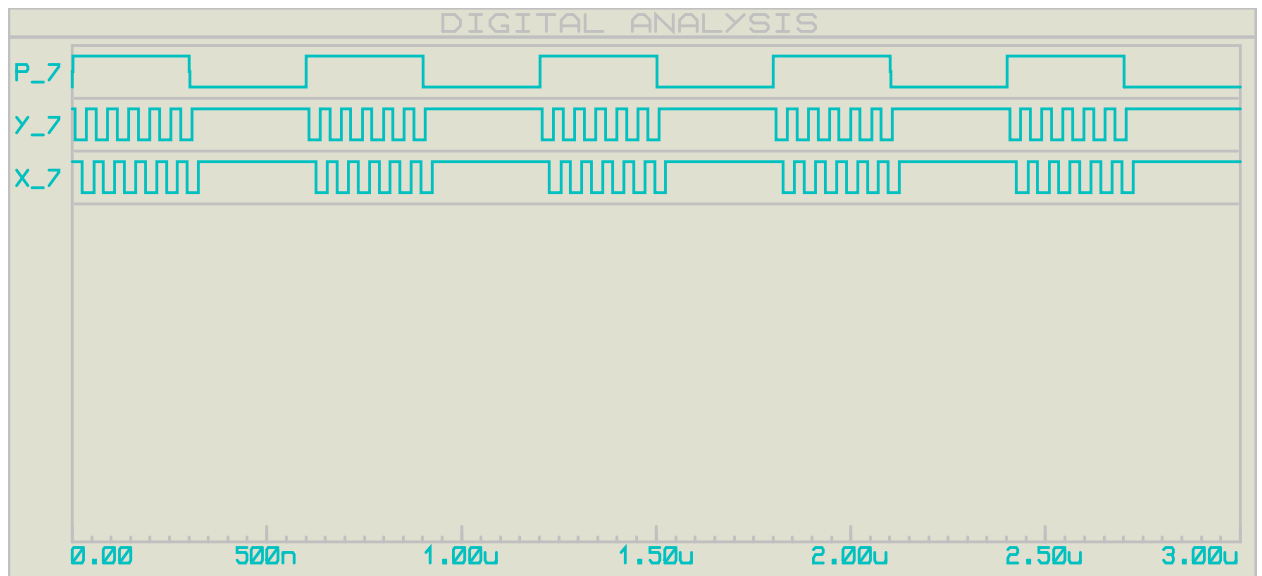
Digital Types

☐ Steady State
☐ Single Edge
☐ Single Pulse
☐ Clock
☐ Pattern
☐ Easy HDL

☐ Current Source?
☐ Isolate Before?
☐ Manual Edits?
☒ Hide Properties?

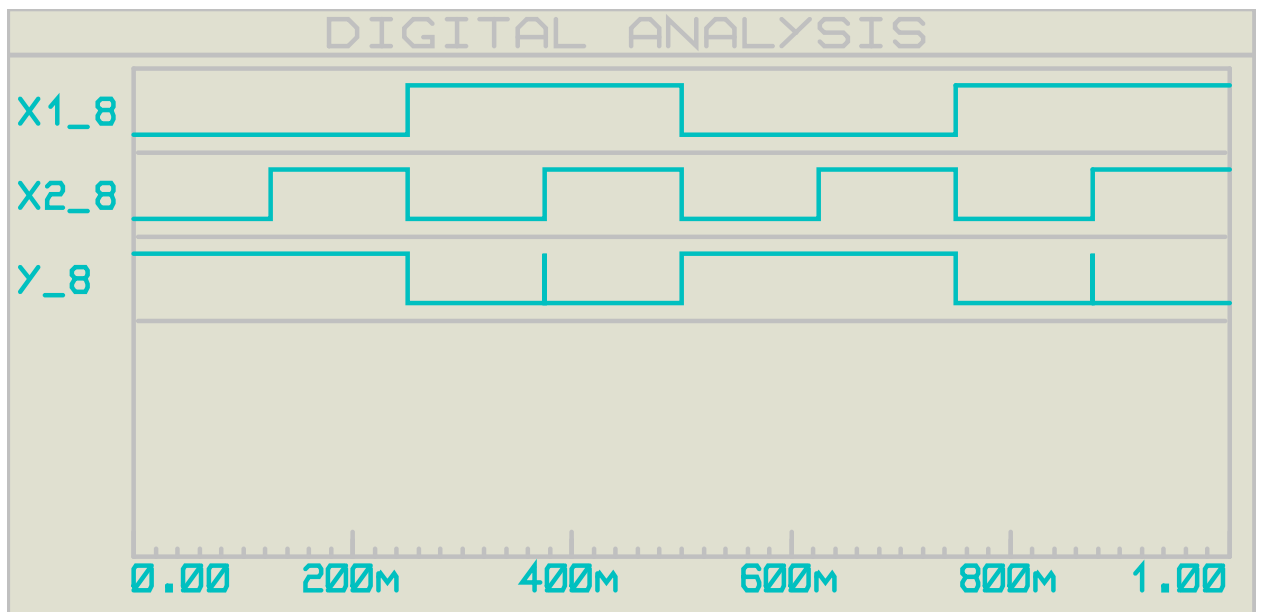
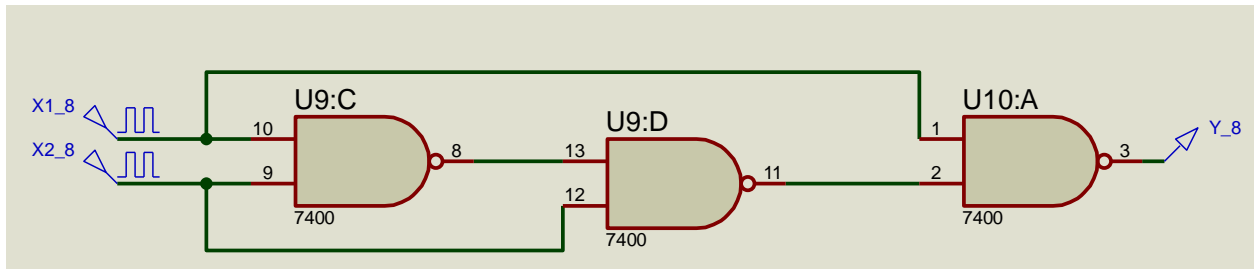
Initial (Low) Voltage:
 Pulsed (High) Voltage:
 Start (Secs):
 Rise Time (Secs):
 Fall Time (Secs):
 Pulse Width:
☒ Pulse Width (Secs):
☐ Pulse Width (%):
 Frequency/Period:
☐ Frequency (Hz):
☒ Period (Secs):
☐ Cycles/Graph:

OK Cancel



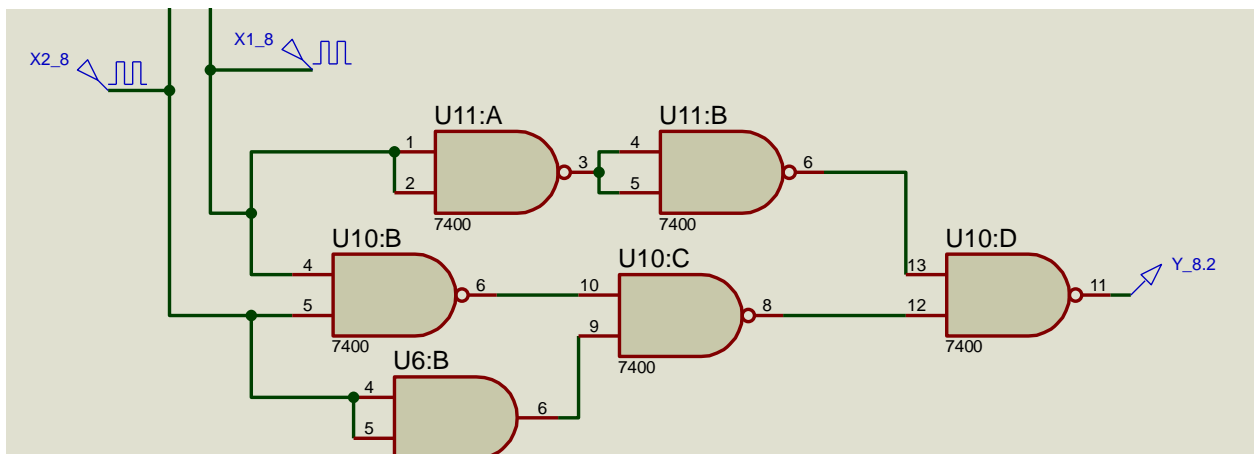
В такому випадку за час рівний ширині вхідного імпульсу вміщається створення шести вихідних імпульсів

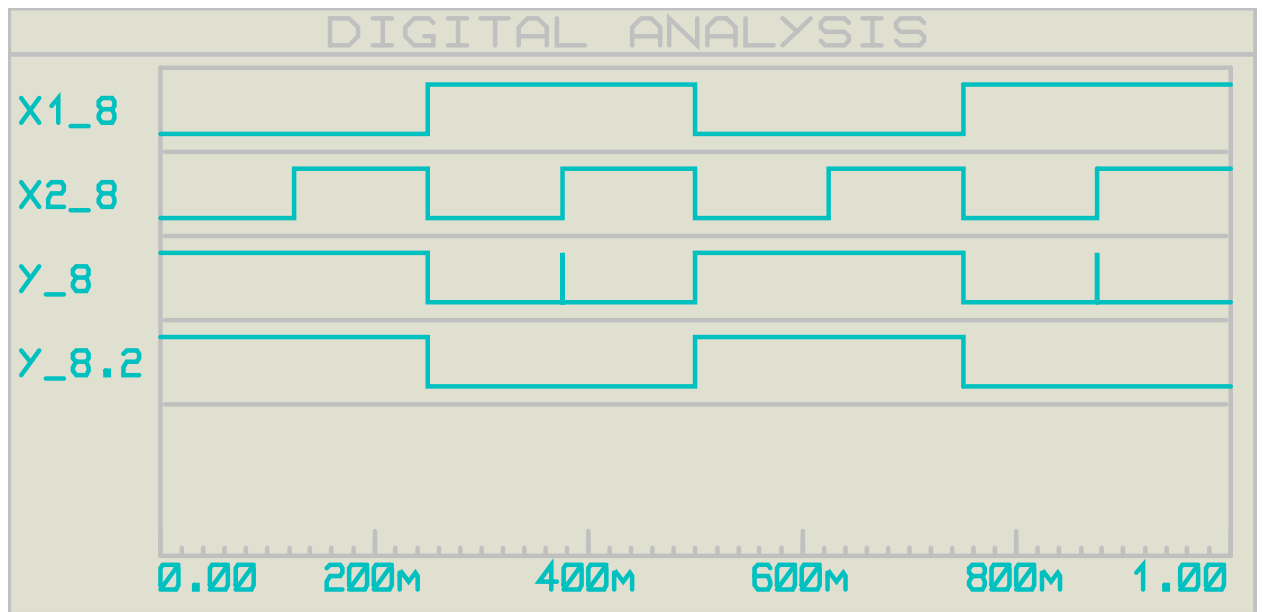
8. Зберіть схему, що зображена на рис. 5.4. Побудуйте часові залежності роботи даної схеми. Поясніть причини неправильної роботи даної схеми. Запропонуйте модифікацію даної схеми, з метою уникнення проблем, що має дана схема.



Як бачимо, виникають перегони.

Для правильної роботи схеми було додано елементи, щоб шлях сигналів був однаковим:



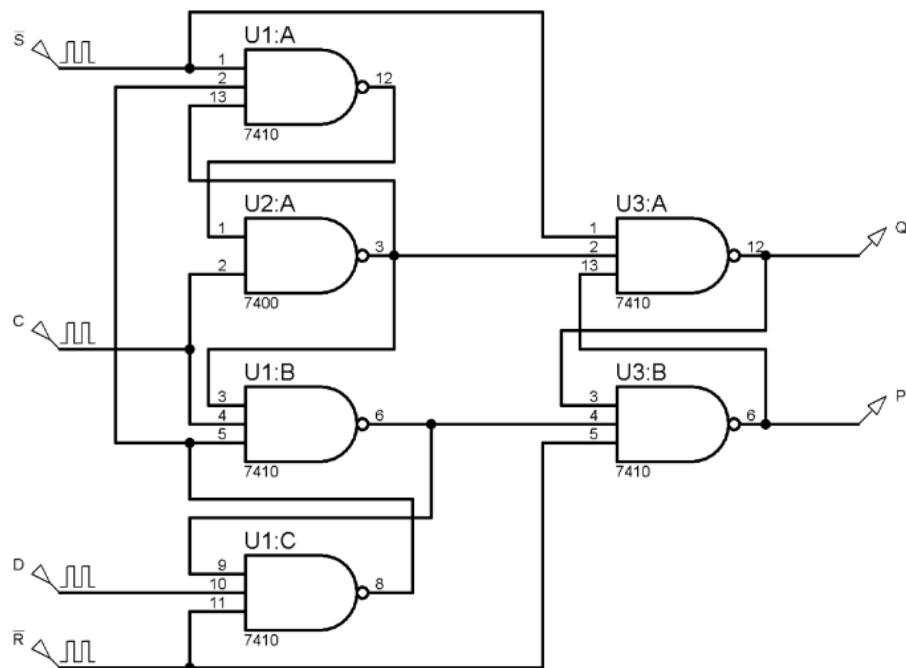


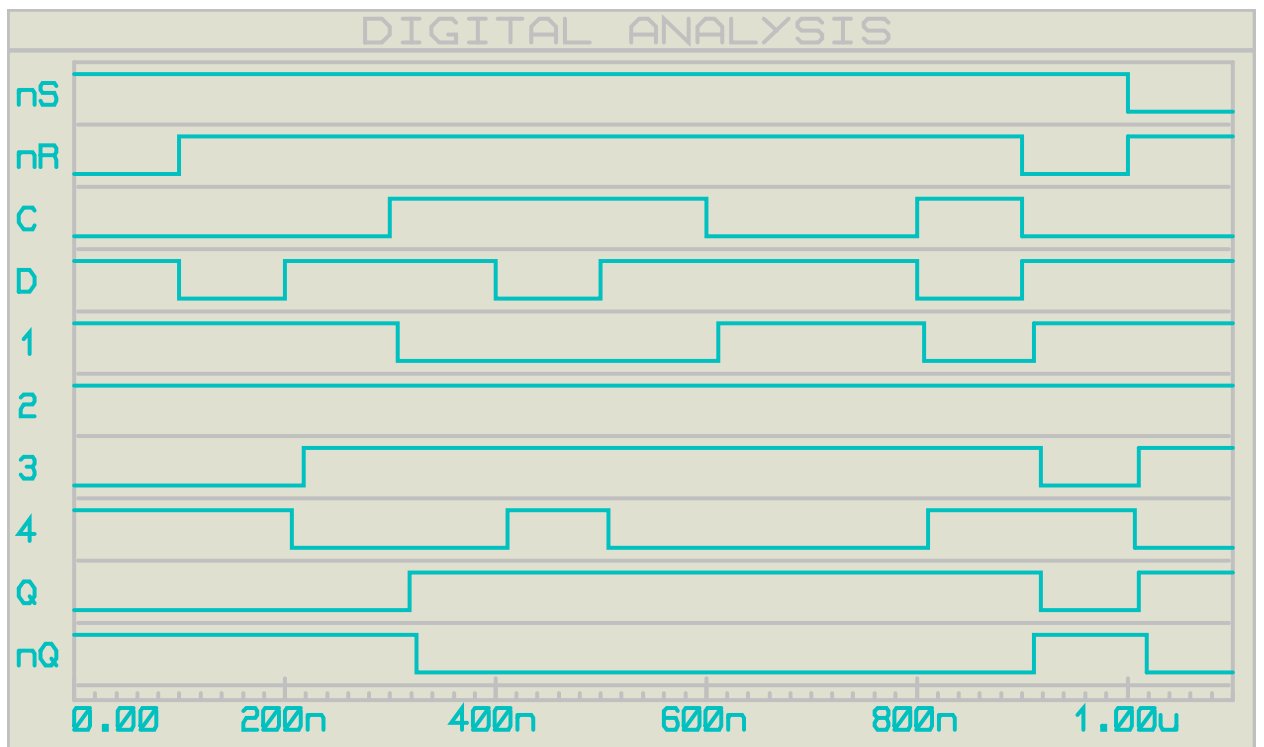
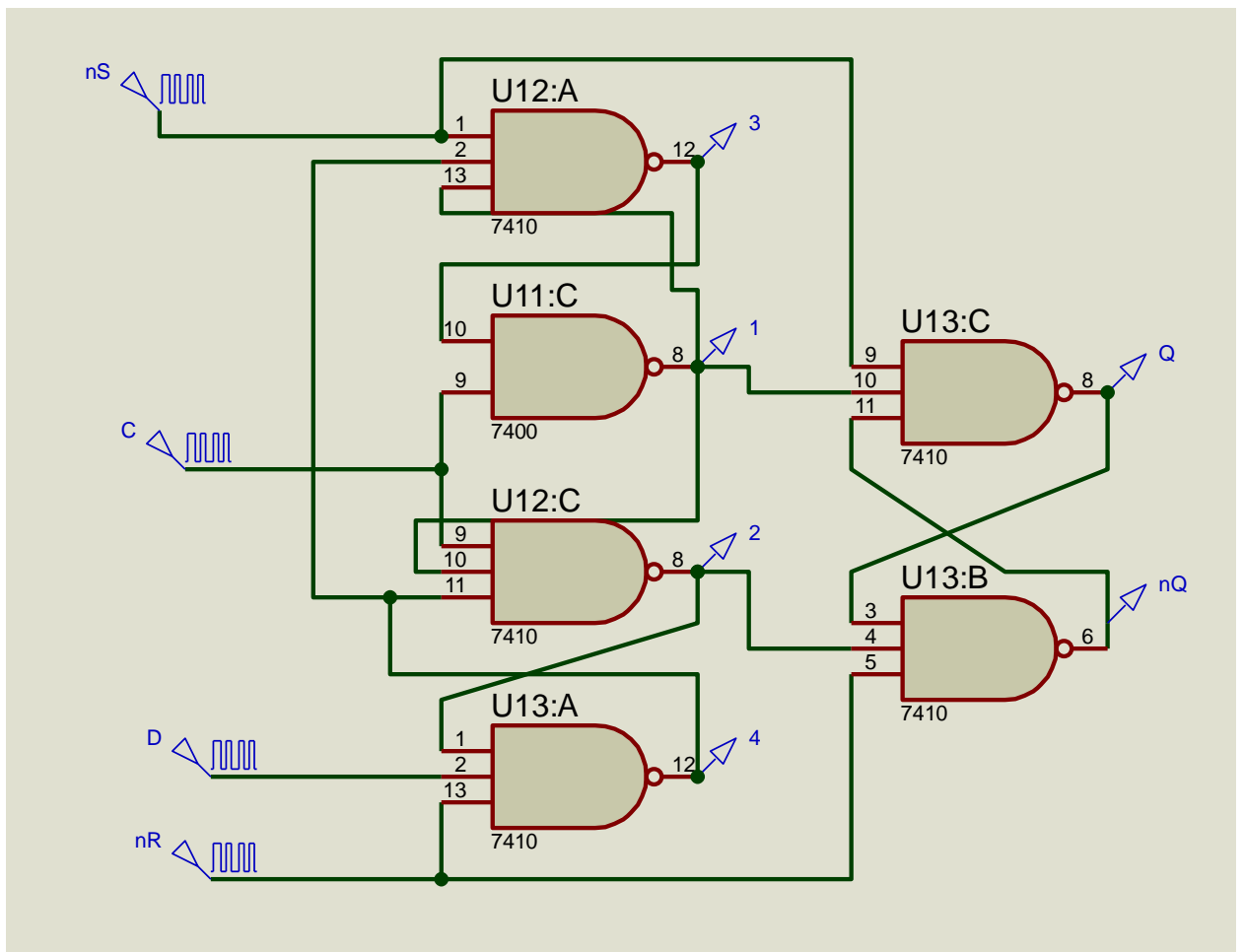
9. Згідно свого варіанту зберіть, та промодельуйте роботу тригера Вебба.

Побудуйте часові залежності сигналів на виходах всіх логічних елементів Вашого тригера. Поясніть дані залежності.

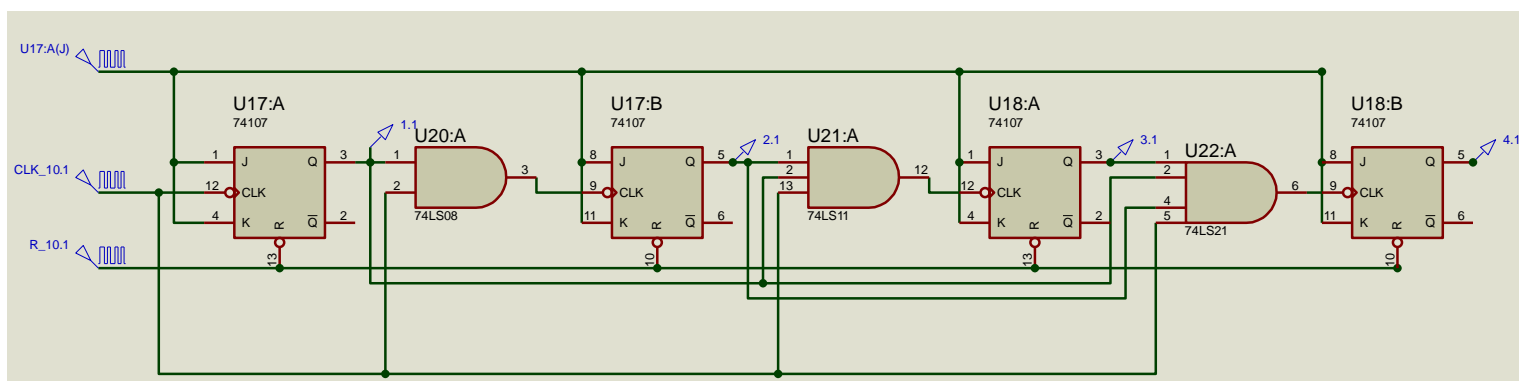
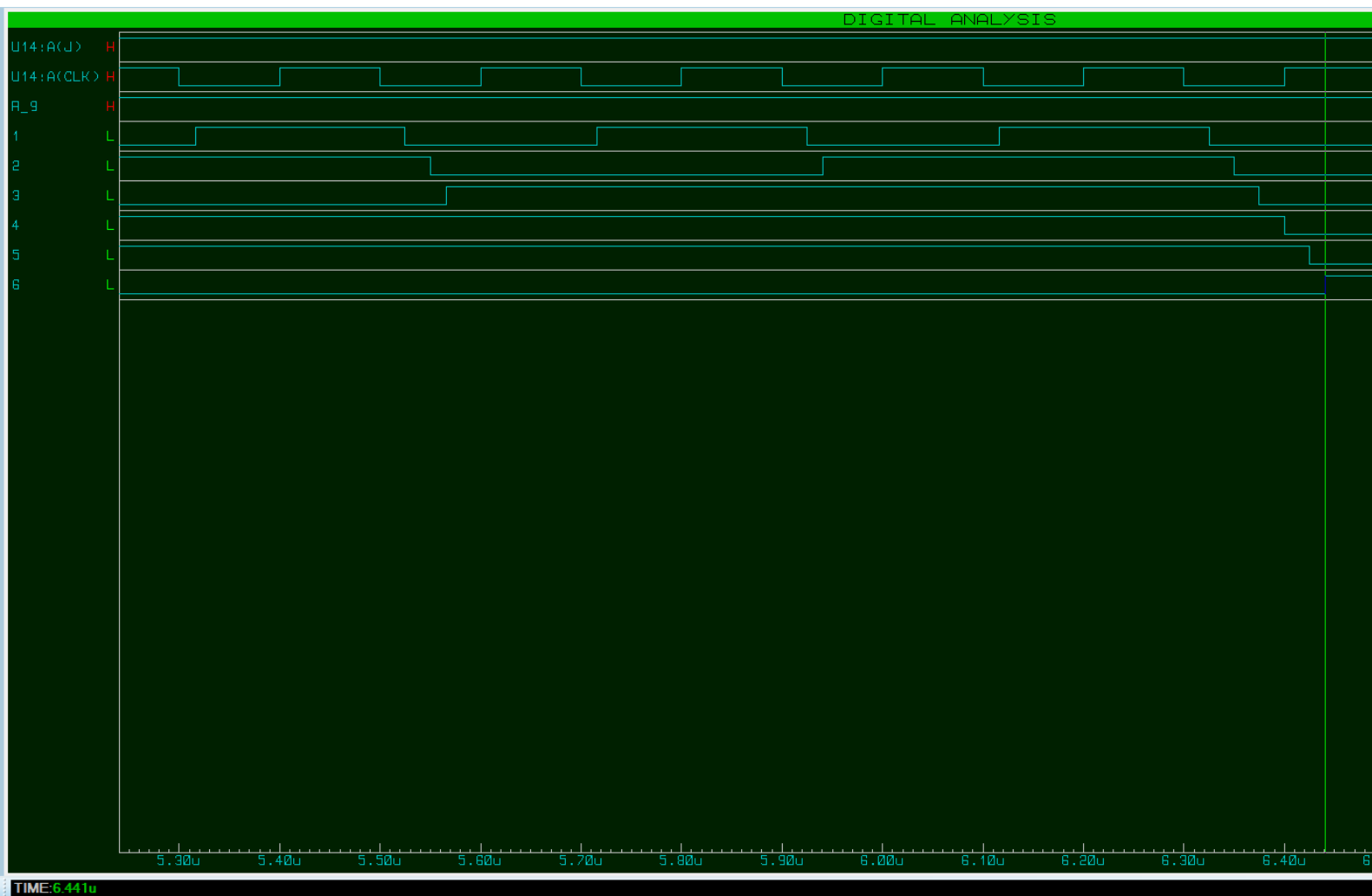
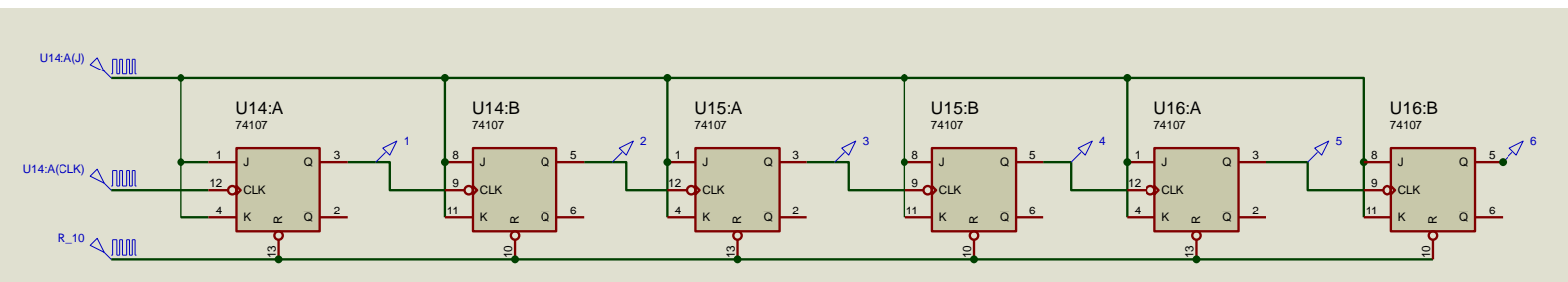
Номер варіанту 6248 = 1 1000 0110 1000, 00 0110 1000 за умовою

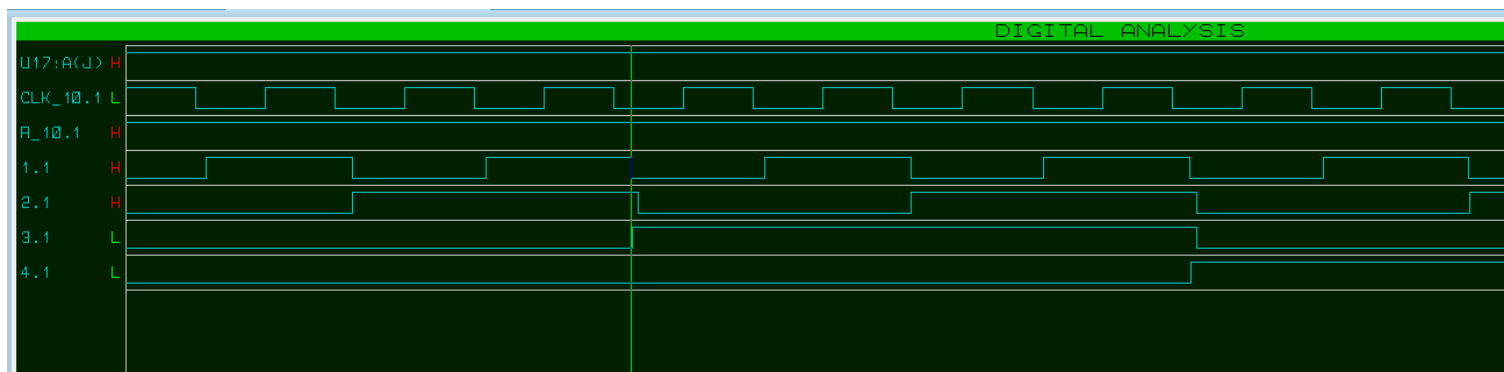
H7	H8	H9	Схема тригера
1	0	0	Рис. 5.5.5



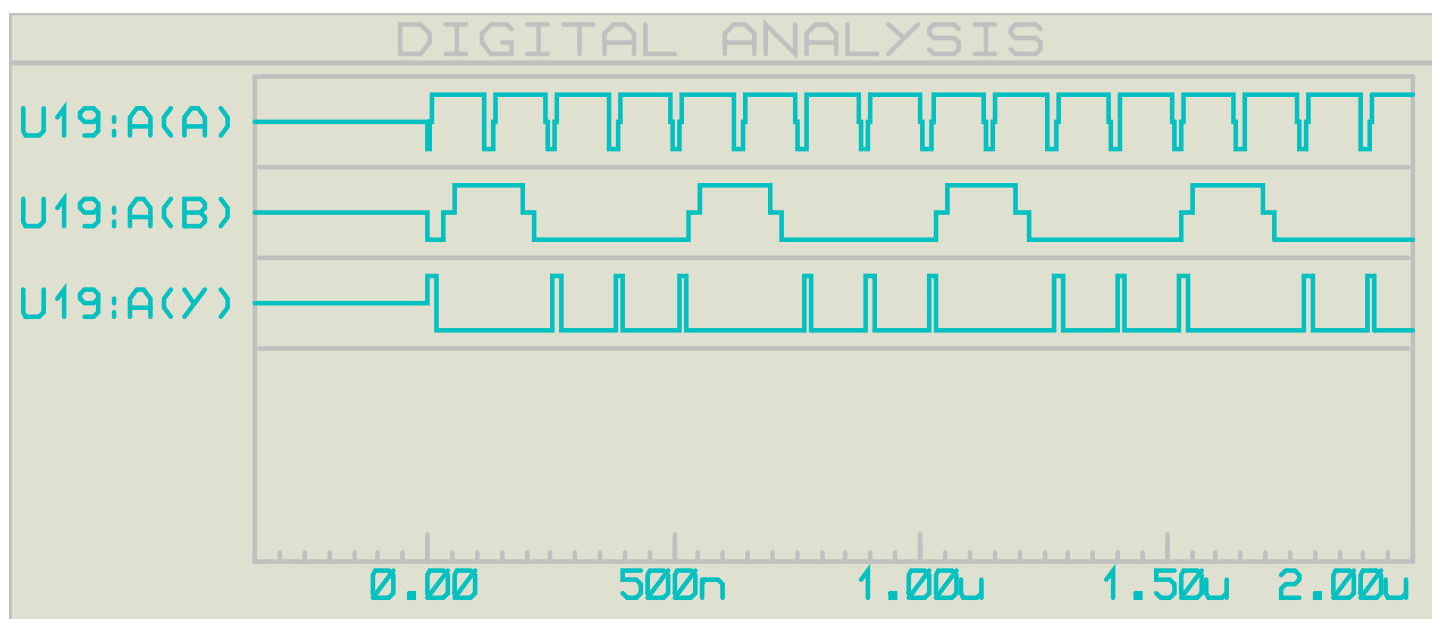
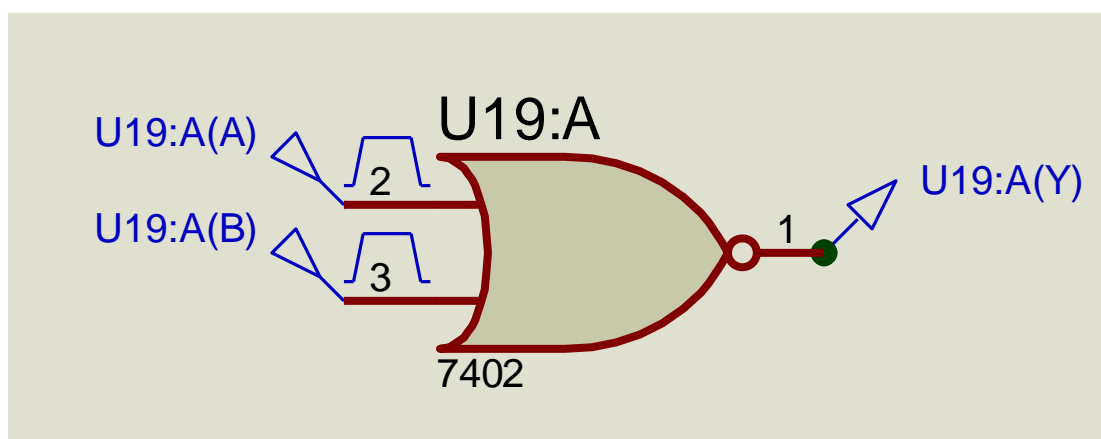


10. Побудуйте та промоделюйте роботу 6-розрядних лічильників з послідовним та паралельним переносом. Оцініть величину затримок вихідних сигналів. Зробіть висновок, щодо доцільності використання лічильника з паралельним переносом.





11. Використавши два джерела PULSE та логічний елемент АБО-НІ створіть схему для демонстрації перегонів по входу. Поясніть часові залежності. Визначте граничні значення вхідної напруги, в межах якої вхідний сингал вважається одиницею (нулем).



Висновок: В даній лабораторній роботі було досліджено перехідні процеси в цифрових схемах. Було розглянуто принцип роботи формувачів, генераторів імпульсів. Також було досліджено вплив перегонів, затримок сигналів на схеми.

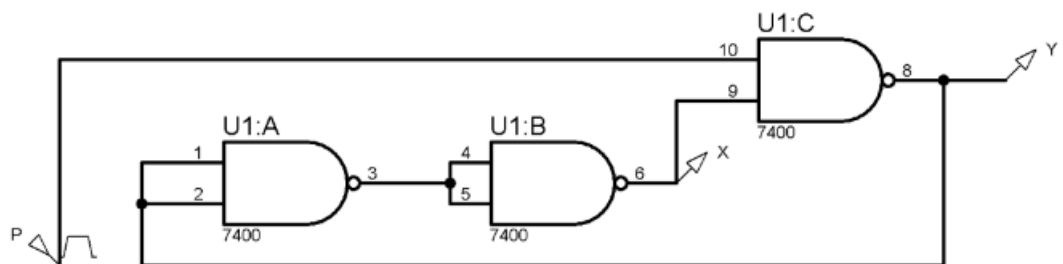
1. Поясніть принцип роботи тригера Вебба.

Тригер це Вебба це антиперегонний тригер, який побудований на основі трьох тригерів які маю попарні зворотні зв'язки, за допомогою яких реалізується зміна стану по фронту Clock, а не по стану.

2. Які Ви знаєте способи боротьби з перегонами в схемах?

Основним способом боротьби з перегонами в схемах є зміна стану по фронту тактуючого сигналу, також має сенс додання додаткових елементів на схему для вирівнювання часу на шляху

3. Поясніть принцип роботи генератора імпульсів, зображеного на рис. 3.



Для формування імпульса в цій схемі використовується затримка сигналу на логічному елементі. Серія імпульсів буде генеруватися доти, доки на вході 1 буде напруга логічної одиниці.

- #### 4. Які переваги лічильників з паралельним перенесенням?

перевага лічильників з паралельним перенесенням полягає в тому, що вони можуть лічити значення великої кількості бітів одночасно. Також вони дуже малий час перенесення, що дозволяє зменшувати затримки сигналів та забезпечувати швидку реакцію на зміни вхідних сигналів

5. Що таке перегони по входу - це стан, що виникає в електронних схемах, коли два або більше вхідних сигнали надходять одночасно, і через невизначеність чи недостатню швидкість обробки цих сигналів можуть призвести до неправильного визначення вихідного сигналу

