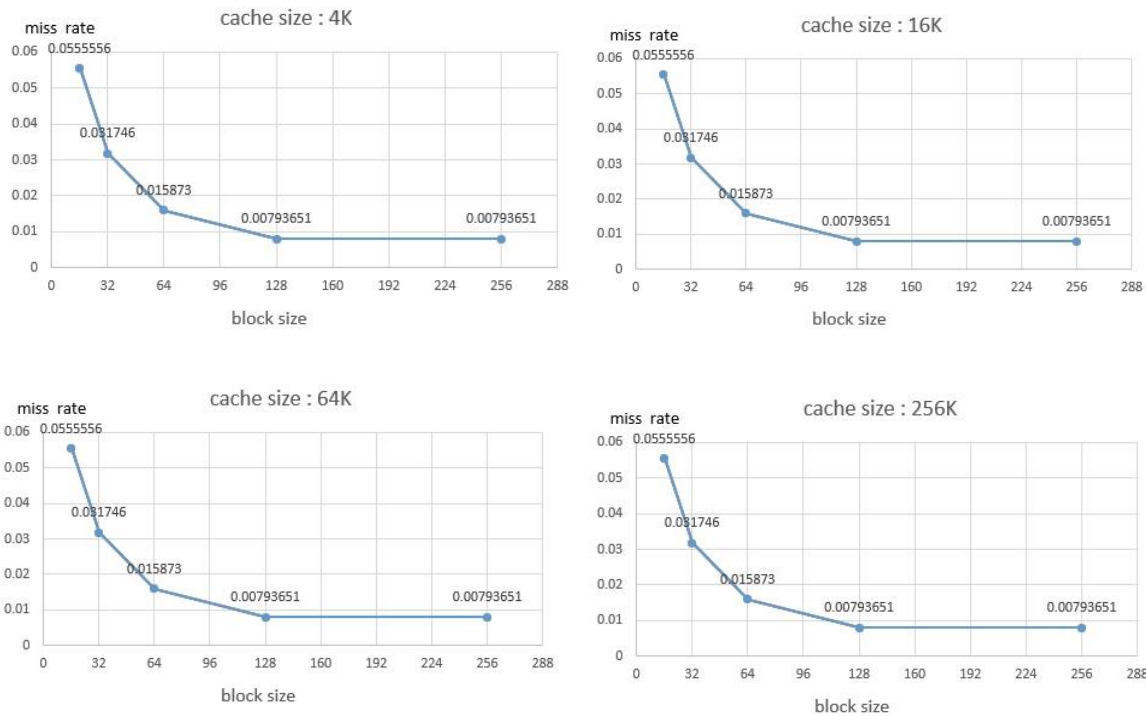


Computer Organization Lab5 Report

0416324 胡安鳳 0416094 黃兆宇

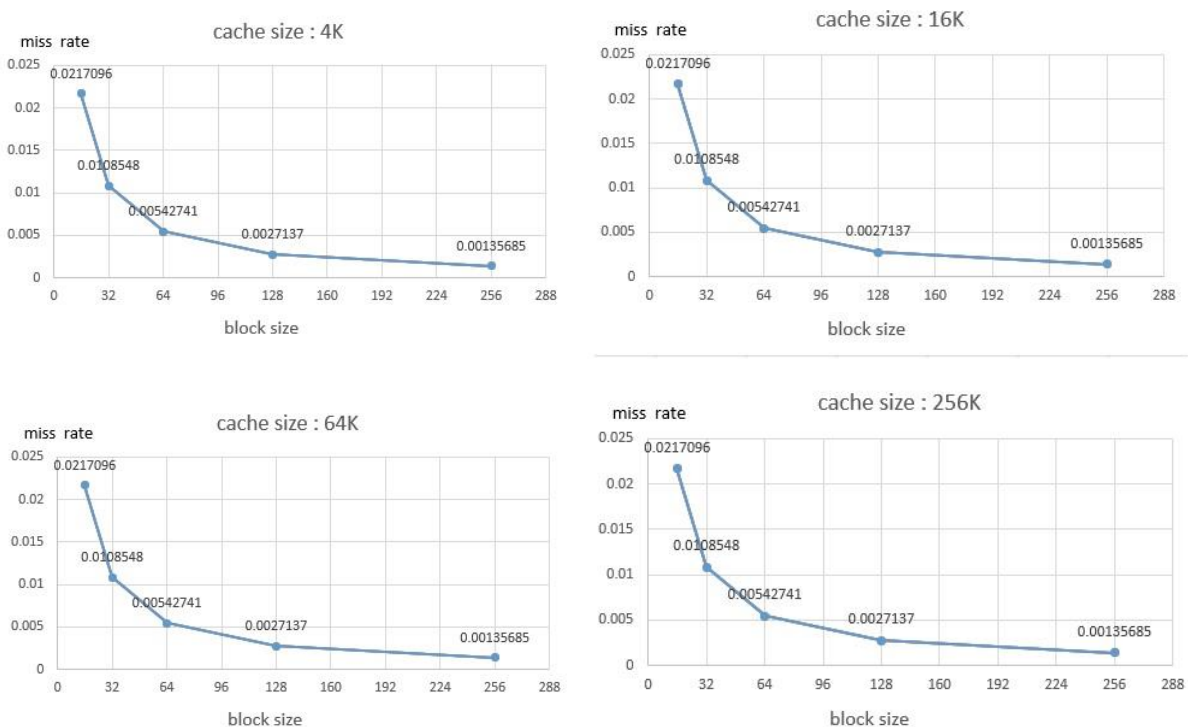
Basic Problem

1. DCACHE



在相同的快取大小下增加 block size，因為可以一次 load 更多單位的資料進來，故可以減少 compulsory miss (初次存取的 miss)，不過一味的提升 block size 到最後會呈現飽和的原因推測是因為 block 數變少，如果 cache 的大小不變的話，也意謂著更多的 memory 的 block 要搶同一個 cache block。這方面來講又會使 miss rate 上升。

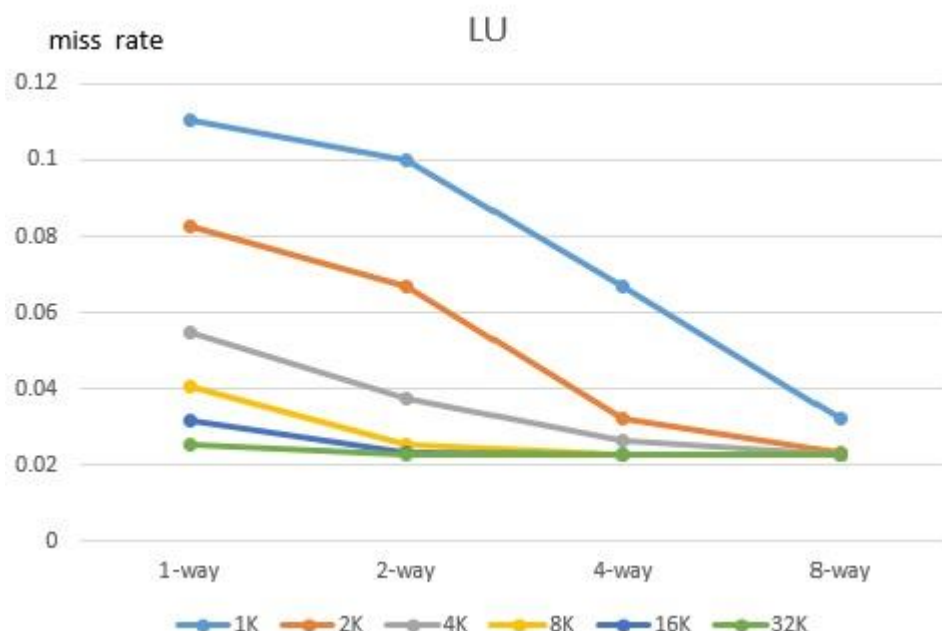
2. ICACHE



曲線走勢的原因和 DCACHE 類似，但是對於 ICACHE 失誤率整體而言相較 DCACHE 低的原因推測是 ICACHE 整體的 access 數量為 737 次、DCACHE 僅有 126 次，根據數學分數的概念假設失誤次數差不多的情況下，基數比較大的樣本會比基數較小的樣本有較低的失誤率。

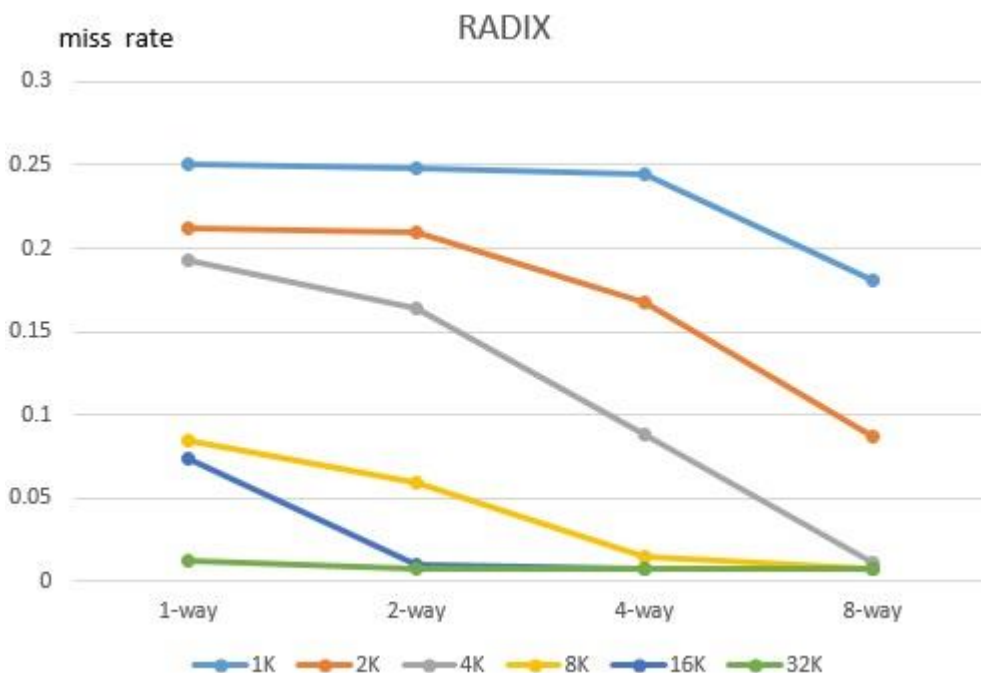
Advanced Problem

1. LU



在相同的 cache size 之下提升 associativity 則一個 set 所能置放的資料量會變多，同一個 index 可以放很多 blocks，因此可以更妥善利用 LRU 的技巧控制空間配置以避免需要的資料備置換，減少 conflict miss。

2. 2.RADIX



在相同的 cache size 之下提升 associativity 則一個 set 所能置放的資料量會變多，同一個 index 可以放很多 blocks，因此可以更妥善利用 LRU 的技巧控制空間配置以避免需要的資料備置換，減少 conflict miss。

