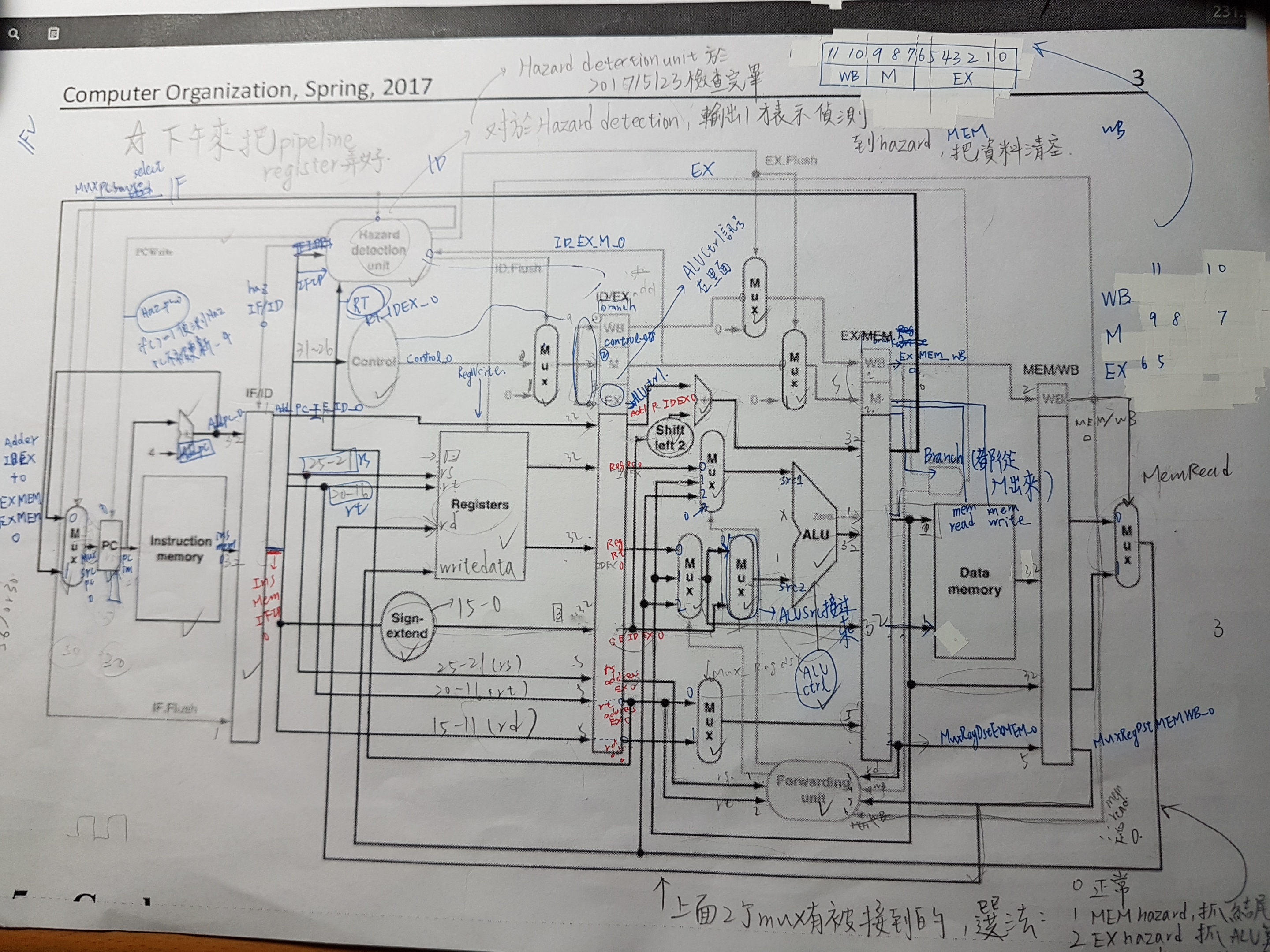
計算機組織LAB4報告

0416094 黃兆宇 0416324 胡安鳳

1. 電路圖:



1. 實作方式:

這次的作業和LAB3比較起來，增加了pipline的register, hazard control,以及

fowording unit，增加此三部分之後，其餘大致與lab3相同。以下是此三部分之作法。

1. Pipeline register:

將register 的input concatenate 起來後(使用 verilog 語法 { } )送至output，並用clock控制週期，其中IF/ID之pipeline reg需傳入一harzard處理訊號，此訊號會讓register保持原來的值(用在load-use harzard)，也就是進行stall。

1. Harzard control:

此處需判斷load-use harzard 是否發生，需檢查當instruction在ID階

段時，使用之reg Rs Rt是否在上一instruction有被存入新的值(Rd)，故需將上一個instruction之Rd從EX接至harzard detection unit，並和現在的Rt,Rs比較，如相同，則讓pc counter和 IF/ID保持不變(stall)。

(3)Fowording unit:

此處要判斷當進行到EX階段時，此instruction 要使用的Rs,Rt是否是前幾個instruction運算出的Rd，故需將EX,MEM運算出的Rd接回和Rs,Rt比較，若相同，則傳入EX階段ALU前的MUX中，為了避免double harzard，也在forwording unit的判斷式中，增加了若無EX harzard，才forward MEM harzard的判斷條件。

1. 遇到的問題和解決方法:
2. 不習慣一個instruction分至數個cycle執行的情況，較不容易debug，需花較多時間找出出錯的cycle，並追蹤錯誤。
3. 接線較複雜，常常搞錯線的名子，或發生size mismatch的狀況。
4. EX.FLUSH訊號設定錯誤，因為此訊號主要用以控制control data的情況，此次作業無此情況，故設為0(inactive)即可。
5. Lesson learnt:
6. 接線時，盡量取不易混淆的名子。
7. Debug 時，可先看warning 檢查size mismatch。
8. 發現錯誤的方式之一，是先看最一開始跑出結果為unknown的訊號，此訊號可能造成其他錯誤。
9. 記得確實初始化。