

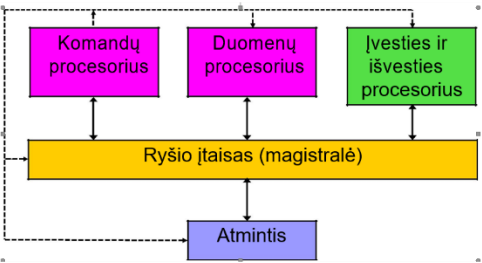
von Neuman'o tipo kompiuteris

Čia priimta, kad visi informacijos mainai tarp kompiuterio įtaisų vykdomi per vienintelę magistralę. Komandų ir duomenų procesorius įprasta apjungti į vieną įtaisą - centrinį procesorių (CPU). Iš kompiuterių organizacijos taško Neumano architektūrą sudaro tokie įtaisai:

- 1) CPU, apjungiantis operacinį (duomenų procesorių) ir valdymo (komandų procesorių) įtaisus; CPU interpretuoja ir vykdo programos komandas (išskyrus informacijos įvedimo ir išvedimo komandas);
- 2) atmintis, kurioje saugomi visi duomenys ir programos;
- 3) įvesties ir išvesties įtaisai, kuris kartu su periferiniais įtaisais užtikrina kompiuterio ryšį su aplinka;
- 4) vidiniai duomenų keliai - magistralės, kurios užtikrina informacijos mainus tarp visų kompiuterio įtaisų.

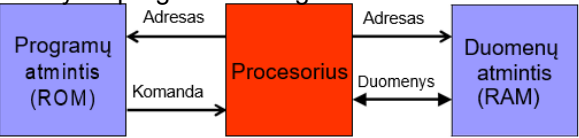
von Neuman'o principai

- Dvejetainio kodavimo principas: tai reiškia, kad visa informacija kompiuteryje koduojama, apdorojama ir saugoma dvejetainiu pavidalu.
- Programinio valdymo principas: kompiuterio programa yra seka komandų, kurias procesorius automatiškai vykdo tam tikra tvarka.
- Vienalytės atminties principas: atmintyje laikoma informacija skiriasi ne kodavimu, o panaudojimu.
- Adresavimo principas: informacija laikoma atminties ląstelėse, kurios turi tikslų adresą. Žinodamas adresą, procesorius bet kuriuo momentu gali pasiekti jam reikalingą informaciją.



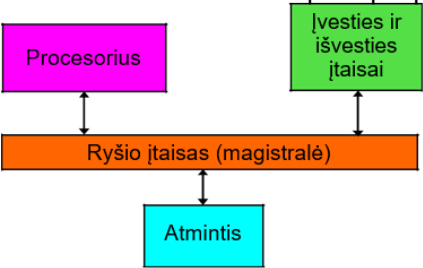
Harvardo architektūra

Čia duomenys ir programos saugomi atskiruose atminties įtaisuose:



Kiek anksčiau Harvardo architektūros principai buvo naudojami mikrovaldikliuose, kurių programos saugomos pastoviosios atminties (ROM) įtaisuose, o duomenys – laisvo išrinkimo atminties (RAM) įtaisuose. Dabartiniu metu Harvardo architektūros principai panaudojami ir procesoriuose, turinčiuose spartinančiąją atmintį (pirmasis lygmuo, L1)

Supaprastinta kompiuterio struktūra



Pirmųjų kartų kompiuterių struktūra

Procesorius – kartu ir centrinis valdymo įtaisas: jis ne tik interpretuoja programą ir vykdo komandas, bet ir valdo pradinių duomenų įvedimą bei rezultatų išvedimą

Antrosios kartos kompiuterių struktūra

Čia visi sistemos elementai sujungti tarpusavyje bendra magistrale
Lengva prijungti papildomus modulius, tačiau bendra magistralė – siaura sistemos vieta, ribojanti sistemos našumą

Trečiosios kartos kompiuterių struktūra

Čia informacijos apdorojimo procesas atskirtas nuo jos įvedimo ir išvedimo. Duomenų įvedimą bei rezultatų išvedimą (taip pat ir mainus su išorine atmintimi) valdo specialūs įtaisai, vadinami kanalais arba įvesties ir išvesties procesoriais.
Procesorius interpretuoja programą ir vykdo komandas bei valdo kanalų darbą.

Komandų sistema

Skaičiavimams reikalingą operacijų rinkinį kompiuteryje realizuoja komandų sistema, kurioje vieną operaciją gali atitikti ir kelios komandos, besiskiriančios operandų tipais, adresacijos būdais ir pan.

Daugumos kompiuterių komandų sistemos apima tokias komandų grupes: Aritmetinės ir loginės, Duomenų persiuntimo, Valdymo, Slankaus kablelio, Dešimtainės, Eilučių apdorojimo, Sisteminės.

Pagrindiniai komandų sistemų tipai

- Stekas – specialiai suprojektuota atmintis, į kurią informacija įrašoma nuosekliai, iš jos informacija perskaitoma taip pat tik nuosekliai. Informacijos vietą steke rodo steko rodyklė (stack pointer)
- Akumulatorius: vienas iš operandų saugomas akumuliatoriuje, rezultatas – taip pat, operandų išrinkimas ir įrašymas – load, store.
Pavyzdžiai: PDP-8, Motorola 6809
- Registų grupė: operandai saugomi registruose, rezultatas – taip pat, operandų išrinkimas ir įrašymas – load, store. Pavyzdžiai: IBM 370, PowerPC.

Komandų formatai

Bendruoju atveju procesorių komandų formatai gali būti pavaizduoti taip:

Čia: OpK – operacijos kodo laukas, Op1, ..., Opn – operandų nuorodos Nuorodų skaičius priklauso nuo konkretaus atvejo ir gali būti lygus 0, 1, 2 ir t.t.

Operandų nuorodos

Operando nuorodos pavidalas priklauso nuo to, koks yra operandas, kur jis saugomas.
Operandu gali būti: kurio nors registro turinys, atminties ląstelės turinys (registas ar ląstelė, nurodomi adresu), konstanta, adresas, sąlyga. Nuo to priklauso operando nuorodai skirta lauko (laukų) ilgis.

Operandų adresavimo būdai

1. Registrinė adresacija – operandas yra registre, kurio numeris nurodytas komandoje, pavyzdžiui:
Add R4, R1 Reg[4] := Reg[4] + Reg[1]
2. Netiesioginė registrinė – operando adresas yra registre, kurio numeris nurodytas komandoje, pavyzdžiui:
Add R4, (R1) R4 := R4 + M[R1]
3. Santykinė (bazinė arba su poslinkiu) – operando adresas paskaičiuojamas prie registro turinio pridėdant nurodytą poslinkio reikšmę; tinka lokaliniais kintamiesiems pasiekti.
Pavyzdžiui:
Add R4, 9(R1) R4 := R4 + M[R1+9]
4. Indeksinė – operando adresas paskaičiuojamas sumuojant bazės ir indekso registų turinius; tinka masyvo elementams išrinkti (R1 – masyvo bazinis adresas, R2 – indekso reikšmė).
Pavyzdžiui:
Add R4, (R1+R2) R4 := R4 + M[R1 +R2]
- 4a. Indeksinė su koeficientu – nuo indeksinės skiriasi tik tuo, kad indekso reikšmė padauginama iš koeficiento (m), atitinkančio duomenų elemento ilgį. Pavyzdžiui:
Add R4, 8(R1) [R2] R4 := R4 + M[8+R1 +R2*m]
5. Tiesioginė arba absoliutinė – adreso reikšmė (pilna ar jo dalis) nurodoma komandoje; tinka statiniams duomenims nurodyti. Pavyzdžiui:
Add R4, (704) R4 := R4 + M[704]
6. Betarpiškoji – operandas yra komandos formato dalis. Tai gali būti interpretuojama, kaip adreso nuoroda yra komandų skaitiklyje. Pavyzdžiui:
Add R4, #7 R4 := R4 + 7
- 7a. Autoinkrementinė – operando adresas yra registre, kurio turinys automatiškai didinamas, pavyzdžiui:
Add R4, (R1)+ R4 := R4 + M[R1] R1 := R1 + d
- 7b. Autodekrementinė – operando adresas yra registre, kurio turinys automatiškai didinamas, pavyzdžiui:
Add R4, -(R1) R1:= R1– d
 R4:= R4+ M[R1]

Patogu apdorojant masyvus. Pradžios adresas įrašomas į lauką R1 nurodytą registrą

Komandų sistemos papildymas

Papildymo priežastys ir prielaidos

- procesoriai buvo orientuoti į sveikųjų ir slankaus taško skaičių apdorojimą
- grafinės ir audio informacijos skaitmeninio apdorojimo plitimas
- procesorių žodžio ilgio didinimas nuo 32 bitų iki 64 bitų
- daugeliu atvejų skaitmeninei grafinei ir audio informacijai koduoti pakanka 16 ar net 8 bitų
- technologijos vystymasis ir normos mažinimas nuo 0,35 μmikrom iki 0,13 μmikrom leido gerokai padidinti tranzistorių skaičių kristale
- RISC architektūros branduolys kompaktiškas - realizuojamas palyginti nedideliu tranzistorių skaičiumi
- SIMD ir vektorinio principų panaudojimo galimybės

1996 metais Intel įvedė MMX technologiją - savo procesorių komandų sistemą papildė 57 naujomis komandomis, skirtomis multimedijos programoms optimizuoti Šios komandos duomenis traktuoja taip, kaip tai priimta SIMD sistemose (Single Instruction – Multiple Data)

MMX registrai

Kai FPU registrai naudojami kaip MMX registrai, ženkle bitas ir visi eksponentės bitai nustatomi į 1 (pagal IEEE-754 standartą tai reiškia NaN). Pereinant iš MMX režimo į FPU, tegai nustatomi į 11 – tai reiškia, kad registrai “tušti”.

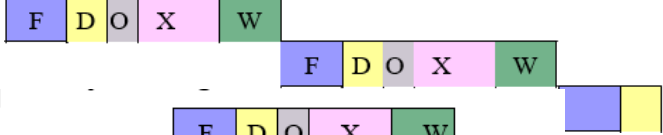
Konvejeris

Kompiuteryje vykdomi procesai - tai jo komandų sekos I1, I2, I3, ... , In.

Kiekvieną komandą li logiškai sudaro kelios fazės, kurias, pavyzdžiui, galima nusakyti taip:

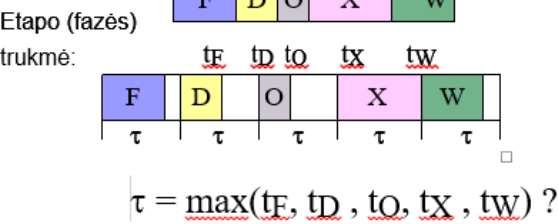
- F - komandos išrinkimas,
- D - komandos dekodavimas,
- O - operandų išrinkimas,
- X - operacijos vykdymas,
- W - rezultato įrašymas.

Toks komandos suskirstymas į fazes nėra vienintelis. Esant nuosekliam komandų vykdymui, (i+1)- ji komanda pradeda vykdyti tik po to, kai baigiama vykdyti i-ji komanda:

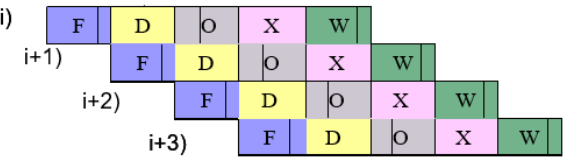


Apie etapų trukmę

Konvejerizuotam komandų vykdymui reikia, kad konvejeris dirbtų ritmingai:



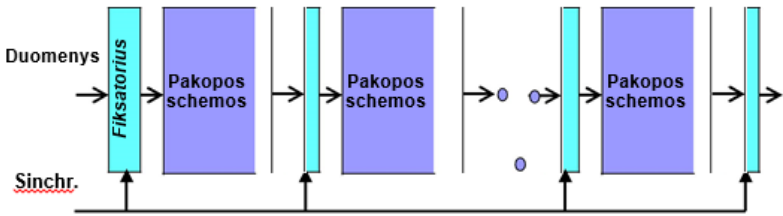
Tuomet (i+1)-ji komanda pradeda vykdyti vienu etapu vėliau, nei i-ji komanda:



Konvejerio realizacija

Konvejerizuotam komandų vykdymui reikia, kad informacija konvejeriulyje tarp jo pakopų būtų perduodama teisingai:

Žinoma, tarp konvejerio pakopų atminties elementų gali ir nebūti, tačiau tokio konvejerio projektavimas sudėtingesnis, o pats konvejeris dirba sparčiau.



Konvejerio kliūtys

- struktūrinės kliūtys, atsirandančios dėl to, kad resursai gali būti nepakankami įvairių pakopų ir komandų etapų reikmėms tenkinti
- duomenų kliūtys, atsirandančios dėl to, kad vienos komandos vykdymo rezultatai naudojami kitoje komandoje kaip operandai
- valdymo kliūtys, atsirandančios dėl būtinumo išrinkti komandas iš kitos vietos, nei tai aliekama jas vykdant nuosekliai (perėjimai, paprogramės)
- Struktūrinių kliūčių problema sprendžiama:
 - pridedant papildomų resursų;
 - tinkamai konstruojant komponentus.
- Duomenų kliūčių problema sprendžiama:
 - pakeičiant komandų vykdymo eilės tvarką;
 - įterpiančiant NOOP;
 - pridedant linijas, sutrumpinančias rezultatui kelią iki vykdymo įtaisų;
 - trumpam blokuojant konvejerio darbą.
- Valdymo kliūčių problema sprendžiama:
 - pakeičiant komandų vykdymo eilės tvarką;
 - naudojant perėjimų prognozę.

Perėjimų prognozė

- Konvejerio delsai, vykdant perėjimo komandas, sumažinti procesoriuose įvestos perėjimų prognozės schemas. Jos „spėja“ perėjimo kryptį
- Jei spėjimas pasitvirtina, konvejeris sėkmingai dirba (bent jau su minimaliais laiko nuostoliais)
- Jei spėjimas nepasitvirtina, tenka stabdyti konvejerį ir jį užpildyti komandomis iš tikrosios krypties
- Juo tikslesnis perėjimų spėjimas, tuo mažiau laiko sugaištama konvejeriui perkrauti.
- Perėjimų spėjimas gali būti statinis arba dinaminis:
 - Statinė prognozė remiasi kai kuriais pastebėtais perėjimo komandų elgesio dėsningumais: analizuojamas operacijos kodas, poslinkio ženklas, ir pagal tai priimamas sprendimas apie tikėtiną perėjimą
 - Dinaminė prognozė: perėjimo krypties spėjimui panaudojama programos vykdymo metu sukaupta informacija apie anksčiau vykdytos komandos elgesį (pereita ar ne).

BHT - Branch History Table – paprasčiausia dinaminės prognozės priemonė:

- žemiausieji PC adreso bitai naudojami kaip 1-o bito reikšmių lentelės indeksas
- bitas rodo, ar paskutinįjį kartą buvo pereita (1) ar ne (0)

Prognozės efektyvumui padidinti kiekvienam perėjimui skiriami du bitai. Tuomet prognozuojama kryptis pakeičiama priešinga buvusiai, jei du kartus iš eilės buvo nepataikyta.

Branch Target Buffer

- Kai kuriose prognozės sistemose naudojamas specialus buferis, kuriame laikomi perėjimo adresai (kartu su prognozės bitais).
- Procesorius, sutikęs perėjimo komandą, iš karto gali pradėti komandų išrinkimą iš perėjimo vietos pagal šiame buferyje esančią informaciją.
- Jei perėjimo komanda nustato, kad reikia pereiti kitu adresu nei buvo įrašyta buferyje, tikrasis perėjimo adresas pakeičia buvusįjį (atitinkamame įrašė).

Integruota spartinančioji atmintis

- Procesorių darbo spartai augant greičiau nei didėja pagrindinės atminties elementų sparta, į procesorių vidų buvo įkelta SRAM tipo spartinančioji atmintis (SA)
- Šiuolaikinių kelių branduolių procesoriuose L2 SA talpa siekia 2 MB/branduoliui. Juose dažniausiai rasime ir L3 SA, kurios talpa siekia net 12 MB (serveriams skirtuose procesoriuose – dar didesnė). Procesoriai, kurie turi keletą funkcinių įtaisų, vadinami superskaliariniais. Tokiuose procesoriuose vienu metu gali būti pradėtos vykdyti kelios komandos.
- Kadangi šiuolaikinės kristalų gamybos technologijos įgalina viename kristale sutalpinti šimtus milijonų tranzistorių, atsirado galimybė į kristalo vidų perkelti net ir tokias sudėtingas schemas, kurios reikalingos dinaminei programos kodo analizei, gijų išskyrimui, jų sąlyginei inicializacijai bei kelių gijų palaikymui.
- Daugelio gijų skaičiavimai (multithreading) – procesorius perjungiamas nuo vienos gijos prie kitos.
- Kompiuterio komponentų darbo dažnis paprastai skiriasi – aukščiausiu dažniu dirba procesorius, žemesniu – pagrindinė atmintis, magistralės
- Paprastai procesoriaus darbo dažnis yra siejamas su jo išorėje vykstančiais procesais (pirmiausia – magistralės dažniu). Pirmą kartą dažnio dauginimas panaudotas Intel 486DX2 procesoriuje, kuris dirbo dvigubu dažniu.
- Fiksuotas dažnio daugiklis varžo procesoriaus forsavimą (angl. overclocking): norint padidinti procesoriaus darbo dažnį, tenka proporcingai didinti magistralės dažnį

- Kelių branduolių procesoriai gali didesniu našumu vykdyti kelių gijų bei intensyvių skaičiavimų reikalaujančias programas
- Energija taupoma mažinant nevisiškai apkrauto procesoriaus darbo dažnį ir maitinimo įtampą. Įvairios kompanijos taiko savas technologijas: Intel – SpeedStep, AMD – PowerNow! ir Cool’n’Quiet, Transmeta – LongRun.
- Šiuolaikiniuose Intel ir AMD branduolių procesoriuose naudojamos automatinio forsavimo priemonės - Intel procesoriuose Turbo Boost, o AMD – Turbo Core technologijos
- Jos remiasi aktyvių branduolių skaičiaus, leistinų energijos sąnaudų TDP (Thermal Design Power) bei procesoriaus darbo temperatūros įvertinimu ir leidžia gerokai padidinti aktyvių branduolių darbo dažnį aukščiau nustatyto standartinio, esant mažai kitų branduolių apkrovai
- Likusiųjų branduolių darbo dažnis ir maitinimo įtampa tada sumažinami
-

Komandų inicijavimas ne eilės tvarka

- Superskaliariniuose procesoriuose vienu metu gali būti pradėtos vykdyti kelios komandos. Aukščiau pateikta superskaliarinio procesoriaus struktūra, kur turime 5 funkcinis įtaisus
- Kadangi kompiliatoriaus suformuota komandų seka programoje ne visuomet bus palanki kelių funkcinį įtaisų aprūpinimui darbu, programos vykdymo metu šiuolaikiniuose procesoriuose esančios specialios schemos analizuoja didelį vykdymo eilėje laukiančių komandų skaičių ir dinamiškai parenka vykdymui tas komandas, kurios konkrečiu momentu galėtų būti vykdomos, nors prieš jas eilėje yra kitos komandos.

Registrų pakeitimas

- Tegul programoje turime tokias dvi komandas:

k1: add ..., r2, ...; [... <- (r2) + (...)]

k2: mult r2, ..., ...; [r2 <- (...) + (...)]

- Antroji komanda pakeičia registro r2 turinį nauju. Aišku, kad komandos k2 negalima vykdyti iki tol, kol k1 nepanaudojo buvusio jo turinio.
- Jei procesorius turi “atsarginių” registrų, vieną iš jų (pavyzdžiui, r33) panaudokime komandoje k2:

k1: add ..., r2, ...; [... <-(r2) + (...)]

k2: mult r33, ..., ...; [r33 <- (...) + (...)]

- Taip konfliktas bus išspręstas. Aišku, kad ir paskesnės komandos turi kreiptis į r33 vietoj r2 (kol registro pakeitimas galioja).
- Šiuolaikiniuose procesoriuose “atsarginių” registrų skaičius gerokai didesnis nei adresuojamų

Sistemos viename kristale

- Kristalų gamybos technologijų pasiekimai sudaro galimybes viename kristale integruoti ir kitas kompiuterio sudėtinės dalis (pavyzdžiui, duomenų mainų ir periferinių įtaisų valdymo įtaisus arba schemų rinkiniams (chipsets) būdingas funkcijas
- Tai ne tik kompiuterio branduolį daro kompaktiškesniu, bet ir žymiai padidina jo darbo spartą, kadangi duomenų mainai viename kristale vykdomi žymiai sparčiau, nei tarp kristalų
- Tokioms sistemoms apibūdinti naudojamos sąvokos “sistema viename kristale” (Systems On the Chip - SOC)

Šiuolaikinis x86 procesorius

- Programos kodo dalis, kuri „aktyviai“ vykdoma pastaruoju metu, laikoma komandų SA (L1 kom. spart. atm.). Skirtinguose procesoriuose tai gali būti originalios komandos, iš dalies perkoduotos ar visiškai perkoduotos mikrooperacijos (MO). Jei jų čia nėra, jos imamos iš L2 SA, o paimitos, jei reikia, perkoduojamos
- Iš komandų SA jos imamos blokais – taikomas išankstinis išrinkimas. Blokas nukreipiamas į du įtaisus – perkodavimo ir perėjimų prognozės
- Perkodavimo įtaisas pradines ar iš dalies jau perkoduotas komandas transformuoja į MO, o perėjimų prognozės įtaisas nustato, ar bloke yra perėjimo operacijų, ar reikės pereiti ir kokių adresu. Jei manoma, kad tikrai bus pereita, skaitomas naujas blokas iš prognozuojamos vietos
- Perkoduotų MO grupė pakliūna į registrų pakeitimo ir išteklių skirstymo įtaisą (Išdėstymas). Pakeistasis registras atitinka tikrąjį „architektūrinį“ registrą. Komandos užbaigimo metu fizinis registras keičiamas atgal architektūriniu
- Vėliau MO grupė patenka į vadinamosios komandų vykdymo eilės tvarkos pakeitimo buferio (Perikiavimo buferis, ROB – ReOrder Buffer) galą. Šis buferis reikalingas inicijuoti MO vykdymą ne eilės tvarka.
- Kartu su perdavimu į perikiavimo buferį MO siunčiamos į rezervavimo stotis (į Planuotojo eiles, RS), aptarnaujančias FĮ rinkinį. Jose kiekviename takte tikrinama, kurios operacijos gali būti vykdomos (t. y. ar jau turimi joms reikalingi operandai, ar jie bus operacijos vykdymo metu). Šios planavimo schemos (angl. scheduler) taip pat seka, ar nėra duomenų priklausomumo, ar laisvas atitinkamas FĮ
- Perkodavimo įtaisas pradines ar iš dalies jau perkoduotas komandas transformuoja į MO, o perėjimų prognozės įtaisas nustato, ar bloke yra perėjimo operacijų, ar reikės pereiti ir kokių adresu. Jei manoma, kad tikrai bus pereita, skaitomas naujas blokas iš prognozuojamos vietos
- Perkoduotų MO grupė pakliūna į registrų pakeitimo ir išteklių skirstymo įtaisą (Išdėstymas). Pakeistasis registras atitinka tikrąjį „architektūrinį“ registrą. Komandos užbaigimo metu fizinis registras keičiamas atgal architektūriniu
- Greta aritmetinių-loginių ir perėjimo FĮ kiekviename CPU būna mainų su atmintimi įtaisai (Atm. buferis), kurie taip pat aptarnauja ir SA
- Šie įtaisai kitų atžvilgiu paprastai dirba asinchroniškai, kartais CPU struktūroje netgi nerodomi. Jie tiesiogiai palaiko ryšį su adresų skaičiavimo įtaisais (AGU – Address Generation

Units)

- Mainų su atmintimi įtaisai taip pat konvejerizuoti ir vienu metu gali aptarnauti keletą kreipinių. Jie taip pat iš anksto išrenka informaciją iš

Koprosesorius

- Pirmieji mikroprocesoriai atliko veiksmus tik su sveikaisiais skaičiais, o veiksmams su slankaus kablelio skaičiais buvo emuliuojami, t.y., realizuojami programiniu būdu (naudojant specialią paprogramių biblioteką)
- Intel sukurtasis koprosesorius 8087 (dar vadinamas matematiniu koprosesoriumi, aritmetiniu koprosesoriumi) skirtas veiksmams su slankaus kablelio skaičiais ir kai kurioms specialioms operacijoms (sinuso, kvadratinės šaknies ir kt.)
- Komandų išrinkimą valdo 8086. Kai koprosesorius pastebi, kad išrenkama slankaus kablelio komanda, jis ją pasiima ir vykdo
- Pirmojo duomenų žodžio išrinkimą inicijuoja taip pat 8086 (koprosesorius jį pasiima iš magistralės), o sekančių (jei reikia) - pats koprosesorius
- Magistralę pasidalija naudodami RQ/GT (Request/Grant) liniją

Intel procesorių savybės

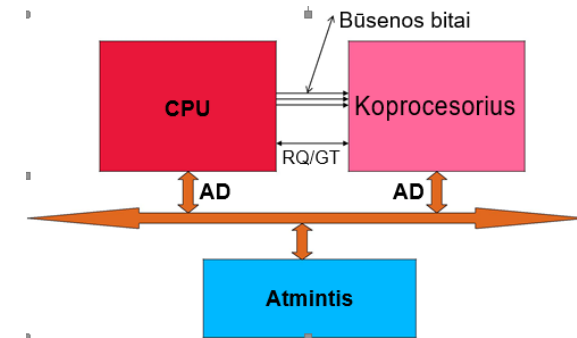
- platus panaudojimo diapazonas – nuo serverių iki mobiliųjų įtaisų
- x86 komandų sistema
- aukštas branduolio našumas realizuojant x86 komandas
- x86 komandų perkodavimas į RISC tipo mikrooperacijas
- keli branduoliai
- trijų lygių spartinančioji atmintis
- platus multimedijos komandų diapazonas – nuo MMX iki AVX
- dviejų gijų palaikymas
- naujausieji modeliai turi efektyvią integruotąją grafiką (GPU ploto dalis Sandy Bridge 17%, Ivy Bridge – 27%, Haswell – 31%; plg. AMD Kaveri – 47%)

AMD procesorių savybės

- AMD Fusion, kuriame apjungti centrinis ir grafikos procesoriai
- Dabar AMD šią architektūrą vadina heterogeninių sistemų architektūra – HSA (Heterogeneous System Architecture)
 - Tokiu būdu skaičiavimus atlieka tie branduoliai (CPU arba GPU), kurie konkrečiu atveju pasižymi didesne darbo sparta
 - GPU gali pasiekti bet kurią visos sisteminės atminties vietą; tam naudojamas atminties dispečerio (MMU) transliacijos mechanizmas
 - CPU ir GPU dabar dalijasi maitinimo energiją. Pirmenybė teikiama procesoriui, kuris labiausiai tinka vykdomam uždaviniui
- Kitas žingsnis HSA, heterogeninių sistemų architektūra (hUMA – heterogeneous Uniform Memory Access), žada išspręsti šią problemą:
 - CPU ir GPU naudoja tuos pačius adresus ir duomenų skaitymo ir įrašymo prieigai prie visos atminties;
 - palaikomas kešų skaidrumas, todėl jie gali be problemų naudoti duomenis tuo pačiu metu; ir, kaip ir procesorius,
 - GPU palaiko puslapiuotą virtualią atmintį, kuri leidžia dirbti su didesniais duomenų kiekiais
- Pasiekiamas rezultatas yra tai, kad CPU ir GPU gali dirbti kartu daug efektyviau, ir turėtų būti lengviau rašyti taikomas programas, išnaudojant abiejų tipų procesorių pranašumus
- Bulldozerio šeimos branduoliai pasižymėjo labai aukštų sveikųjų skaičių operacijų pralaidumu, tam paaukojant slankiojo kablelio efektyvumą. Taip buvo todėl, kad kiekviena sveikųjų skaičių branduolių pora dalijosi vienu slankiojo kablelio įtaisu (FPU)
- Lygindami Excavator ir Zen FPU matome, kad AMD padvigubino FPU plotį. Įdėti du FMA 256 bitų įtaisai, kurie veikusiai galės kartu apdoroti 512 bitų AVX slankiojo kablelio komandas
- Naujoji APU platforma turi viską, ko gali norėti AMD gerbėjai – keturių kanalų DDR4 palaikymą, PCIe3, iki 16 Zen branduolių ir Greenland GPU, suporuotas su didelio pralaidumo atmintimi (HBM)

ARM procesoriai

- ARM procesoriai priklauso 32 bitų RISC mikroprocesorių šeimai
- Jie plačiai naudojami buitinėje elektronikoje – mobiliuosiuose telefonuose, multimedijos grotuvuose
- Procesorių tarpe yra ir kelių branduolių procesoriai tokie procesoriai jau naudojami išmaniuosiuose mobiliuosiuose telefonuose
- Analizuodami programų vykdymą, ARM specialistai padarė išvadą, jog visada naudoti galingus branduolius nėra tikslinga. Taip gimė koncepcija big.LITTLE, pagal kurią vienoje procesoriaus mikroschemoje naudojami skirtingi branduoliai – galingi ir ekonomiškai. Esant nedidelei apkrovai, dirba mažasis klasteris (ekonomiški branduoliai), tuo tarpu galingieji branduoliai yra išjungti. Padidėjus apkrovai, darbą perima didžiojo klasterio branduoliai



Lokališkumo principas

Hennesy&Patterson: programos linkę naudoti duomenis ir komandas, kurias jau yra naudoję. Sakoma, kad programa apie 90% vykdymo laiko skiria apie 10% kodo.

Lokališkumas

- laiko atžvilgiu: jei dabar reikalingas kuris nors elementas, labai tikėtina, kad netrukus vėl jo prisireiks
- vietos atžvilgiu: jei dabar reikalingas kuris nors elementas, labai tikėtina, kad netrukus bus reikalingas ir jam gretimas

Spartinančioji atmintis (kešas)

- SRAM ląstelė. Ši atmintis vadinama statine todėl, kad atminties elementas – trigeris – gali laikyti būseną kiek norima ilgai (kol jis gauna maitinimą). Vienam bitui saugoti statinės atminties ląstelėje reikia 6-8 tranzistorių (dinaminėje atmintyje pakanka vieno). Todėl SRAM ląstelė užima žymiai didesnę plotą, užtat dirba greičiau nei DRAM.

Kešo lygiai

- Dėl didelės darbo spartos SRAM naudojama keše
- Sparčiausias (arčiausiai branduolio, mažesnės talpos) – L1 kešas; jo vėlinimas – apie 2-3 ciklus
- Kiek mažesnės spartos (didesnės talpos) – L2 kešas; jo vėlinimas – 7-10 ciklų
- Lėčiausias –L3 kešas; jo vėlinimas – 20 (lėtuose procesoriuose) – 40 ciklų (sparčiuose procesoriuose)
- Pagrindinės atminties išrinkimo laikas – 100-150 ciklų

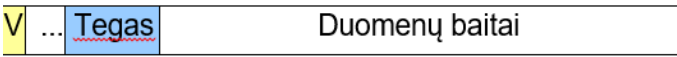
Kešo tipai

- Tiesioginio atitikimo kešas – kiekvienas iš pagrindinės atminties paimtas eilutės dydžio blokas turi vienintelę apibrėžtą vietą keše.
- Pilnai asociatyvus kešas – kiekvienas iš pagrindinės atminties paimtas eilutės dydžio blokas gali būti bet kurioje vietoje keše.
- Dalinai asociatyvus kešas – kiekvienas iš pagrindinės atminties paimtas eilutės dydžio blokas gali būti bet kurioje iš k vietų; skaičius k vadinamas asociatyvumo laipsniu arba krypčių skaičiumi.

Kešo eilutės struktūra

Kešo eilutėje būna tokia informacija:

- duomenų baitai – informacijos kopija iš pagr. atminties;
- tegas – bitai, nurodantys atminties sritį, iš kurios buvo įkeltas duomenų blokas (žr. pateiktą paveikslą);
- bitas V (Valid) – bitas, rodantis, ar kešo eilutė užpildyta („tikra“);



Be to, priklausomai nuo kešo tipo, eilutėje gali dar būti:

- bitas D (Dirty) – bitas, rodantis, ar į kešo eilutę buvo kas nors įrašyta (jos turinys modifikuotas);
- bitai LRU (Least Recently Used) – bitai, naudojami pakeičiamai eilutei parinkti (dalinai asociatyviame keše).

Išrinkimas iš kešo

Išrinkimas iš kešo yra atliekamas tokia tvarka:

- Pagal kreipinio adresą (fizinį !) nustatomas indeksas, rodantis kešo eilutę ar jų grupę (kelių krypčių keše).
- Patikrinama, ar tarp jų yra užpildyta (“tikra”) eilutė, kurioje įrašytas tegas sutampa su kreipinio adreso aukščiausiais bitais.
- Jei tokios eilutės nėra, fiksuojamas nepataikymas į kešą (miss). Jei tokia eilutė rasta, pagal vietos eilutėje bitus išrenkama reikalinga informacija

Informacijos pakeitimas keše

Informacijos pakeitimas keše yra atliekamas tokia tvarka:

- Pagal kreipinio adresą (fizinį !) nustatomas indeksas, rodantis kešo eilutę ar jų grupę (kelių krypčių keše).
- Patikrinama, ar tarp jų yra laisva (“netikra”) eilutė. Jei tokia eilutė yra, ji užpildoma iš atminties perskaitytu informacijos (eilutės ilgio) bloku.
- Jei tokios eilutės nėra, naudojant išrinkimo strategiją parenkama keistina eilutė ir ji užpildoma iš atminties perskaitytu informacijos (eilutės ilgio) bloku.

Nauji DRAM tipai

Jei iki SDRAM sukurtieji tipai sąlyginai gali būti jau vadinami klasikiniais, tai pastaraisiais metais sukurti nauji DRAM tipai, kurie prasiskynė kelią į kompiuterius:

- DDR SDRAM - Double Data Rate SDRAM
- DDR2 SDRAM – dvigubai spartesnė nei DDR
- DDR3 SDRAM – keturgubai spartesnė nei DDR

DDR - Double Data Rate SDRAM - SDRAM su dvigubu magistralės dažniu: skaitymo ir rašymo operacijos vykdomos du kartus vieno takto metu - pagal kylantį ir krintantį taktinio impulso frontus

Pralaidumas

- 1 kartos - iki 1.6 GB/s (= 100 x 2 x 8 B; dažnis iki 100 MHz)
- vėlesnių - 3.2 GB/s (= 200 x 2 x 8 B; dažnis 200 MHz)

DDR2 branduolys skaitymo ir rašymo operacijos vykdo tokiu pačiu dažniu, kaip ir DDR ar SDRAM. Tačiau:

- Padvigubintas I/O buferių darbo dažnis
- Du kartus išplėsta magistralė, jungianti branduolį su buferiais

Todėl duomenys multipleksuojami ir perduodami dvigubu dažniu įprasto pločio magistrale.

Taigi, DDR2 533 dirba tuo pačiu dažniu, kaip DDR266 arba PC133 SDRAM.

Ką duoda DDR3?

- Pirmiausia – apie 40% mažesnes energijos sąnaudas, lyginant su populiariomis DDR2 (taip yra dėl maitinimo įtampos mažinimo: 1,5 V - DDR3, kai 1,8 V - DDR2, arba 2,5 V – DDR)
- Didesnę darbo spartą - DDR3 dažnis yra diapazone 800 MHz – 1600 MHz (taktinis dažnis 400 MHz – 800 MHz); tuo tarpu DDR2 dažnis diapazone 400 MHz - 1066 MHz (taktinis dažnis 200 MHz - 533 MHz), o DDR – tik 200 MHz - 600 MHz
- DDR3 minusas – didesnis vėlinimas taktais

DDR4

- Nauja DDR atminčių karta – DDR4 atmintys. Jos naudoja 1,2V maitinimo įtampą vietoj DDR3 atminčių standartinės 1,5 V įtampos, numatant vėliau pereiti prie dar žemesnės įtampos (1,05 V)
- DDR4 pasižymi dar didesniu pralaidumu – nuo 2133 MT/s iki 4266 MT/s

DDR laiko parametrai

Pagrindiniai DDR DRAM laiko parametrai yra:

- tRCD - RAS to CAS delay – laikas, reikalingas eilutei išrinkti ir stulpelio adresui paduoti
- CL - CAS delay (latency) – eilutės išrinkti
- tRP - RAS precharge – laikas, reikalingas išrinktai eilutei deaktyvuoti
- tRAS - active to precharge delay – minimalus laikas, kurį eilutė turi būti aktyvi iki ją deaktyvuojant

Pavyzdžiui, užrašas “DDR2-800 5-5-5-16” rodo šių keturių parametrų reikšmes

DDR2 laiko parametrai

- tRCD - RAS to CAS delay – laikas, reikalingas eilutei išrinkti ir stulpelio adresui paduoti
- tCL - CAS delay (latency) – laikas, reikalingas duomenims iš eilutės išrinkti
- tRP - RAS precharge – laikas, reikalingas išrinktai eilutei deaktyvuoti
- tRAS - active to precharge delay – minimalus laikas, kurį eilutė turi būti aktyvi iki ją deaktyvuojant

DRAM regeneracija

- Regeneracijos periodas - Tref . Pradžioje Tref buvo 2 ms, dabar siekia 64 ms
- Per šį laiką turi būti “sujudinta” kiekviena DRAM eilutė
- Eilutės adresui šiuolaikiniuose atminties kristaluose skiriama 13-15 bitų; eilučių skaičius tuomet būna 8K-32K
- PC/XT regeneraciją vykdė DMA-0: taimeris formuodavo regeneracijos signalą kas 15,6 s
- Vėliau regeneraciją valdo chipset, stengdamasis panaudoti laisvus magistralės ciklus

Aukšto pralaidumo atmintis – HBM

- High Bandwidth Memory (HBM) yra labai naši RAM, kurioje panaudotas vertikalus atminties kristalų komponavimas
- Kiekviena HBM pakete yra 8 nepriklausomi atminties kanalai
- Jie turi visiškai nepriklausomą sąsają:
 - nepriklausomą sinchronizaciją ir laiko diagramos formavimą
 - nepriklausomas komandas
 - nepriklausomus atminties elementų masyvus
 - trumpai tariant, tai, kas vyksta viename kanale, visiškai neveikia bet kurio kito kanalo
- Kiekvienas kanalas turi 128 bitų duomenų sąsają
 - Vieno kontakto pralaidumas 1-2 Gbps (500-1000 MHz DDR)
 - Vieno kanalo pralaidumas 16-32 GB/s

- Šio tipo atmintis skirta naudoti su aukšto našumo grafikos spartintuvais

Hibridinis atminties kubas

- Hybrid Memory Cube (HMC) yra kitas labai našios RAM tipas, kurioje panaudotas vertikalus atminties kristalų komponavimas
- Jame naudojami standartiniai DRAM atminties elementai
- DRAM kontrolieris realizuotas CMOS pagrinde
- Naudojama visiškai kitokia, nei dabartinėse DDRn, sąjaja
- 1 HMC turės ~20 kartų didesnę našumą lyginant su DDR3 DIMM
- 1 HMC naudos ~10 kartų mažiau energijos vienam bitui lyginant su dabartinėmis DIMM ir atminties kanalais

DRAM moduliai

- SIPP – Single In-Line Pin Package
- SIMM – Single In-Line Memory Module
- DIMM – Dual In-Line Memory Module
- SO DIMM – Small Outline Dual In-Line Memory Module
 - Nešiojamiems kompiuteriams skirti atminties moduliai SO DIMM (small outline) yra maždaug du kartus mažesni nei įprasti DIMM moduliai

LP DIMM

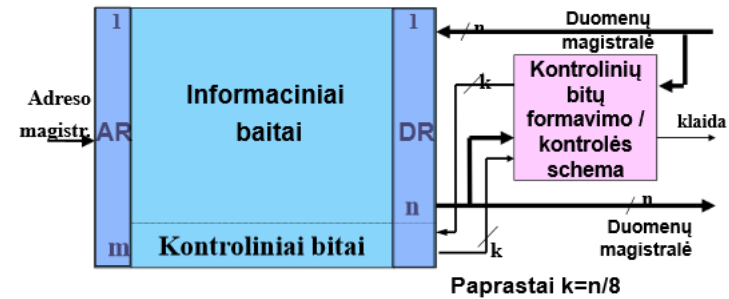
- Tai žemo profilio (Low-Profile) DIMM moduliai, kurie skirti naudoti 1U sistemose – plonuosiuose serveriuose
- Šie moduliai sukonstruoti taip, kad mažai trukdytų aušinimo oru sistemos oro srautams

0 1 0 1 0 1 1 0 k

$k = b_0 \oplus b_1 \oplus \dots \oplus b_7$ - lyginumo

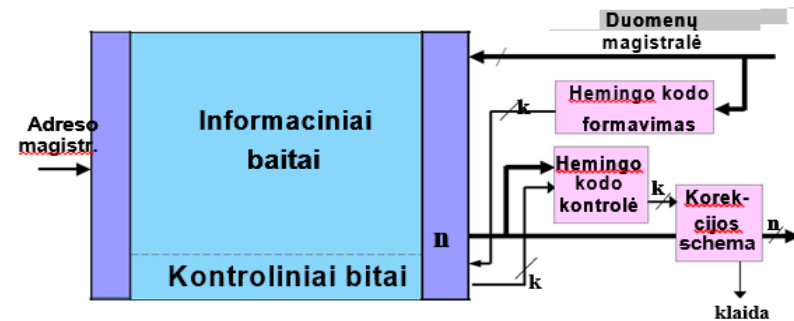
$k = 1 \oplus b_0 \oplus b_1 \oplus \dots \oplus b_7$ - nelyginumo

Lyginumo kontrolė



Klaidų kontrolė ir korekcija

Hemingo kodas: ištaiso pavienes klaidas ir fiksuoja daugelį kartotinių. Kodo ilgis paprastai $k=\log_2 n + 1$; plus lyginumo kontrolė - $k=\log_2 n + 2$

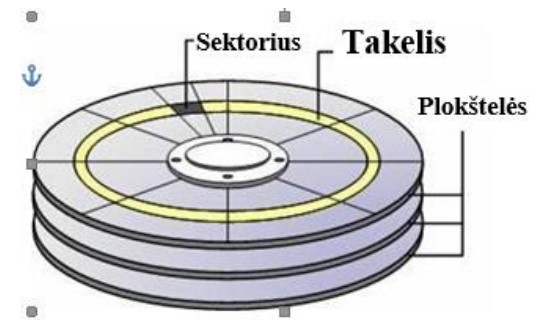


DRAM kontrolieris

DRAM kontroleris, transformuodamas CPU kreipinio signalų rinkinį į atminčiai valdyti reikalingus signalus, kartu ir formuoja laiko diagramą pagal konkrečiam DRAM tipui (DDR2, DDR3, ...) reikalingą jų tarpusavio išdėstymą

Magnetiniai diskai

- Takelis – vienas iš koncentrinųjų apskritimų; numeruojami nuo išorės (0) į vidų
- Cilindras – tą patį numerį turinčių takelių visuma
- Sektorius – takelio dalis, anksčiau buvo 512 baitų, o nuo 2007 metų įvesti 4096 baitų sektoriai, kurie tampa šiuolaikinių diskų standartu
- Pirmaisiais metais sektorių skaičius takeliuose buvo vienodas
- Kadangi takelių ilgis išorėje ir prie centro žymiai skiriasi, vėliau pradėta takeliuose naudoti skirtingą sektorių skaičių
- Šiuolaikiniuose diskuose takeliai suskirstyti į “zonas” su vienodu sektorių skaičiumi
- Klasteris (cluster, allocation unit) – grupė sektorių, apjungtų į stambesnę junginį failų sistemos darbo efektyvumui padidinti; failas užima tam tikrą klasterių skaičių
- Mainams tarp pagrindinės atminties ir disko paspartinti naudojamas disko kešas
- Disko kešo talpa siekia 16 MB ir daugiau
- Paprastai disko keše (buferyje) laikoma RAM disko dalies turinio kopija, o į patį diską kreipiamasi tik tuomet, kai reikiamos informacijos keše nėra
- Kreipties laikas priklauso nuo cilindro paieškos laiko ir vėlinimo dėl sukimosi
- Informacijos perdavimo laikas priklauso nuo įrašo tankio ir disko sukimosi greičio



Flash atmintis

- Tai informaciją išsaugančios (atjungus maitinimą) atminties tipas.
- Pagal savo darbo principą flash atmintis priklauso EEPROM klasei, tačiau naudoja ypatingą atminties ląstelių sudarymo technologiją.
- Trinama iš karto ląstelių sritis (dažniausiai - blokas arba visa). Tai paspartino informacijos įrašymą (programavimą).

Flash atmintyje dera keletas naudingų savybių:

- didelis pakavimo tankis (jos ląstelė 30% mažesnė nei DRAM),
- informacijos išsaugojimas atjungus maitinimą,
- trynimas ir informacijos įrašymas elektriniais signalais,
- mažas energijos sunaudojimas,
- didelis patikimumas ir
- nedidelė kaina.

Pagal elementaraus atminties elemento sandarą skiriami du flash atminties įtaisų variantai:

- tradiciniai vieno lygmens įtaisai (SLC – angl. Single-Level Cell), kai viename atminties elemente įsimenama vieno informacijos bito reikšmė;
- kelių lygmenų įtaisai (MLC – angl. Multi-Level Cell), kai viename atminties elemente įsimenamos kelių informacijos bitų (dažniausiai – dviejų) reikšmės; tai padidina informacijos talpą tame pačiame kristalo plote, tačiau, sumažėjus skirtumui tarp lygmenų, padidėja klaidų tikimybė, kurią tenka kompensuoti didinant programinės įrangos sudėtingumą

SSD

Flash mikroschemos sudaro duomenų saugojimo terpę. SSD darbą valdo jo kontroleris, į kurio sudėtį įeina:

- procesorius, kuris valdo užklausų srautą ir duomenų loginių blokų atitikimą jų fizinei vietai flash mikroschemose;
- multiplekseris ir demultiplekseris, kuris pagal gautas komandas užtikrina ryšį su flash mikroschemomis per nuoseklias linijas;
- buferio valdymo schema seka gautas ir įvykdytas užklausas.

Procesorius darbo metu naudojasi įterptine atmintimi (RAM). Sąsajos įtaisas realizuoja SSD sąsają su sistema

- SSD trūkumas yra tai, kad prieš įrašant informaciją turi būti ištrinta toje vietoje buvusi, o minimalus ištrinamas vienetas ir yra blokas.

SSD privalumai:

- Sistema greičiau paleidžiama – maždaug per 20 sek.
- Nėra mechaninių besisukančių ar judančių dalių;
- Skaitymo vėlinimas ~65 μs, rašymo vėlinimas ~85 μs;
- Mažas energijos suvartojimas;
- Nėra triukšmo;
- Didelis darbo temperatūrų diapazonas;

- Visiškai vienodas failų skaitymo laikas, nepriklausantis nuo jų vietos ar fragmentavimo;
- Nedideli gabaritai ir svoris

SSD trūkumai:

- Ribotas informacijos perrašymo ciklų skaičius
- Santykinai aukšta 1 GB kaina
- SSD kaina tiesiai proporcinga jų talpai, tuo tarpu tradicinių HD kaina priklauso nuo plokštelių skaičiaus ir lėtai auga didėjant jų talpai

Hibridinis diskas

Hibridinio disko idėja - vienoje sistemoje apjungti tradicinį MD ir SSD. Pirmieji bandymai padaryti 2007 metais, kai Samsung ir Seagate į HDD Spinpoint MH80 ir Momentus 5400 PSD įtaisus įmontavo NAND flash atmintį. Pastebėjome, kad MD pakeisti hibridiniu disku nėra paprasta – reikia spręsti hibridinio disko palaikymo problemą: ar kontroleris paslėps nuo OS visą tokios sistemos specifiką, ar reikia modifikuoti OS ir naudoti specializuotas tvarkykles.

Taikomųjų programų siunčiami duomenys pradžioje įrašomi į MD, po to analizuojamas jų panaudojimas, ir tik po to jie įkeliami į NAND siekiant paspartinti jų pakartotinį išrinkimą.

Kompiuterio magistralės

Kompiuterių architektūroje magistrale vadinamas posistemis, skirtas duomenims perduoti kompiuterio viduje arba tarp kompiuterių.

- Lygiagrečiosios magistralės
 - Lygiagrečiosiose magistralėse sąvoka “magistralės plotis” atitinka signalinių linijų skaičių arba, kitais žodžiais, vienu metu perduodamų informacijos bitų skaičių
 - Starto ir duomenų perdavimo ar priėmimo ciklo pabaigą nurodo sinchrosignalas
- Lygiagrečiosios magistralės turi didelį linijų skaičių, todėl dažnai skiriamos trys jų sudedamosios dalys:
 - adresų magistralė, kuria perduodamas adresas (atminties ar periferinio įtaiso); dažniausiai ši magistralė vienkryptė
 - duomenų magistralė, kuria perduodami duomenys; dažniausiai į procesorių ir iš procesoriaus
 - valdymo magistralė, kuria perduodamos komandos ir sinchronizacijos signalai, skirti visiems išoriniams (periferiniams) įtaisams bei atsakai iš jų
- Lygiagrečiosios magistralės turi ribotą duomenų perdavimo dažnį

Nuosekliosios magistralės

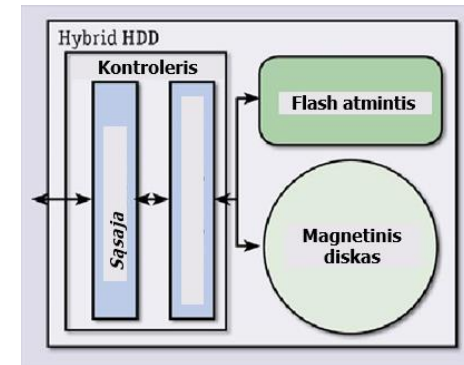
- Nuosekliosiose magistralėse naudojama viena signalinė
- Informacijos bitai perduodami nuosekliai
- Duomenys dažniausiai apjungiami į paketus, į kuriuos įeina ir tarnybinė informacija: starto bitai, paketų antraštės, sinchrosignalai, lyginumo bitai ar kontrolinės sumos, stop- bitai
- Nuoseklus informacijos perdavimas šiuolaikinių technologijų sąlygomis duoda joms esminį pranašumą – galimybę praktiškai be didelių sąnaudų didinti perdavimo dažnį tokiose ribose, kurios nepasiekiamos gremėzdiškoms lygiagrečiosioms magistralėms
- Taip yra todėl, kad kiekviena magistralės linija turi tam tikrą ilgį, parazitinę talpumą ir induktyvumą

Kompiuteriuose sutinkamos

- vidinės magistralės, jungiančios tarpusavyje vidinius kompiuterio komponentus pagrindinėje plokštėje
- išorinės magistralės, jungiančios įvairius kompiuterio išorinius (periferinius) įtaisus prie pagrindinės plokštės

Jei ryšys jungia tarpusavyje tik du aparatinės įrangos komponentus, jį vadiname prievadu (port) - nuosekliu ar lygiagrečiu

- Procesoriaus magistralė. Ją naudoja valdymo schemų rinkinys (chipset) informacijos mainams su procesoriumi. Kai kurie šaltiniai ją vadina sistetine magistrale. Dažniausiai ji vadinama FSB (Front Side Bus)
- Kešo magistralė. Procesoriuose ji buvo naudojama dideliame pralaidumui užtikrinti. Čia ji dažniausiai vadinama BSB – Back Side Bus
- Atminties magistralė. Taip vadinama magistralė, jungianti atminties posistemį su valdymo schemų rinkiniu (chipset) ir procesoriumi. Ankstesnėse sistemose tai ta pati procesoriaus magistralė
- Lokalinė I/O magistralė. Taip vadinama didelės spartos įvesties ir išvesties magistralė, jungianti sparčius I/O įtaisus su atminties posistimi, su valdymo schemų rinkiniu (chipset) ir procesoriumi. Dabar populiariausia – PCI.
- Standartinė I/O magistralė. Tai nedidelės spartos įvesties ir išvesties magistralė, jungianti tokius I/O įtaisus, kaip pelė, klaviatūra. Gera seniems įtaisams prijungti. Populiariausia anksčiau – ISA, dabar - USB.
- Greitoji grafikos magistralė (AGP – Accelerated Graphics Port). Taip buvo vadinama didelės spartos magistralė, jungianti grafikos posistemį su valdymo schemų rinkiniu (chipset) ir procesoriumi.



- Naujoji grafikos magistralė (PCIe – PCI Express). Taip vadinama didelės spartos magistralė, pakeitusi AGP

Magistralės arbitražas

- Tvarkai palaikyti ir mainams organizuoti naudojamas magistralės arbitražas
- Magistralės arbitražas būna nuoseklus (paskirstytas) arba lygiagretus (centralizuotas)

HyperTransport technologija

2001 m. AMD pristatė didelę spartą pasižyminčią tiesioginio ryšio tarp schemų sąsają kompiuteriams, serveriams ir kt. įrangai.

Kuriant buvo iškelti tikslai:

- užtikrinti žymiai didesnį pralaidumą lyginant su turimomis technologijomis;
- sumažinti kontaktų skaičių ir atsako vėlinimo laiką;
- pasiekti skaidrumą operacinių sistemų požiūriu ir minimalų poveikį periferinių įtaisų tvarkyklėms

QuickPath Interconnect (QPI)

- Intel procesoriuje Nehalem įvedė QuickPath Interconnect (QPI - vietoj anksčiau naudotos FSB)
- Ji tai padarė 5 metais vėliau nei AMD, įvedusi HyperTransport
- QPI naudoja dvi 20 bitų magistrales (atskiras kiekvienai kryptiai). Iš 20 bitų 16 skirti duomenims perduoti, o likę 4 – kontrolei ar protokolo tarnybinei informacijai
- Tai duoda 6,4 GT/s spartą (arba 12,8 GB/s) kiekviena kryptimi
- FSB maksimalus dažnis Intel procesoriuose lygus 400 MHz; adresams perduoti reikia dviejų taktų (200 MT/s), o duomenys perduodami QDR režimu, pasiekiant 1,6 GT/s spartą. Kadangi duomenų magistralė 64 bitų, FSB duoda suminį 12,8 GB/s pralaidumą, tačiau tik viena kryptimi

PCI Express magistralė

Siekiant didinti perdavimo spartą, buvo pereita prie didelės spartos nuoseklaus duomenų perdavimo 2003 m. pristatyta trečiosios kartos įvesties ir išvesties magistralė 3GIO (3rd Generation IO), kuri vėliau buvo pavadinta PCI Express Siekiama, kad ji būtų naudojama įvairiuose rinkos segmentuose Būdamas nuosekli, ši magistralė ne brangesnė už PCI, dėl mažesnio laidininkų skaičiaus užima mažiau vietos plokštėse Programiniu požiūriu ji suderinama su PCI Svarbi jos funkcija – galimybė keisti perdavimo spartą keičiant linijų skaičių: x1, x2, x4, x8, x12, x16, x32. x1 variantas minimaliausias, jis įstatomas plokštėse šalia PCI lizdo, kad būtų galima įstatyti tiek paprastą PCI plokštę, tiek ir naująją PCI Express.

USB magistralė

USB – nuosekli magistralė, pasižyminti vidutine perdavimo sparta. Ji skirta įvairiems periferiniams įtaisams (klaviatūrai, spausdintuvams, skeneriams, ...) prijungti.

Informaciniai signalai ir maitinimas perduodami 4 linijų kabeliu

- dvi linijos skirtos signalams perduoti nuosekliu kodu
- dvi linijos skirtos maitinimui

Valdymo schemų rinkiniai

Valdymo schemų rinkiniai apjungia kompiuterio sisteminėje plokštėje esančius elementus – procesorių, atmintį, magistrales, L3 kešą – į vieningą sistemą

Ką apibūdina ar nustato VSR:

- palaikomų procesorių tipus ir dažnius,
- palaikomą FSB dažnį,
- dinaminės atminties modulių tipus, apimtis ir kiekį, duomenų mainų spartą,
- video sistemai prijungti naudojamą magistralę ir jos spartą,
- PCI dažnį, magistralės kontrolių skaičių,
- USB prievadų skaičių,
- prijungiamų diskų sąsają, diskų masyvo realizacijos galimybes,
- audio sistemos galimybes,

VSR paprastai sudaro dvi dalys:

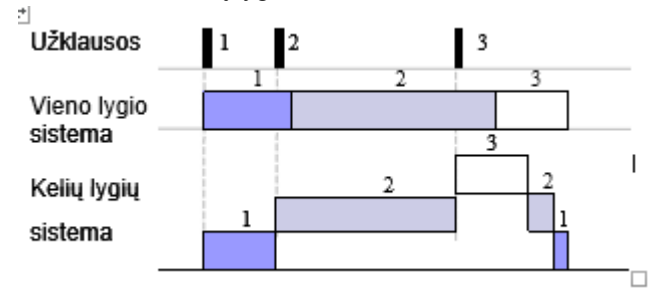
- MCH (Memory Control Hub, northbridge) – atminties kontroleris ir komutatorius, šiaurinis tiltas ir
- ICH (Input/Output Control Hub, southbridge) – įvesties ir išvesties kontroleris ir komutatorius, pietinis tiltas

Magnetinių diskų sąsajos

- IDE Paprasta, primityvi sąsaja. Duomenys perduodami per ISA magistralę, todėl lėtai. Talpa nedidelė, naujuose PC nenaudojama. IDE reiškia, kad kontrolerio funkcijos realizuojamos standžiojo disko įtaise, todėl diskas jungiamas tiesiai prie sistemos magistralės. IDE žinomas ir kitu vardu – ATA
- 2000 metais buvo patvirtinta SerialATA (SATA) specifikacija. SATA – nuoseklioji sąsaja. Pirmoji SATA karta, dar vadinama SATA/150, užtikrina maksimalų pralaidumą 1,5 Gb/s. Kadangi SATA/150 turi kai kurių trūkumų (nepalaiko NCQ - Native command queuing), buvo parengta nauja specifikacija SATA/300, palaikanti packetinio informacijos perdavimo spartą 3 Gb/s. Ši specifikacija dar vadinama Serial ATA II (SATA II)
- SCSI Našiausia, diskai jungiami per brangų kontrolerį. Paprastai MD yra aukščiausios kokybės, spartūs. SCSI kontroleris gali valdyti iki 7 MD, kurių talpa 45GB.

Pertrauktys
Signalus, kuriais kompiuterio komponentai patys informuotų apie juose susidariusią situaciją, reikalaujančią dėmesio, vadiname pertraukties signalais

- Pertraukčių tipai
 - Išorinės (asinchroniškos procesui): techniniai gedimai (įtampa, ...) laikrodis
 - Vidinės (synchroniškos procesui): adresavimo klaidos, operandų klaidos (/0, ...)
 - Programinės (synchroniškos procesui): programinės (pertr. sistemai tikrinti), derinimo (po kiekvienos komandos - analizė)
 - Vykdyto variantai: po komandos (dažniausiai), komandoje (rečiau, kai negalima užbaigti)
 - Apdorojama: mikroprograma (anksčiau), paprograme (dažniausiai)
- Pertraukčių lygiai



- Apdorojimo procedūra:
- pertraukties signalo priėmimas
 - pertraukties atpažinimas
 - būsenos įsiminimas
 - pertrauktį apdorojančios programos vykdymas
 - būsenos atstatymas

- Įvesties ir išvesties problemos**
- Galimybė prijungti įvairius PĮ
 - Lygiagretus įvesties ir išvesties sistemos darbas su procesoriumi
 - Maksimaliai supaprastintas įvesties ir išvesties procesų programavimas
 - Reakcija į įvairias kritines situacijas bei iškilusias problemas

- Problemų sprendimo keliai**
- PĮ moduliškumas (konstruktyvus išbaigtumas, paprastas prijungimas)
 - Unifikuoti duomenų formatai
 - Unifikuota sąsaja (interfeisas)
 - Unifikuoti komandų formatai ir tipai

- Periferinio įtaiso kontrolerio funkcijos**
- valdymas ir sinchronizavimas
 - ryšis su CPU
 - ryšis su periferiniu įtaisu
 - adresų atpažinimas
 - komandų dekodavimas
 - informacijos apie būseną pateikimas
 - duomenų perdavimas
 - duomenų buferizavimas
 - klaidų kontrolė

- Duomenų mainai su PĮ**
- a) programa valdomi duomenų mainai – kai perduodama mažai duomenų ir kreipiantis į atmintį, ir PĮ darbo sparta nedidelė. Šiuo atveju mainus valdo procesorius, tam naudodamas įvesties ir išvesties komandas IN ir OUT. Priklausomai nuo įtaiso tipo ir jo darbo ypatumų skiriami trys atvejai: besąlyginiai mainai, sąlyginiai mainai, mainai pagal pertraukties signalą

- b) tiesioginiai duomenų mainai - kai perduodamų duomenų apimtis didelė ar PĮ darbo sparta didelė. Tiesioginiais duomenų mainais vadinamas toks duomenų įvedimas ir išvedimas, kuris vyksta tarp sistemos pagrindinės atminties ir įvesties ar išvesties įtaisų, nedalyvaujant (tiesiogiai) procesoriui, Visas duomenų mainų valdymo funkcijas atlieka specialus įtaisas, kurį vadiname kanalu ar tiesioginių mainų su atmintimi kontrolieriu. Procesorius leidžia atlikti duomenų mainus (perduoti žodį), leisdamas valdyti magistralę kanalui ar kontrolieriui; tai vadinama ciklo užėmimu

Pagrindinės kanalo funkcijos

nurodyti duomenų masyvo adresą atmintyje;

- nurodyti duomenų masyvo ilgį;
- formuoti (nuosekliai) atminties adresus;
- skaičiuoti perduodamų duomenų kiekį; □ nustatyti operacijos pabaigą;
- buferizuoti duomenis;
- keisti duomenų formatus (pagal PĮ ir Atm);
- įgalinti praleisti atskirus duomenų srauto gabalus;
- minimizuoti procesoriaus įsikišimą, kai sudaromos komandų grandinėlės;
- formuoti pertraukties užklausimo signalą;
- perduoti informaciją apie periferinio įtaiso būseną.

GPU

- Lygiagrečiai su grafikos plokštėmis buvo sukurtos integruotos grafikos priemonės, mažiau galingi grafikos spartintuvai arba procesoriai, kurie buvo integruoti į VSR
- Daugiau nei 90% naujų stalinių ir nešiojamųjų kompiuterių turi integruotus GPU, kurie paprastai gerokai mažiau galingi, nei įstatomi į vaizdo plokštes
- Vis augantis grafinių procesorių našumas paskatino tyrimus, skirtus GPU panaudojimui įprastiems skaičiavimams
- Taip atsirado terminas bendrosios paskirties GPU (GPGPU). Tyrinėtojai grafinį procesorių naudoja kaip kopprocesorių skaičiavimams paspartinti
- Nemaža svarbių uždavinių reikalauja gana galingų skaičiavimo resursų ir neblogai derinasi su GPU būdinga daugelio branduolių architektūra
- CUDA (Compute Unified Device Architecture) – Nvidia sukurta duomenų apdorojimo architektūra išnaudojanti grafinio procesoriaus resursus ir API Modelis. Jis leidžia programinės įrangos kūrėjams naudoti grafikos procesorius (GPU) bendrosios paskirties skaičiavimams (GPGPU)