

1个周期.

IF: wait
↓
exec

↓
一次可取两条指令

↓

1个周期完成取指. 译码. 下一个周期放入 Pre-issue Buffer.

③ 分支指令所涉及寄存器未就绪. 就会停止.

取到分支. 则下一个指令被丢弃. 需根据分支指令重新提取.

取到 Break → 当前周期停止模拟.

分支. Break. Nop 不进入 Pre-issue Buffer.
但要满足 Pre-issue Buffer 空.

Pre-issue Buffer. 4个槽位. 0 总是最旧指令.
3 总是最新指令.

Issue:

每个周期最多两条乱序指令

- ① 有空槽 \rightarrow Pre
- ② 有效指令无 WAW
- ③ 无 WAR
- ④ 存储指令, 对应寄存器必须准备就绪
- ⑤ 加载指令等前项存储完毕
- ⑥ 存储必须按顺序

Pre ALU queue. 两个专用 FIFO.

ALU: 处理除 SLL, SRL, SRA, MUL
之外的那内存指令计算

\rightarrow 1个周期

Post ALUB 不检查结构危险 一定写入.

buffer

不检查是否占用

1个周期

Pre ALUB queue. \rightarrow 两条目. FIFO

ALUB 处理 SLL, SRL, SRA, MUL

\downarrow
需要两个周期

Post-ALUB buffer. 不检查完. 一定取.
 \hookrightarrow 1个周期.

MEM Unit \rightarrow 处理 LW, SW.

\hookrightarrow LW: \rightarrow 1个周期. 一定写入 Post-MEM.

SW: \rightarrow 1个周期. 不写入 Post MEM

Post MEM Buffer: 1条目

WB: 1个周期. 可执行三个回写.

根据 Post ALU Post ALUB
Post MEM

PC. 开始为 64

NOP. Break. Branch \rightarrow Only IF.

SW \rightarrow IF. Issue MEM

LW \rightarrow IF Issue MEM. WB

SLL. SRL. SRA. MUL \rightarrow IF. Issue
ALUB. WB

Other: IF. Issue ALU WB