

# 第一篇

## 基础篇

本篇将介绍智能嵌入式系统的基础概念和方法。了解智能嵌入式系统涉及到的基础概念、性能指标以及软硬件优化配置体系及开发过程规范，掌握基于有限状态自动机的智能嵌入式系统建模方法，熟练使用基于硬件描述语言 Verilog 以及混成系统建模语言 Simulink 仿真工具，熟练使用 Matlab 工具以及 C、C++ 编程语言获取任务软件执行时间方法，熟练使用高阶层次综合工具 Vivado HLS 获取任务硬件执行时间以及 FPGA 查找表（LUT）个数获取方法。掌握处理系统 PS 与处理逻辑 PL 之间通信时延获取方法。

本篇共有四章：

第 1 章 概述

第 2 章 系统建模

第 3 章 系统仿真

第 4 章 系统性能获取

## 第1章 概述

凡事豫则立，不豫则废 《礼记·中庸》

以人工智能为代表的智能嵌入式系统在飞速发展，强大地推动人类社会的进步，其基本特征是人工实现的具有智能能力的嵌入式系统。本章重点介绍智能系统与嵌入式技术融合产生的智能嵌入式系统相关内容，包括智能嵌入式系统软硬件协同优化设计体系架构，以及基本概念，如微处理器、操作系统、异构系统平台、处理系统 PS 与处理逻辑 PL、软硬件通信、软件、硬件。还包括智能嵌入式系统的性能属性，包括成本、能耗、时间性能、硬件面积、FPGA 的查找表数、通信代价、可靠性等。

### 第 1.1 节 智能嵌入式系统

人工智能 (Artificial Intelligence, AI) 是解释和模拟人类智能、智能行为及其规律的学科。主要任务是建立智能信息处理理论，进而设计可展现近似人类智能行为的计算机系统[1]。围棋机器人 Alpha Go 以及智能手机都是人工智能系统。

智能嵌入式系统 (Intelligent Embedded System) 是先进的计算机技术、半导体技术、新一代人工智能技术等与各个行业的具体应用相结合的产物，正在成为各种智能体系的基础，具有技术密集、资金密集、高度分散、不断创新的特点 [2]。智能手机是典型的智能嵌入式系统，而围棋机器人 Alpha Go 虽然也呈现了嵌入式技术，但更体现了并行计算和高性能计算特征。

智能嵌入式系统在硬件基础上融入了人工智能科学与方法，让机器通过一定的方式进行判断、决策和控制，以便最有效地实现其智能功能。它是一个具有传感、控制、人机交互、网络接入等功能的实体系统。

智能嵌入式系统存在于人们日常生活中：消费类电子产品（智能手机、智能手环）、家用电器产品（智能空调、智能照明系统、智能家居）、办公自动化设备（双面自动打印机、智能扫描仪以及 3D 打印机）、商用设备（路边自动收费机、智能售货机、智能存取款机）、车用设备（汽车驾驶辅助系统，如定速巡航控制系统以及防锁死刹车器）、医疗健康设备（智能健康监测设备、康复机器人、心脏起搏器、肌电信号识别仪）等。

智能嵌入式系统更存在于安全攸关的国家工程：航空航天控制设备（运载火箭、人造卫星、玉兔号登月车、祝融号火星巡视车、导弹以及各式各样飞机）、轨道交通、车联网、制造业设备（自力式温度控制器、液位控制器以及过程控制系统）、工业互联网、智能制造等。

近期的信息物理融合系统（Cyber-Physical System, CPS）是计算进程与物理进程的集成[3]，关联了物联网、工业 4.0、工业互联网的热点词汇[4]。这些都可以容纳到智能嵌入式系统中。

## 第 1.2 节 嵌入式技术

嵌入式技术（Embedded Technology）是以应用为中心、以计算机技术与软件工程为基础、软硬件可裁剪，对功能、可靠性、成本、体积、功耗严格要求的专用计算机技术。嵌入式技术通过“感知、通讯、控制和监控”等方式在板（片）上实现智能系统。

嵌入式技术的产品是嵌入式系统，由软件和硬件组成的综合体，还可以涵盖机械等附属装置。嵌入式系统上运行的软件一般称为嵌入式软件，嵌入式软件在嵌入式微处理器上运行。

嵌入式系统一般由 5 部分组成：微处理器、专用集成电路、外围硬件设备、嵌入式操作系统和特定应用程序。

中央处理器 CPU（Central Processing Unit）是系统的运算和控制核心，也是信息处理、程序运行的最终执行单元。CPU 一般包含算术逻辑单元（Arithmetic and Logic Unit, ALU）、控制单元以及工作寄存器[5]。基于 MIPS 的国产芯片龙芯迅速崛起，为芯片国产化提供了技术保障。

**微处理器 MPU** (Microprocessor Unit) 是具有中央处理器的硅芯片，能够依据厂商专用的预定义指令集，执行算术运算和逻辑运算。微处理器不是独立的单

位，为了实现正确的功能，需要与其他硬件设备组合使用，比如存储器、定时器、中断控制器等[5]。微处理器通常有4位、8位、32位和64位。

ARM (Advance RISC Machine) 作为嵌入式系统最常用的处理器，它是一种具有精简指令集 RISC (Reduced Instruction Set Computer) 处理器架构的 CPU。采用精简指令集计算架构的 ARM 微处理器具有体积小、功耗低、成本低、性能高以及指令长度固定等特点；它支持 Thumb (16 位) /ARM (32 位) 双指令集，能很好地兼容 8 位/16 位器件；ARM 处理器拥有大量寄存器，大多数数据操作都在寄存器中完成，因此指令执行速度快，寻址方式灵活简单，执行效率高。

**专用集成电路 ASIC** (Application Specific Integrated Circuit) 是指应特定用户要求和特定电子系统的需要而设计、制造的集成电路，实现系统的特定功能。在嵌入式技术领域，专用集成电路除了实现系统的特定功能外，还有加速功能，使系统运行速度更快。目前复杂可编程逻辑器件 CPLD (Complex Programming logic device) 和现场可编程逻辑阵列 FPGA (Field Programmable Gate Array) 是最为流行的 ASIC 设计方式之一[6]。

现场可编程门阵列 FPGA 是目前专用集成电路 (ASIC) 中集成度最高的一种[7]。FPGA 采用了逻辑单元阵列 LCA (Logic Cell Array)，内部包括逻辑阵列模块 LAB (Logic Array Block) 或可配置逻辑块 CLB (Configurable Logic Block)、输入输出模块 IOB (Input Output Block) 和内部连线 (Interconnect) 三个部分，还包括了存储器、乘法器、时钟源等其它资源。国内 FPGA 生产企业有复旦微电子、广州高云、中芯国际等。

用户可对 FPGA 内部的逻辑模块和 I/O 模块重新配置，以实现用户的逻辑。它具有静态可重复编程和动态部分可重配置的特性，使得硬件的功能可以像软件一样通过编程来修改。作为专用集成电路 (ASIC) 领域中的一种半定制电路，FPGA 既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。FPGA 中最小的逻辑单元由查找表 LUT (Look Up Table)、可编程寄存器 PR (Programmable Register)、触发器 FF (Flip Flop)、数字信号处理 DSP (Digital Signal Processing) 等单元组成。

**嵌入式系统外围设备**一般依据应用场景使用不同的外围设备，通常包括用来为嵌入式系统提供电能的电源；通用 I/O 接口 (General Purpose Input Output,

GPIO) 与串行外设接口 SPI (Serial Peripheral Interface)、控制区域网络总线 CAN (Controller Area Network) 和无线与网络扩展、音频/视频接口与 USB 接口、打印机与 PC 机以及键盘与鼠标等通用设备。

**嵌入式操作系统 EOS** (Embedded Operating System) 是嵌入式系统设计实现的基础之一, 它与桌面操作系统有共同的特点: 负责软硬件资源的分配与调度, 控制与协调并发事务的活动, 完成任务调度、同步机制与中断管理等。嵌入式操作系统具有实时操作性、专用性、精简性、稳定性等特点。常见的嵌入式系统有 Linux、 $\mu$ Clinux、 $\mu$ C/OS、Windows CE、VxWorks、ReWorks、Palm OS 等。面向智能嵌入式系统的操作系统也在发展中: Arm Mbed OS (2014)、华为 Lite OS (2015)、AliOS Things (2017) 和中国移动 One OS (2020) [8], 以及华为鸿蒙及欧拉 (2021)。

调度通常包含了下面 4 个任务: ①执行 (Executing): 获得 CPU 控制权; ②就绪 (Ready): 进入任务等待队列, 通过调度转为运行状态; ③挂起 (Suspended): 任务发生阻塞, 移出任务等待队列, 等待系统实时事件的发生而唤醒, 从而转为就绪或运行; ④休眠 (Dormant): 任务完成或错误等原因被清除的任务, 也可以认为是系统中不存在的任务。任何时刻系统中只能有一个任务在运行状态, 各任务按级别通过时间片分别获得对 CPU 的访问权。

**特定应用程序**一般是指嵌入式系统要完成的具体功能和任务, 依赖于应用领域和实现的功能与任务。如智能手机照片美颜功能, 再如, 房间空调的温控应用程序, 当设定房间的温度 (如 20℃) 后, 空调温控程序就会自动启动或关闭空调压缩机以便保持房间在这个温度的上下。

### 第 1.3 节 异构系统平台

一个处理实体的智能嵌入式系统至少有一个固定微处理器 (MPU), 它可以完成大部分系统功能, 但有时不能完全满足系统要求。因此通常采用 FPGA/ASIC 作为硬件加速器, 实现系统的一个或者多个功能并满足其性能。在智能嵌入式系统中, 硬件实现任务可以并行执行, 软件实现任务为串行执行。硬件实现性能一般远高于软件实现, 但硬件实现成本一般也远高于软件实现成本, 所以系统成本主要取决于占用的硬件面积。

目前智能嵌入式系统的软硬件架构如图 1-1 所示，由处理系统 PS（Processor System）单元和处理逻辑 PL（Processor Logic）单元构成，构成了异构系统平台。

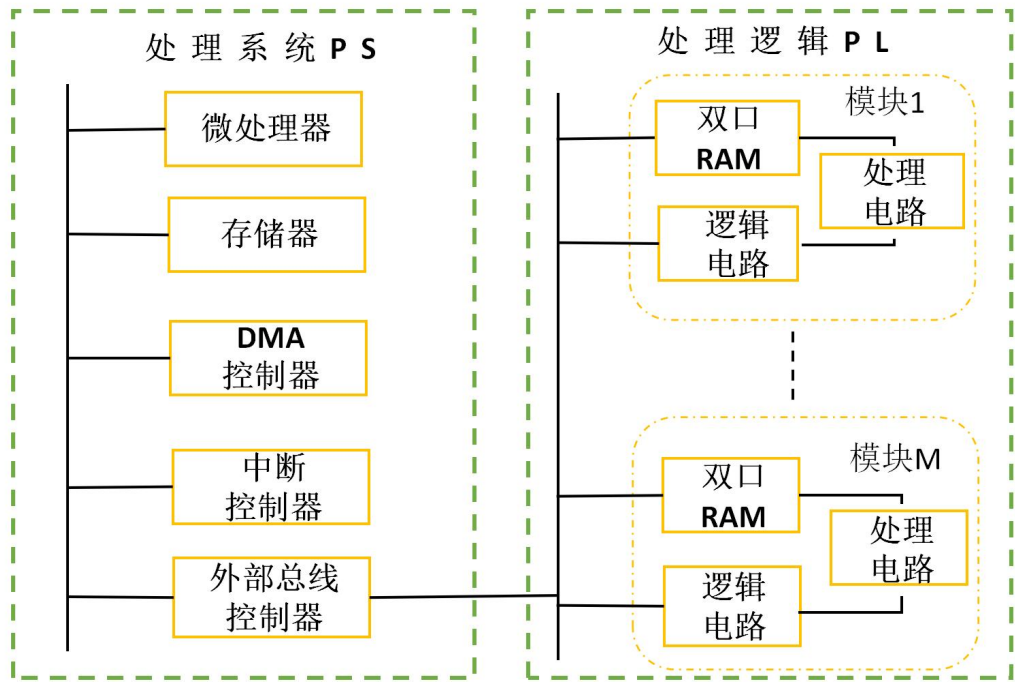


图 1-1 异构平台体系架构图

处理系统单元 PS 以微处理器（MPU）为核心，由存储器、系统总线、中断控制器、直接内存访问 DMA（Direct Memory Access）控制器和外部总线控制器组成，主要执行软件处理，负责整个任务的调控和部分模块的执行。

处理逻辑单元 PL 以 FPGA/ASIC 为核心，主要执行硬件处理，负责硬件模块的执行。每个硬件模块通常由双口 RAM、接口电路和处理电路三部分组成。双口 RAM 主要用于软硬件之间的数据交换操作，接口电路提供硬件模块与软件模块之间的通信控制，处理电路执行模块的处理算法。

第 1.4 节 软硬件间通信

软硬件间通信实现软件与硬件间的数据传输，包括数据传输和双方握手两个过程。

处理逻辑单元 PL 通过外部总线控制器与微处理器 MPU 互联，可以视为处理系统单元 PS 的外部设备，而 PL 内部拥有用于通信和处理查找表 LUT 构成的逻辑电路，以及用于缓存通信数据的块随机存储器 BRAM（Block RAM）。处理系统



软件在本书定义为嵌入式系统上可以执行的程序，包括单线程顺序执行的程序和多线程并行执行的程序，实现软/硬件接口的程序以及实现智能嵌入式系统应用的程序，可用汇编语言或 C 或 C++或 Python 等编程语言实现。

智能嵌入式系统性能指标，也称设计指标，是产品可度量的特性。常用指标有[9]：

**1.5.1 成本：**成本是指系统从设计到产品生产所产生的货币成本，这里又分为设计成本和单位生产成本。设计成本：设计系统所需支付的一次性货币成本，包括硬件设计和软件开发成本。一旦系统设计完毕，不需支付额外的设计费用，就可以制造任意数目的产品。单位生产成本：生产单个产品所需支付的货币成本，包括硬件生产成本和软件工程成本。

$$\text{产品单位成本} = \text{单位生产成本} + \text{设计成本} \div \text{单位产品数量}$$
$$\text{总成本} = \text{设计成本} + \text{产品单位成本} \times \text{单位产品数量}$$

很明显，生产单位产品越多，产品单位成本就越低，就越有市场竞争力。

**1.5.2 大小：**大小是指系统所占用的空间。对于硬件来说是指逻辑门和晶体管数，从上层来说，是指集成电路板面积，同时也指 **FPGA** 的查找表（**LUT**）数；对于软件而言，一般是指字节数，嵌入式系统软件一般比较小，因此，字节数是比较小的。硬件面积越小（**FPGA** 查找表越少），其成本也就越低。

**1.5.3 功耗：**功耗是指系统所消耗的功率，它决定了电池的寿命或集成电路 **IC**（**Integrated Circuit**）的散热要求，功率越高系统越热。软件部分功耗主要是指指令执行功耗。硬件部分功耗主要是逻辑电路和双口 **RAM** 的功耗，可以计入硬件整体功耗。通信功耗主要体现在通信指令的执行、通信电路的工作。通信代码和电路都可以和其他部分的软件与硬件合并在一起计算，所以通信功耗可以计入软硬件的整体功耗中。智能移动终端，比如智能手机，非常关注其功耗，其原因为电池提供电能是有限制的。

**1.5.4 时间：**时间是指系统完成规定任务所需要的时间。系统的硬件完成时间和软件完成时间共同影响着系统的时间性能。可以将系统要完成的任务分成若干个子任务，这些子任务的软件完成是顺序执行的，而硬件完成一般是并行的。因此



系统执行时间是这些子任务执行时间之和或者最大执行时间。但在智能嵌入式系统领域中，为了提高时间性能，需要进行并行处理，安排硬件和软件并行处理任务。一般地，硬件执行时间小于软件执行时间。通信时间，也称通信时延，由指令执行与通信总线操作两部分时间构成。一条通信指令需要一个指令周期（Instruction Cycle）与一次总线访问周期（Bus Cycle）。通常指令周期远小于总线访问周期，可以忽略不计，因而通信时延一般指总线访问周期。

**1.5.5 通信代价：**单一处理实体可以视为一个任务，该任务可以分解成若干个独立的模块。这些模块中，两个存在关系的模块间数据交换需要占用一定资源、功耗和时延，通常把这些资源、功耗和时延视为通信代价。通信软件资源会计入到相应软件模块的整体资源，而通信硬件资源会计入到相应硬件模块的整体资源中。通信功耗主要体现在通信指令的执行、通信电路的工作，可以计入硬件整体功耗。由于通信资源和通信功耗通常都计入软硬件资源和功耗中，因此，通信代价通常采用通信总线操作时间来计算，即时延。

**1.5.6 能效：**能效是指单位能量可支持的有效工作量。在给定的能量前提下，工作效率高，能效就高。因此，在设计时能效是一个要考虑的指标。比如，将部分以软件实现的应用功能转化为硬件实现，将会提高整体应用的能效。能效通常按照分级表示（家用）电器产品能效的高低差别：一般规定等级越高，能效越差，越不环保。

**1.5.7 可靠性：**计算机系统在规定条件下和规定的时间内，完成规定功能的能力[10]。可靠度是量化计算机系统的可靠程度，一般使用失效率  $\lambda$  的指数函数计算： $\exp(-\lambda T)=e^{-\lambda T}$ ，其中  $T$  是指系统工作时间。很明显，在给定时间内，系统的失效率越低可靠性就越高。另一方面，系统工作时间越长可靠性也就越低。

智能嵌入式系统设计与开发时需要关注和考虑这些常用指标，并进行软硬件配置优化，达到这些指标间的一个系统平衡。优化是属于多目标而且目标间还有冲突的优化。譬如：大小指标以及时间性能指标会推动成本指标上涨。人们更关注的是：在成本一定的前提下，如何优化其它指标？

因此，智能嵌入式系统设计时要考虑这些指标的优化，特别要关注软件与硬件的划分与配置。从设计成本方面考虑，软件实施更为合适，而从设计性能方面考虑则更主张硬件实施。

第 1.6 节 软硬件优化设计体系架构

智能嵌入式系统优化设计是智能嵌入式系统设计与实现的基本方法和技术之一，其目标对智能嵌入式系统的多个指标进行优化。

为使整个系统的各种指标得到优化，进而使整个系统最优化，需要协同整个系统中软件与硬件以及之间的相互关系。因此，智能嵌入式系统软硬件协同设计设计可以定义为：

智能嵌入式系统优化设计：依据智能嵌入式系统的功能和性能需求，进行软硬件划分配置与设计以及系统集成的过程和方法。

这里包含了四个层次：系统需求、软硬件划分、软硬件设计、系统集成。

**系统需求：**规定系统需要完成的功能与任务，以及各种性能指标的确定数值。如，成本是多少？硬件面积和软件字节大小，甚至 FPGA 的查找表个数；再如，时间性能，智能嵌入式系统完成整个任务需要多少时间？3 秒还是 3 毫秒？为了环保，也会考虑功耗和能效这些指标，功耗和能效是多少？功耗是 3 瓦还是 3.5 瓦，能效等级是属于 3 级还是 1 级？

**软硬件划分：**为了实现系统的需求，将智能嵌入式系统要完成的任务以及指标分解成若干个子任务并附上指标，依据系统整体需求把这些若干子任务划分成硬件实现和软件实现，形成软硬件划分，建立软件规范和硬件规范以及软硬件间通信协议规范。

**软硬件设计：**依据系统软硬件划分结果，进行硬件实现和软件实现，以及硬件与软件间的通信实现，验证软件与硬件是否满足各自规范以及软硬件间通信协议规范，完成软件、硬件和软硬件间通信的设计。

**系统集成：**系统集成是将软件实现和硬件实现进行集成，并进行协同仿真与验证，并在异构系统平台（含处理系统 PS 和处理逻辑 PL）上实现系统。若实现后的系统满足系统规范则完成系统的设计，否则再回到系统划分重复系统划分与系统集成直到系统满足系统规范为止。

依据智能嵌入式系统优化设计的定义，本书制订了智能嵌入式系统优化设计设计体系架构，以及实现这设计的基本知识、方法和技术与工具，具体内容如下。

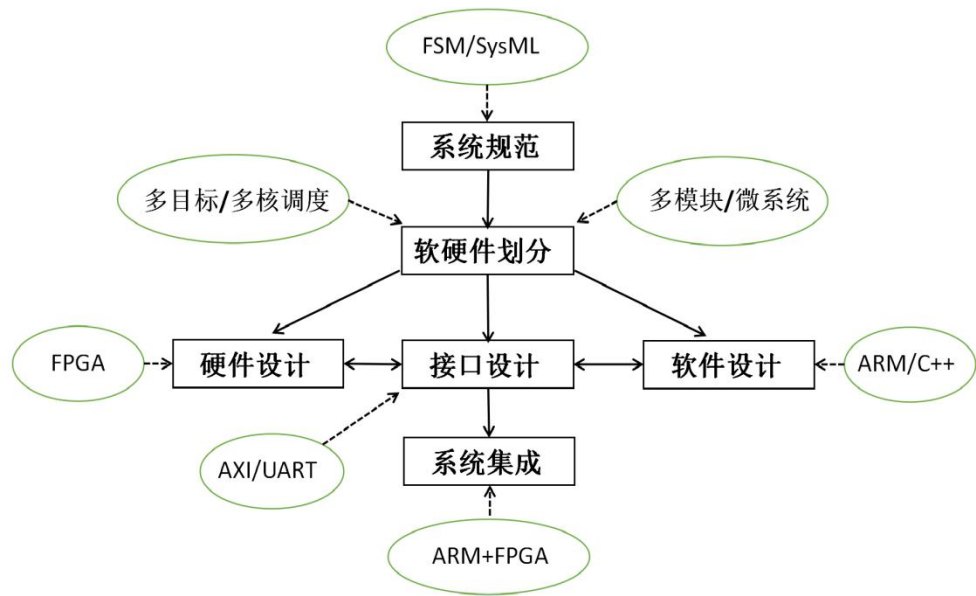


图 1-3 智能嵌入式系统软硬件协同设计体系架构

第 1.7 节 智能嵌入式系统开发流程

依据智能嵌入式系统优化设计架构， 智能嵌入式系统开发流程为四个步骤：系统建模、软硬件划分、软硬件设计、系统集成。

**系统建模：**使用建模工具对系统需求进行建模，包括有限状态机对离散控制系统的建模，Simulink 对离散/连续混合系统的建模。使用 Matlab 工具或 C++ 编程获得任务的软件时间性能，使用 Vivado HLS 工具产生任务硬件时间性能以及 FPGA 资源量，如查找表个数。

**软硬件划分：**依据系统任务指标将任务进行软硬件划分以及多核划分，可以分为三类：面向系统性能指标的基于线性规划软硬件划分（多目标划分），依据任务间依赖关系的实时系统多核调度（多核划分）和基于任务间通信代价的多模块划分。在此基础上，进行综合建立微系统划分方法。

**软硬件设计：**使用 C、C++、Python 进行软件设计，使用 FPGA(Verilog)进行硬件设计以及硬件 IP 核生成，以 AXI 接口、UART 接口等进行软件与硬件的接口通信设计。

**系统集成：**将软硬件设计结果集成到 ARM+FPGA 的异构系统平台上， 实现智能系统的嵌入式开发。本教材以基于卷积神经网络的交通标志智能识别系统为例，在 Xilinx zynq-7000 AX7020 的 ARM+FPGA 开发平台上进行识别系统的设计

和实现，实验结果表明，硬件实现加速了识别，提高了时间性能。

第 1.8 节 本章小结

本章介绍了智能嵌入式系统的基本概念和性能属性, 突出了基于处理系统 PS 和处理逻辑 PL 的异构多核系统平台， 以及处理系统和处理逻辑之间的通信。介绍了基于异构平台的智能嵌入式系统优化设计体系架构，以及开发流程。

习题

- 1.1 智能嵌入式系统定义是什么？ 通常包含哪几部分？
- 1.2 举 5 个以上人们日常社会中的智能嵌入式系统例子，并阐述他们的功能和性能。
- 1.3 举 3 个以上例子说明安全攸关领域智能嵌入式系统的缺陷会导致灾难性后果， 并解析他们失败的原因。
- 1.4 处理系统与处理逻辑组成的异构系统平台有什么特征？ 举 4-5 个基于异构系统平台开发的智能嵌入式系统实际例子。
- 1.5 基于异构系统平台的智能嵌入式系统优化设计体系是否什么？ 由那几个部分组成？
- 1.6 基于异构多系统平台的智能嵌入式系统开发规范流程是什么？
- 1.7 调查国产智能嵌入式系统的现状， 了解国内智能嵌入式系统的生态圈现状。

删除[陈年老酒]:

设置格式[陈年老酒]: 字体: 小四