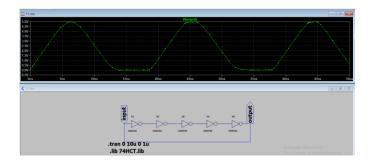
Experiment 1 - Clock and Periodic Signal Generation

Ali imangholi, 810197692

خلاصه:

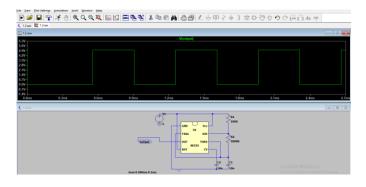
مدف از انجام این از مایش تولید سیگنال های متناوب می باشد از این سگنال های متناوب می توان به عنوان کلاک مدار ات دیجیتال استفاده نمود. در بخش اول توسط مدار ات انالوگ اقدام به تولیید کلاک می کنیم. در بخش بعد توسط زبان توصیف سخت افز اری وریلاگ اقدام به تولیید کلاک میکنیم و در اخر توسط نرم افز ار کوار توس مداری را برای تولیید کلاک طراحی میکنیم و از ان در نرم افزار مادلسیم سیمولیت میکنیم.

سوال 1.1 قسمت اول و دوم:



Propagation = 3.4 - 2.8 ns = 0.6 nsT = 348.57953 us - 348.54703 us = 21.5 nsEach inve. = (32.5ns) / (5ns) = 6.5ns

سوال1.2 قسمت او ل:



Frequency = 1 / (900.9 us)dut cycle = (900.9 us - 555.6 us) / 555.6 us = 62%

قسمت دوم:

$$T1 = 0.693 * (R1 + R2) * C$$

$$T2 = 0.693 * R2 * C$$

$$T = T1 + T2 = 0.693 * (R1 + 2R2) * C$$

$$F = 1/T$$

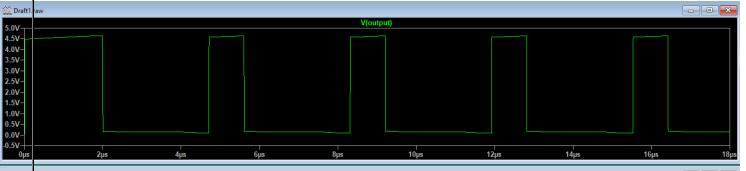
$$duty cycle = (R1+R2) / (R1+2R2)$$

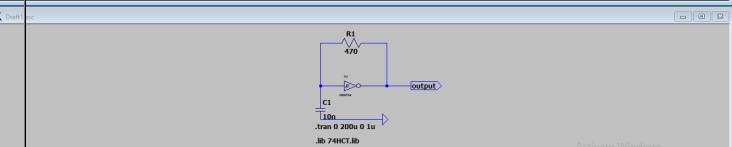
**	*****	محاسبت F	نمودار F	محاسبات T	نمودار T	محاسبات.dutyCy	نمودار .dutyCy
	1K	48 KHz	46 KHz	20 us	21us	66%	65%
	10K	6 KHz	6KHz	145 us	146us	52%	51 %
	100K	0.7 KHz	0.7 KHz	1392us	1402us	50%	50%

.....

سوال 1.3

قسمت اول:





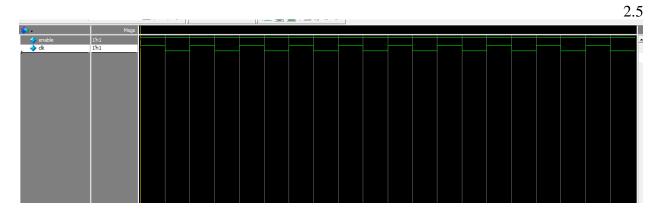
 $=====> \alpha = 1.38$

$$f = \alpha / RC$$

4700 hm ----->
$$f = 278 \text{khz}$$
 $\alpha = 1.3$
1kohm----> $f = 139 \text{khz}$ $\alpha = 1.39$

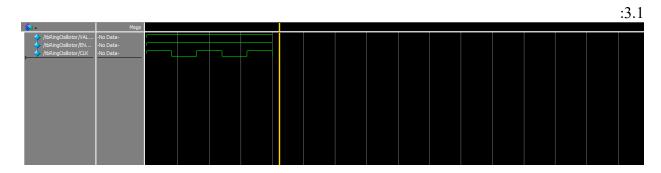
2.2kdhm ----->
$$f = 65khz$$
 $\alpha = 1.4$

سوال 2. 2.1 و 2.2 و 2.3 out Lm555 R1 = 1R2 = 1C = 10 clk rst `timescale 1ns/1ns module t merTestbench(); reg CLK; reg RESET; wire PULSE; lm_555_timer #(1,1,10) I1(CLK , RESET , PULSE); initial begin CLK=0; #10 CLK=1; #10 CLK=0; RESET=1; #10 CLK=1; #10 RESET=0; CLK=0; repeat(500) #10 CLK=~CLK; \$stop; end endmodule 1'h0 1'h0 1'h0 : 2.4 R = 50 kohm = ====> dutyCy. = 50.973

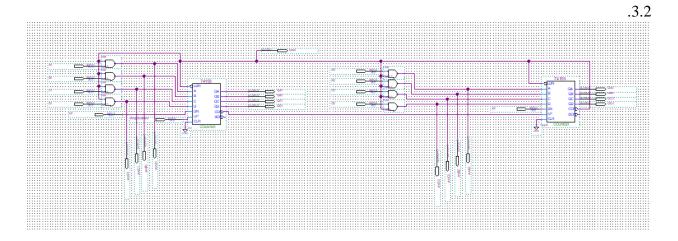


dutyCy. = 50

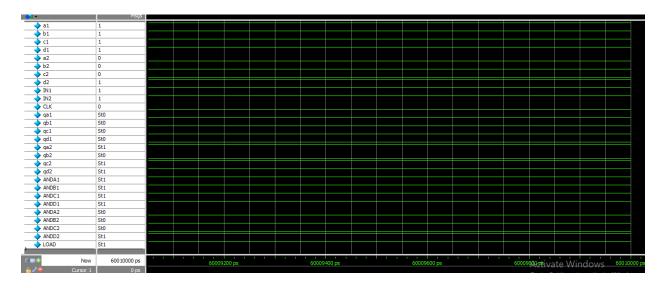
سوال 3



Freq. = 80 khz



Whit generate clk:



Whit ring oscillator:

