



بسمه تعالی
درس الکترونیک دیجیتال
تمرین کامپیوتری چهارم
پردیس دانشکده‌های فنی دانشگاه تهران
دانشکده مهندسی برق و کامپیوتر
دکتر وحدت
علی ایمانقلی 810197692
نیم‌سال اول 1401-02

فهرست:

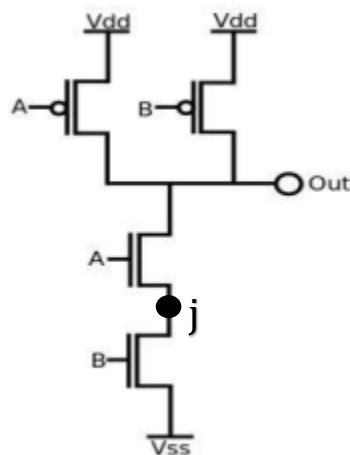
- بخش اول: طراحی *layout* گیت *Nand* دو ورودی توسط نرم افزار *Edit - L*
 - طراحی *layout*
 - بررسی صحت عملکرد *layout* طراحی شده، توسط نرم افزار *Hspice* و شکل موج گزارش مشخصات ترانزیستورها و خازن‌های مهم
- بخش دوم: طراحی *schematic*، *symbol* ماژول *Master - Slave DFlipFlop* + طراحی *Shift Register 4bit* توسط *symbol* ماژول *Master - Slave DFlipFlop* + طراحی *layout* ماژول *Shift Register 4bit* طراحی شده در نرم افزار *Edit - L*
 - طراحی *schematic*، *symbol* ماژول *Master - Slave DFlipFlop*
 - طراحی *Shift Register 4bit* توسط *symbol* ماژول *Master - Slave DFlipFlop*
 - طراحی *layout* ماژول *Shift Register 4bit* طراحی شده در نرم افزار *Edit - L*

* تمامی فایل‌ها طبق بخش و سوال به صورت مرتب در فولدرهای متمایز قرار گرفته‌اند، و به همراه گزارش انجام پروژه، در یک فایل زیپ ارسال می‌گردند.

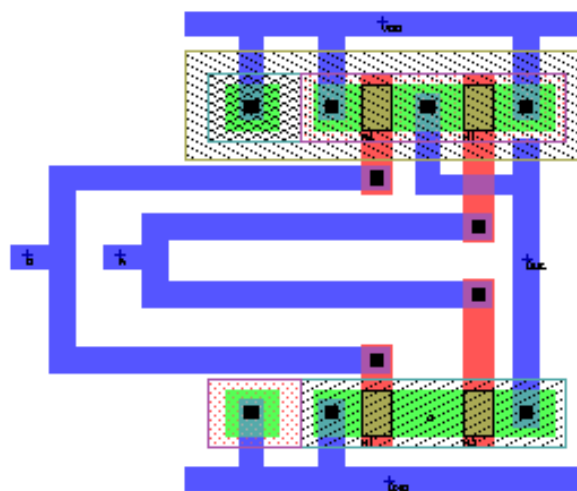
بخش اول: طراحی layout گیت *Nand* دو ورودی توسط نرم افزار *L – Edit*

1. طراحی layout:

در این بخش layout گیت *Nand* دو ورودی زیر را طراحی می نماییم:



layout طراحی شده:



به منظور طراحی شاخه‌ی *PUN* ناحیه‌ی *nwell* را مطابق تصویر بالا ایجاد می نماییم و سپس درون این ناحیه، نواحی اکتیو شامل کانکت بدنه (*n select*) و نواحی سورس و درین (*p select*) را ایجاد می نماییم. توجه شود که تمامی ترانزیستورهای *pmos* شاخه‌ی *PUN* را در کنار هم و درون نواحی اکتیو ذکر شده طراحی

می نماییم تا حداقل امکان از بکارگیری *interconnet* های اضافه جلوگیری نماییم و بدین ترتیب تاخیر مدار را کاهش دهیم، یا به عبارتی سرعت عملکرد مدار را افزایش دهیم.

در ادامه، شاخه‌ی *PDN* را طراحی می نماییم و از آنجاییکه بر بستر *p-type* قرار داریم، تنها کافی است که نواحی اکتیو را ایجاد نماییم؛ بدین منظور ناحیه‌ی کانتکت بدنه (*p select*) و نواحی سورس و درین (*n select*) را ایجاد می نماییم و همانطور که پیش‌تر نیز ذکر گردید، تمامی ترانزیستورهای شاخه‌ی *PDN* را در کنار هم و درون نواحی اکتیو ذکر شده ایجاد می نماییم.

همانطور که می دانیم برای ایجاد ترانزیستور باید *poly* از ناحیه‌ی اکتیو عبور نماید، که این عملکرد را می توان در تصویر بالا مشاهده نمود.

در ادامه به منظور متصل نمودن ورودی‌ها و خروجی از *Metal 1* استفاده شده است، هر چند امکان استفاده از *poly* وجود داشت و طراحی را ساده تر می نمود، ولیکن از *Metal 1* استفاده شد تا تاخیر گیت طراحی شده کاهش یابد.

در طراحی *layout* مورد نظر از کانتکت هایی نیز استفاده شده است، که در برخی موارد بدنه‌ی ترانزیستور را به *Metal 1* و در برخی مواقع *poly* را به *Metal 1* اتصال داده است، تا ارتباط میان ورودی‌ها و گیت‌ها و همچنین بدنه ترانزیستور‌ها و *VDD* و *GND* را برقرار نماید.

وابسته به اینکه آیا می خواهیم *poly* را به *Metal 1* ارتباط دهیم یا خیر، از *poly contact* استفاده شده است.

در ادامه برای اینکه *layout* طراحی شده را تست نماییم و از صحت عملکرد آن اطمینان حاصل نماییم، کد *sp* آن را از نرم افزار *L-Edit* استخراج نموده ایم.

کد استخراج شده:

```
Cpar1 Out 0 C=134.253f
Cpar2 A_1 0 C=8.352f
Cpar3 A 0 C=8.352f
Cpar4 B_1 0 C=5.904f
Cpar5 B 0 C=5.904f
Cpar6 GND 0 C=103.0065f
Cpar7 VDD 0 C=173.73375f
Cpar8 J 0 C=48.33f

M1 VDD A Out VDD PMOS L=5u W=7.5u AD=75p PD=35u AS=45p PS=19.5u
* M1 DRAIN GATE SOURCE BULK (59.5 50.5 64.5 58)
M2 Out B VDD VDD PMOS L=5u W=7.5u AD=45p PD=19.5u AS=60p PS=31u
* M2 DRAIN GATE SOURCE BULK (42.5 50.5 47.5 58)
M3 Out A_1 J GND NMOS L=5u W=7.5u AD=75p PD=35u AS=45p PS=19.5u
* M3 DRAIN GATE SOURCE BULK (59.5 -0.5 64.5 7)
M4 J B_1 GND GND NMOS L=5u W=7.5u AD=45p PD=19.5u AS=60p PS=31u
* M4 DRAIN GATE SOURCE BULK (42.5 -0.5 47.5 7)

* Total Nodes: 8
* Total Elements: 12
* Total Number of Shorted Elements not written to the SPICE file: 0
* Extract Elapsed Time: 0 seconds
.END
```

2. بررسی صحت عملکرد *layout* طراحی شده، توسط نرم افزار *Hspice* و شکل موج

+

گزارش مشخصات ترانزیستورها و خازن‌های مهم

به منظور بررسی صحت عملکرد گیت طراحی شده، از یک منبع ولتاژ DC برای بایاس نمودن ترانزیستور ها و دو منبع ولتاژ پالسی به منظور دادن ورودی به گیت موردنظر استفاده شده است؛ تصویر زیر کد موردنظر را نشان می دهد:

```
.include '0.6micron.lib'
**** parameters ****
.param t=10p
.param vdd=1
Vsupply VDD 0 vdd

Cpar1 B 0 C=20.907f
Cpar2 A 0 C=19.603f
Cpar3 Out 0 C=134.253f
Cpar4 GND 0 C=103.0065f
Cpar5 VDD 0 C=173.73375f
Cpar6 J 0 C=48.33f

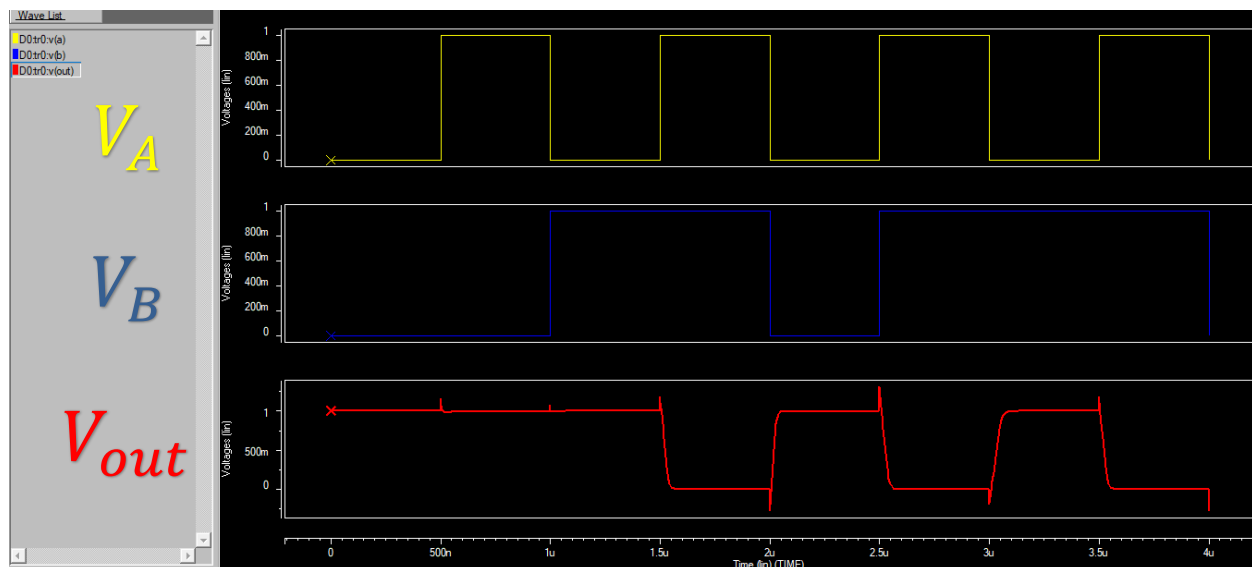
M1 VDD A Out PMOS L=5u W=7.5u AD=75p FD=35u AS=45p PS=19.5u
* M1 DRAIN GATE SOURCE BULK (119 26 124 33.5)
M2 Out B VDD PMOS L=5u W=7.5u AD=45p FD=19.5u AS=60p PS=31u
* M2 DRAIN GATE SOURCE BULK (102 26 107 33.5)
M3 Out A J GND NMOS L=5u W=7.5u AD=75p FD=35u AS=45p PS=19.5u
* M3 DRAIN GATE SOURCE BULK (119 -25 124 -17.5)
M4 J B GND NMOS L=5u W=7.5u AD=45p FD=19.5u AS=60p PS=31u
* M4 DRAIN GATE SOURCE BULK (102 -25 107 -17.5)

* Total Nodes: 6
* Total Elements: 10
* Total Number of Shorted Elements not written to the SPICE file: 0
* Extract Elapsed Time: 0 seconds

VA A 0 PWL 0n 0, '500n-t' 0, 500n vdd, '1000n-t' vdd, 1000n 0, '1500n-t' 0, 1500n vdd, '2000n-t' vdd, 2000n 0, '2500n-t' 0, 2500n vdd, '3000n-t' vdd, 3000n 0, '3500n-t' 0, 3500n vdd, '4000n-t' vdd, 4000n 0
VB B 0 PWL 0n 0, '1000n-t' 0, 1000n vdd, '2000n-t' vdd, 2000n 0, '2500n-t' 0, 2500n vdd, '4000n-t' vdd, 4000n 0

.TRAN lp 4000ns
.op
.END
```

شکل موج ورودی ها و خروجی:



همانطور که از شکل موج بالا مشخص است، گیت *Nand* طراحی شده به درستی عمل می نماید؛ به ازای حالتی که هر دو ورودی برابر با 1 منطقی باشند، خروجی صفر منطقی شده است و به ازای باقی حالات خروجی 1 منطقی شده است که این عملکرد گواهی بر درستی گیت *Nand* طراحی شده می دهد. همانطور که از شکل موج مشخص می باشد، تاخیر $0 \rightarrow 1$ و $1 \rightarrow 0$ گیت *Nand* طراحی شده قابل ملاحظه می باشد و این زمان *transition* در شکل موج خروجی نمایان می باشد.

گزارش مشخصات ترانزیستورها:

خازن های پارازیتی:

```
Cpar1 B 0 C=20.907f
Cpar2 A 0 C=18.603f
Cpar3 Out 0 C=134.253f
Cpar4 GND 0 C=103.0065f
Cpar5 VDD 0 C=173.73375f
Cpar6 J 0 C=48.33f
```

خازن گیت-سورس و گیت-درین:

element	0:m1	0:m2	0:m3	0:m4
model	0:pmos	0:pmos	0:nmos	0:nmos
region	Linear	Linear	Cutoff	Cutoff
cgs	64.5389f	58.7680f	-207.1233a	-208.5525a
cgd	58.7680f	64.5389f	2.9072f	2.9073f

خازن کلی درین:

element	0:m1	0:m2	0:m3	0:m4
model	0:pmos	0:pmos	0:nmos	0:nmos
region	Linear	Linear	Cutoff	Cutoff
cddtot	113.2418f	88.3173f	50.9040f	41.6583f

خازن کلی گیت:

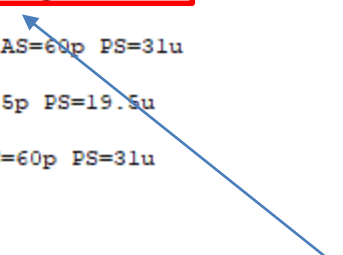
element	0:m1	0:m2	0:m3	0:m4
model	0:pmos	0:pmos	0:nmos	0:nmos
region	Linear	Linear	Cutoff	Cutoff
cgtot	165.7223f	165.7223f	86.4633f	86.4923f

خازن کلی سورس:

element	0:m1	0:m2	0:m3	0:m4
model	0:pmos	0:pmos	0:nmos	0:nmos
region	Linear	Linear	Cutoff	Cutoff
cstot	88.3173f	100.0291f	41.6585f	55.1239f

ابعاد ترانزیستورها:

```
M1 VDD A Out VDD PMOS L=5u W=7.5u AD=75p PD=35u AS=45p PS=19.5u
* M1 DRAIN GATE SOURCE BULK (119 26 124 33.5)
M2 Out B VDD VDD PMOS L=5u W=7.5u AD=45p PD=19.5u AS=60p PS=31u
* M2 DRAIN GATE SOURCE BULK (102 26 107 33.5)
M3 Out A J GND NMOS L=5u W=7.5u AD=75p PD=35u AS=45p PS=19.5u
* M3 DRAIN GATE SOURCE BULK (119 -25 124 -17.5)
M4 J B GND GND NMOS L=5u W=7.5u AD=45p PD=19.5u AS=60p PS=31u
* M4 DRAIN GATE SOURCE BULK (102 -25 107 -17.5)
```



به ترتیب، طول ترانزیستور، عرض ترانزیستور، مساحت *diffusion* درین، محیط *diffusion* درین، مساحت

diffusion سورس، محیط *diffusion* سورس

مشخصات باقی ترانزیستورها نیز در تصویر بالا مشخص می باشد. (ترتیب پارامترهای ذکر شده برای تمامی

ترانزیستورها برقرار می باشد.)

بخش دوم: طراحی schematic، symbol و ماژول Master – Slave DFlipFlop

+

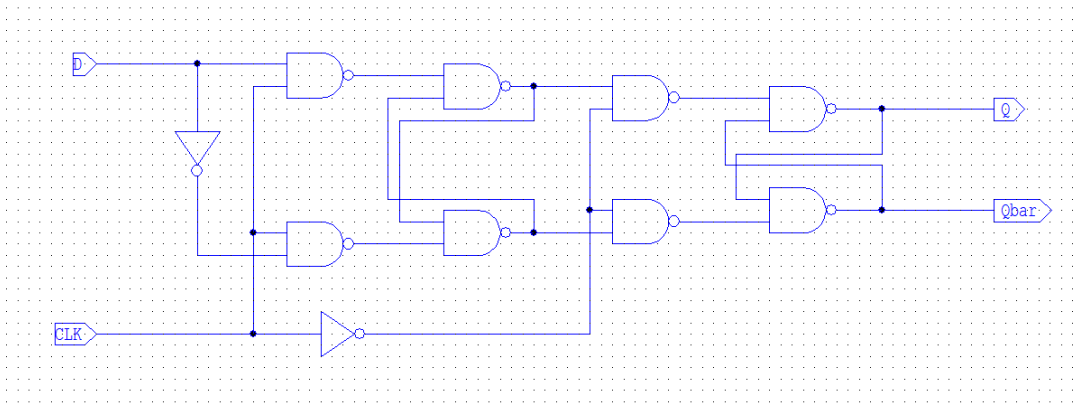
طراحی Shift Register 4bit توسط symbol و ماژول Master – Slave DFlipFlop

+

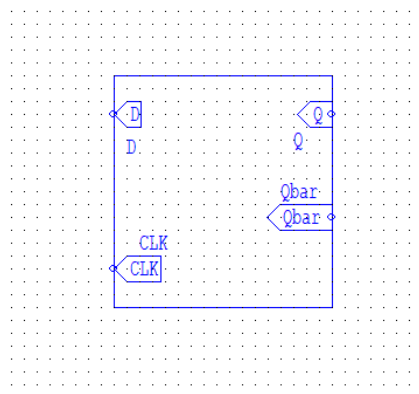
طراحی layout و ماژول Shift Register 4bit طراحی شده در نرم افزار L – Edit

1. طراحی schematic، symbol و ماژول Master – Slave DFlipFlop

schematic طراحی شده:

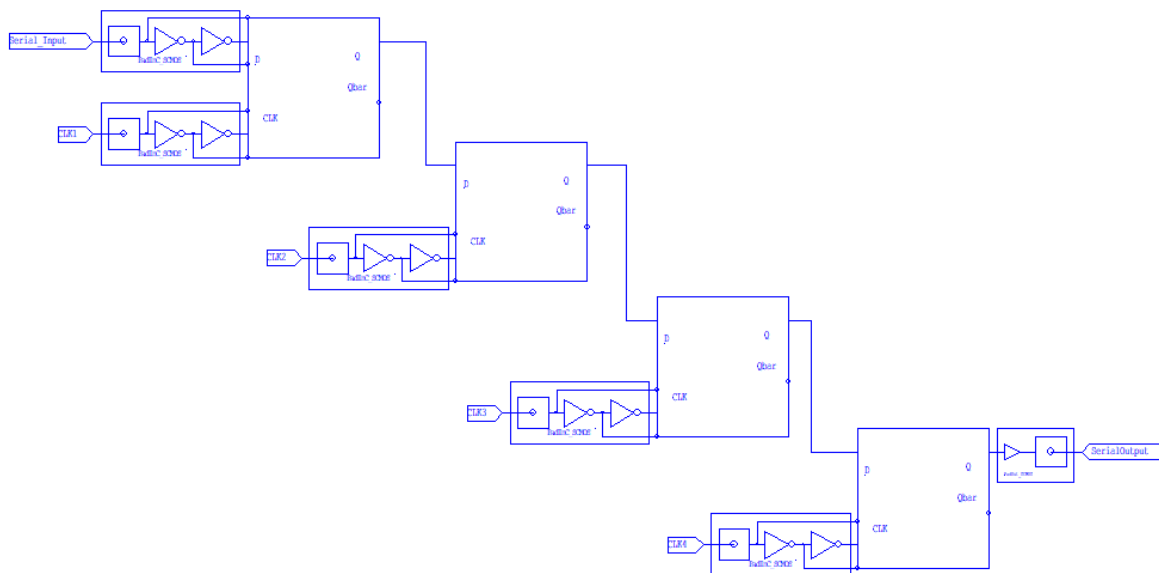


symbol طراحی شده:



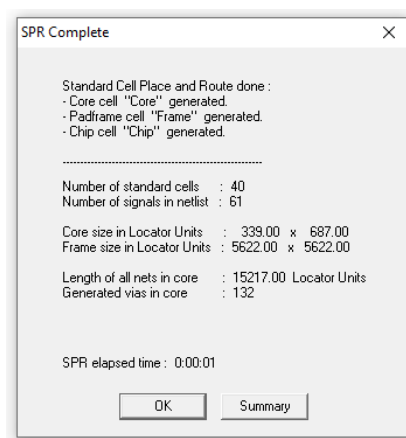
2. طراحی Shift Register 4bit توسط symbol ماژول Master – Slave DFlipFlop

ماژول Shift Register 4bit طراحی شده:

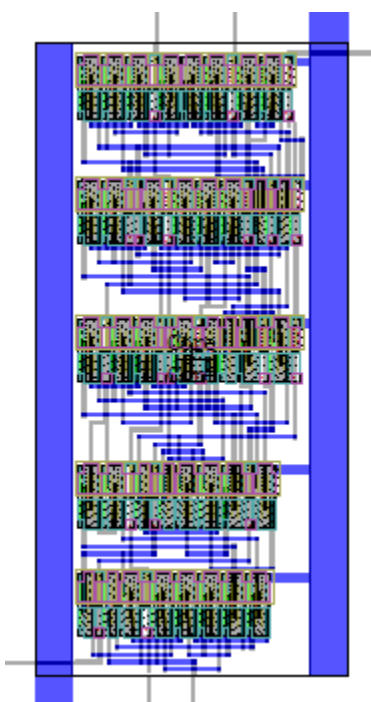
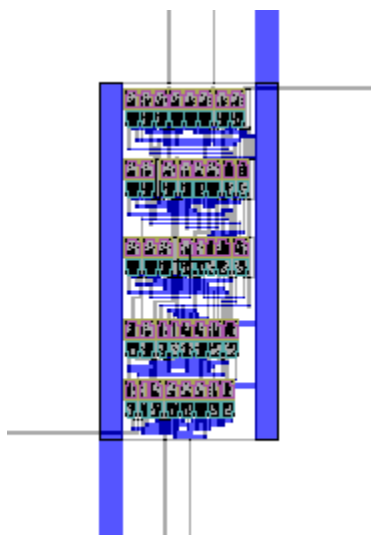
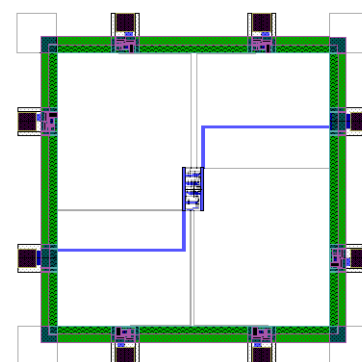


3. طراحی layout ماژول Shift Register 4bit طراحی شده در نرم افزار L – Edit

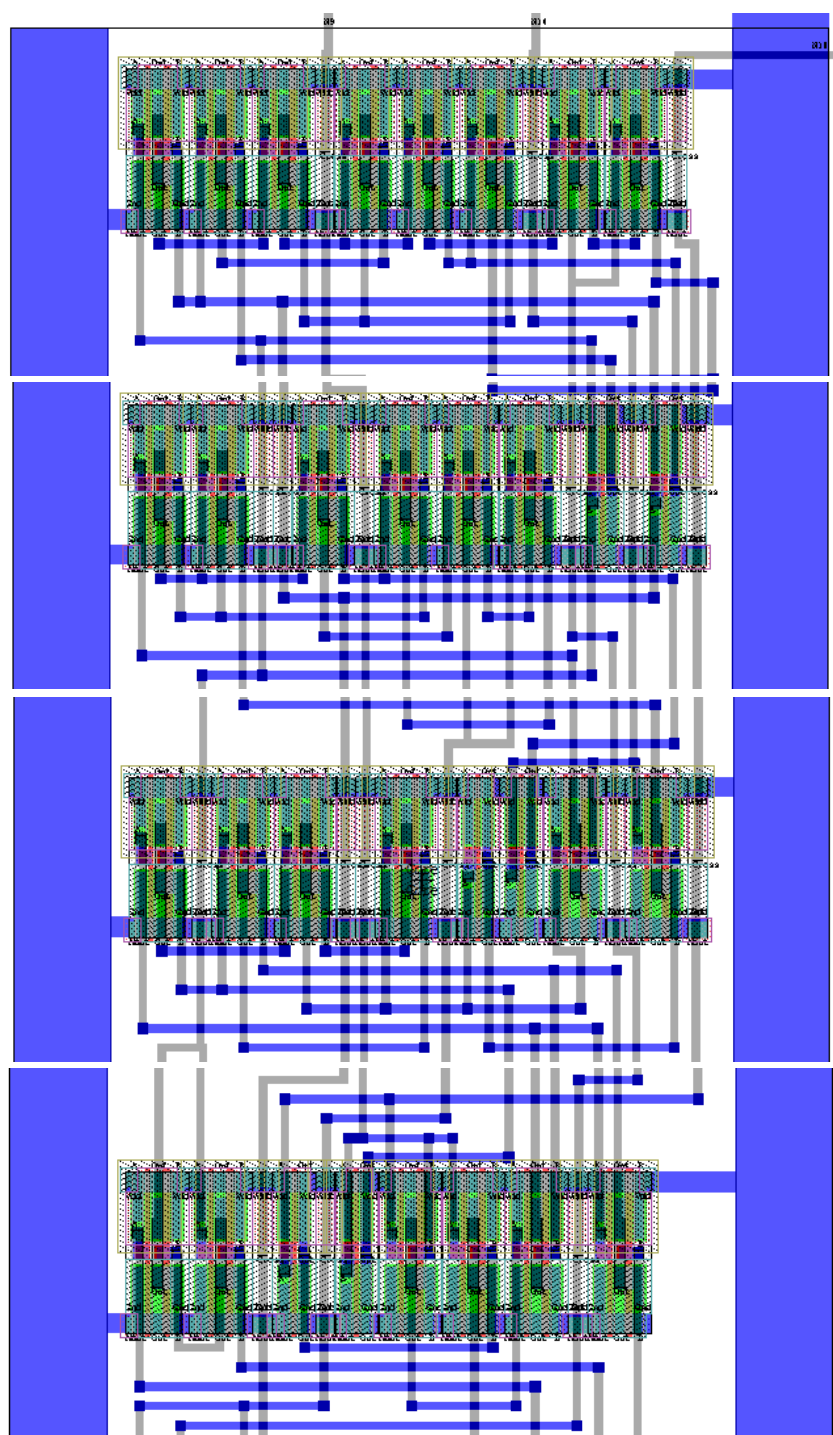
گزارش رسم layout توسط نرم افزار L – Edit

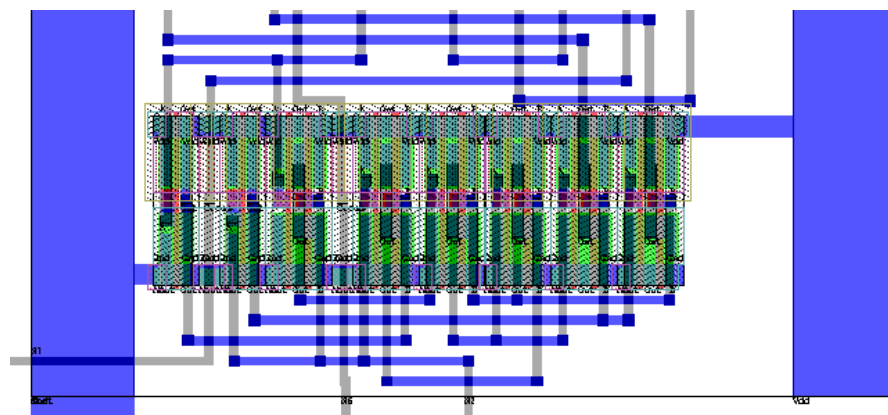


تصویر layout طراحی شده:



تصویر layout موردنظر به صورت جزئی تر:





از توجه شما سپاس گزارم