



بسمه تعالی
معماری کامپیوتر
نیمسال دوم ۹۸-۹۷
تمرین (۱)



دانشکده مهندسی کامپیوتر

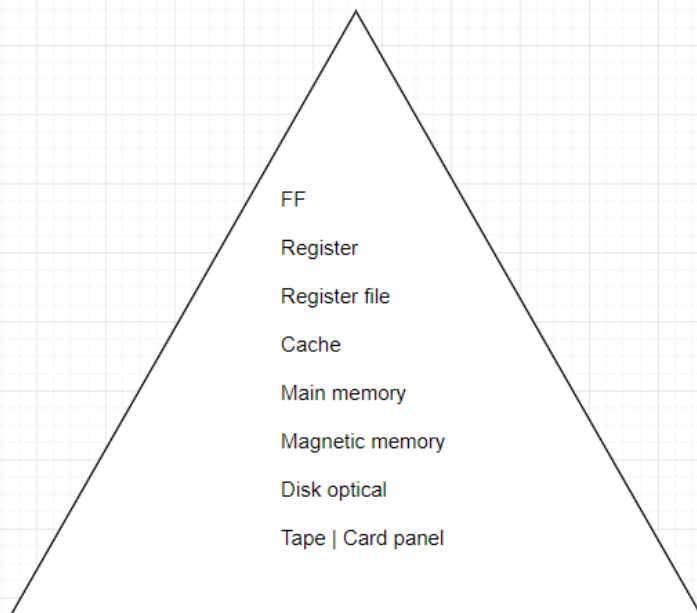
مهلت تحویل: ۱۳۹۷/۱۲/۰۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۰۱

نام و نام خانوادگی: محمدرضا اخگری

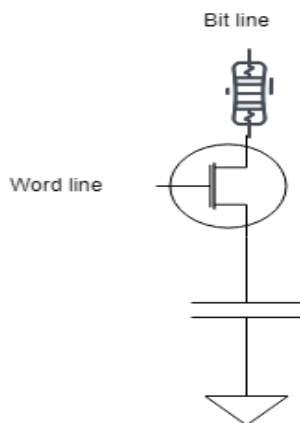
۱.



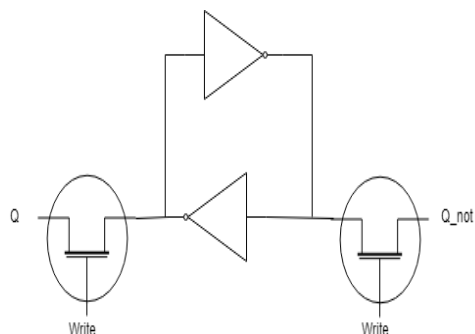
سلسله مراتب حافظه هرمی به فرم
مقابل است، که در آن انواع حافظه های
استفاده شده را نمایش می دهیم و هر سطح با
سرعت پاسخگویی از دیگری جدا شده است.
در این هرم هر موقع از بالا به پایین
حرکت می کنیم، ظرفیت حافظه ها
(گنجایش) و تاخیر آن ها بیشتر (تاخیر
بیشتر برابر سرعت پاسخگویی کمتر است) و
قیمت بیتی کمتر (نسبت بیت به هزینه
بیشتر) می شود.



۲.



حافظه پویا (Dynamic ram) از یک خازن استفاده می کند و برای نوشتن بر روی آن یک ترانزیستور برای خط کنترلی آن می گذارند، شکل آن به صورت روبه رو است و مشکل آن سرعت پایینتر از SRAM است و همچنین مصرف توان زیاد آن (چون جنس عایق میان صفحات خازن ایده آل نیست پس از مدتی خازن تخلیه می شود و برای رفع این مشکل باید به صورت دوره ای اقدام به refresh کرد) ولی از SRAM ارزان تر است و مساحت کمتری دارد و در حافظه اصلی (Main memory) از این استفاده می شود.



حافظه ایستا (Static ram) از ۶ ترانزیستور (دو گیت NOT و دو ترانزیستور برای خط کنترلی نوشتن) تشکیل می شود، شکل آن به صورت مقابل است و از سرعت بالا و اتلاف انرژی کمتری نسبت به DRAM داراست ولی ساختن ۶ ترانزیستور هزینه بیشتری دارد و مساحت بیشتری را می گیرد. در Cache از این نوع حافظه استفاده می شود.

استفاده از DRAM آسان تر است.

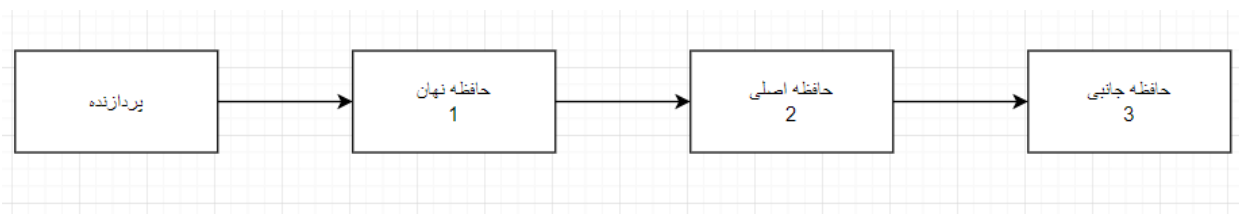


۳. الف) تعداد word line ها برابر با $2k$ است و برای دسترسی به این خطوط با decoder باید از $\log_2 2k$ بیت آدرس (ورودی decoder) استفاده کرد و طول هر word برابر با ۱۶ بیت می باشد که برابر با داده های خروجی است. حافظه معادل برابر است با: $2k \times 16 \text{ bit} \times \frac{1 \text{ byte}}{8 \text{ bit}} = 4k \text{ byte}$
- ب) تعداد بیت های آدرس برابر با $\log_2 64k$ است و بیت های خروجی ۸ بیت می باشد، حافظه معادل برابر است با:

$$64k \times 8 \text{ bit} \times \frac{1 \text{ byte}}{8 \text{ bit}} = 64k \text{ byte}$$

۴.

فرم دسترسی به حافظه از طریق پردازنده به شکل زیر است:



و فرمول محاسبه تاخیر برابر است با:

$$d_{avg} = d_1 + (1 - h_1)(d_2 + (1 - h_2)(d_3)) \cong h_1 d_1 + (1 - h_1)(h_2 d_2 + (1 - h_2)(h_3 d_3))$$

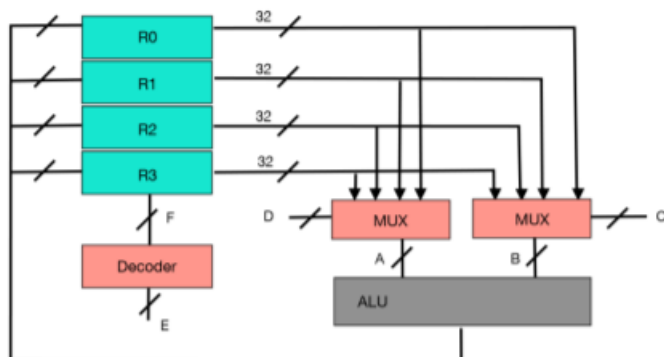
در نتیجه مقدار تاخیر برابر است با:

$$d_1 = 5ns . h_1 = 80\% . d_2 = 100ns . h_2 = 99.5\% . d_3 = 10ms . h_3 = 100\%$$

$$d_{avg} = 5ns + \left(\frac{20}{100}\right) \left(100ns + \left(\frac{5}{1000}\right) (10000000ns)\right) = 5 + 20 + 10000 = 10025ns$$



۵.



(الف)

A = 32 bit

B = 32 bit

C = 2 bit = log 4

D = 2 bit = log 4

E = 2 bit = log 4

F = 4 bit (4 register)

F متشکل از ۴ سیم یک بیتی است چون باید به ۴ ثبات وصل شود. و E نیز دو سیم یک بیتی

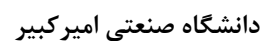
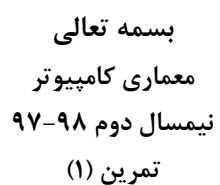
است.

(ب) مدار به شکل زیر است:

برای Load ثبات R₀ از قانون مقابل استفاده شده است:

$$K_1 + K'_1 K_2 = K_1 + K_2$$

برای Load ثبات R₁, R₂ از زمین استفاده شده و تمامی کلاک ها متصل هستند.



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۱۲/۰۹

شماره دانشجویی: ۹۶۳۱۰۰۱

نام و نام خانوادگی: محمدرضا اخگری

