



### دستور کار:

- هنگام تحویل تمرینات، فیلدهای تاریخ، نام و نام خانوادگی و شماره دانشجویی را پر کنید.
- دانشجویان می‌توانند در حل تمرینات به صورت دوتایی یا چندتایی با هم همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت جواب و استدلال خودش را به صورت انفرادی بنویسد و در صورت شباهت جواب‌های دو یا چند نفر، تمامی افراد نمره را از دست خواهند داد!
- تحویل تمرینات فقط به صورت الکترونیکی خواهد بود.
- در نسخه‌ی الکترونیکی، پاسخ‌ها در فایل سوالات نوشته شود و به هیچ وجه صورت سوالات را پاک نکنید!
- برای تحویل نسخه الکترونیکی، تمرینات را قبل از موعد تحویل در سامانه Ceit Online Courses صفحه‌ی درس با فرمت pdf آپلود نمایید.
- پاسخ‌ها و روال حل مسائل را به صورت دقیق و شفاف بیان کنید.
- از خط خوردگی و نگارش ناخوانا بپرهیزید.
- اگر فکر می‌کنید سوالی چندین تفسیر دارد، با در نظر گرفتن فرض‌های منطقی و بیان شفاف آن‌ها در برگه، اقدام به حل آن نمایید.
- واحدهای اعداد فراموش نشود!
- دانشجویان عزیز، تمرینات مشخص شده در «بخش اول: سوالات اختیاری» برای تمرین بیشتر شما در منزل طراحی شده است و نیازی به تحویل جواب آن‌ها نیست.
- برای حل تمرین‌های اختیاری به کتاب مانو که در fileserver قرار دارد مراجعه کنید و در صورت بروز ابهام و سؤال در حل این تمرین‌ها، در زمان کلاس حل تمرین، به تدریس‌یار کلاس خود مراجعه نمایید.



بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۷-۹۸  
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۱۹

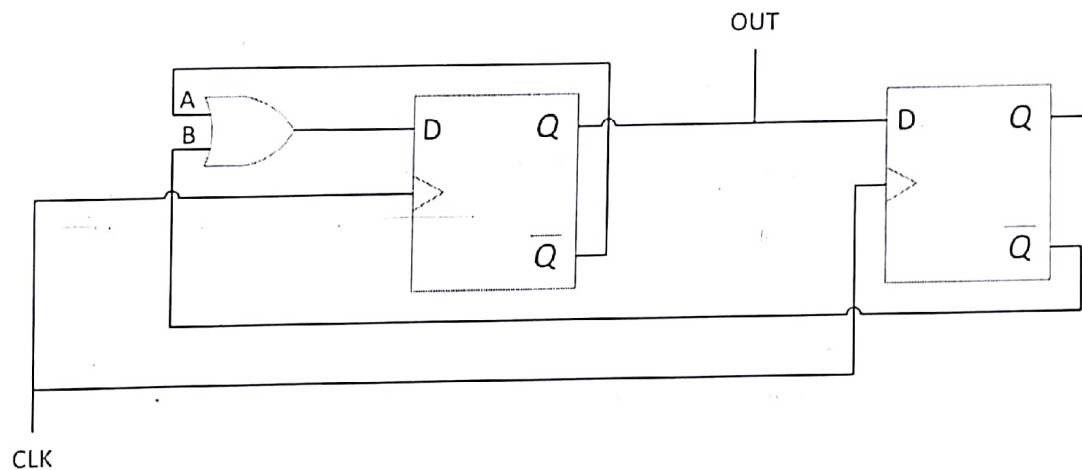
نام و نام خانوادگی: آرش حاجی صافی

■ بخش اول : سوالات اختیاری

سوالات ۱-۶، ۲-۶، ۳-۶

■ بخش دوم : سوالات اصلی

۱. (۳۰ نمره) مدار زیر را در نظر گرفته و به سوالات زیر پاسخ دهید:





دانشکده مهندسی کامپیوتر

بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۸-۹۷  
تمرین (۱۰)

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

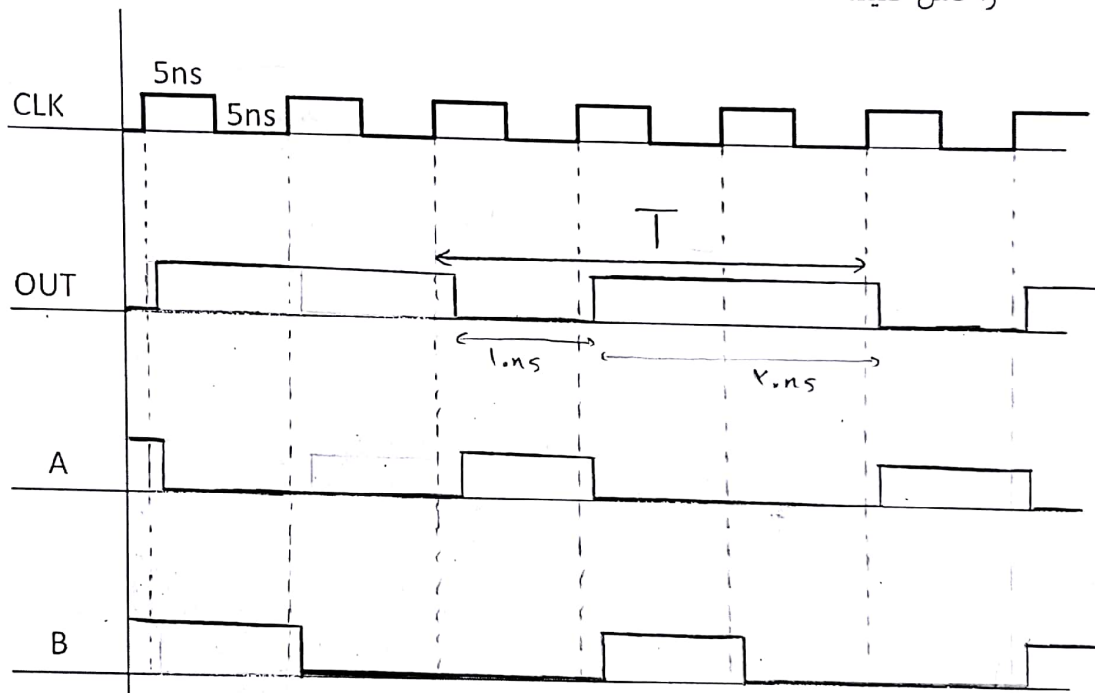


دانشگاه صنعتی امیرکبیر

شماره دانشجویی:

نام و نام خانوادگی:

الف) با فرض دادن ورودی کلاک و خروجی OUT با مقدار اولیه‌ی برابر با صفر، دیاگرام زمانی زیر را کامل کنید.



ب) duty cycle سیگنال خروجی OUT را مشخص کنید.

$$\text{duty cycle of output} = \frac{2.0ns}{(2.0+1.0)ns} = \frac{2.0}{3.0} = 66\%$$

ج) برای هر یک از تأخیرهای نشان داده شده در هر سطر جدول زیر، ماکزیمم فرکانس کاری مدار را به دست آورید. همچنین مشخص نمایید که آیا هر یک از مدارها با فرکانس ۱۵۰ مگاهرتز کار می‌کند یا نه (Y معادل با کار کردن است). تأخیر گیت NOR را 1ns در نظر بگیرید.



بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۸-۹۷  
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی:

نام و نام خانوادگی:

Hold time	Setup time	Propagation delay (clock to Q)	Max. frequency	(Y/N)
1.5ns	2.9ns	3.5ns	$\frac{1}{3.5ns} = 285.714MHz$	N
1ns	1.75ns	1.5ns	$\frac{1}{1.5ns} = 666.667MHz$	N
1ns	1.7ns	0.75ns	$\frac{1}{0.75ns} = 1333.33MHz$	Y
1ns	1.1ns	2ns	$\frac{1}{2ns} = 500MHz$	N

OR ۱, ۱, ۱, ۱  
1 + 2, 9 + 3, 5 + 2, 9 + 2  
1 + 1, 75 + 1, 5 + 1, 75 + 1, 5  
1 + 1, 7 + 1 + 1, 7 + 1  
1 + 1, 1 + 2 + 1, 1 + 2

قرائت کار کنید.

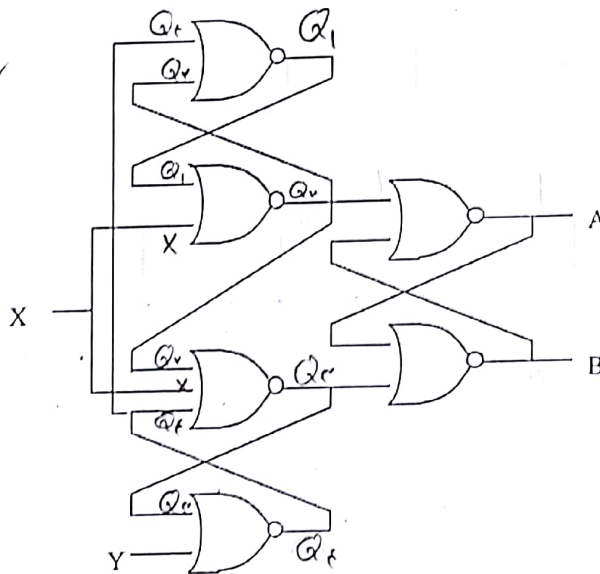
۱. اگر Max frequency از ۱۵۰MHz بیشتر باشد پس دوره سی آن از دوره سی کمتر است و می توان با این

۲. (۳۰ نمره) با توجه به مدار شکل زیر و شکل موج های مشخص شده برای سیگنال های X و Y، به سوالات زیر پاسخ دهید:

$X = Y = 0$ :

if  $Q_1 = 1 \rightarrow \begin{cases} Q_2 = Q_3 = 0 \checkmark \\ Q_1 = 1 \checkmark \\ Q_4 = 1 \checkmark \end{cases}$

if  $Q_1 = 0 \rightarrow \begin{cases} Q_2 = 1 \checkmark \\ Q_3 = 0 \checkmark \\ Q_4 = 1 \checkmark \end{cases}$



حالتی را فرض کنیم که  $Q_1 = 1$  باشد  $\leftarrow Q_2 = 1, Q_3 = 0$  ،  $A = 1$  ،  $B = 0$

$X = 1 \rightarrow Q_2 = Q_3 = 0$  ، Hold

$X = 1, Y = 1 \rightarrow Q_4 = 0, Q_3 = 0, Q_2 = 0, Q_1 = 1$

$X = 0, Y = 1 \rightarrow Q_4 = 0, Q_1 = 1 \rightarrow \boxed{Q_2 = 0} \rightarrow \boxed{Q_3 = 1} \rightarrow \begin{cases} B = 0 \\ A = 1 \end{cases}$

$X = 1, Y = 1 \rightarrow B = 0, A = 1$  Hold  $Q_2 = Q_3 = 0, Q_4 = 0 \rightarrow Q_1 = 1$

$X = 1, Y = 0 \rightarrow Q_2 = Q_3 = 0, Q_4 = 1 \rightarrow Q_1 = 0$

$X = 0, Y = 0 \rightarrow Q_4 = 1, Q_3 = 0, Q_2 = 0, Q_1 = 1 \rightarrow \begin{cases} A = 0 \\ B = 1 \end{cases}$



بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۸-۹۷  
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

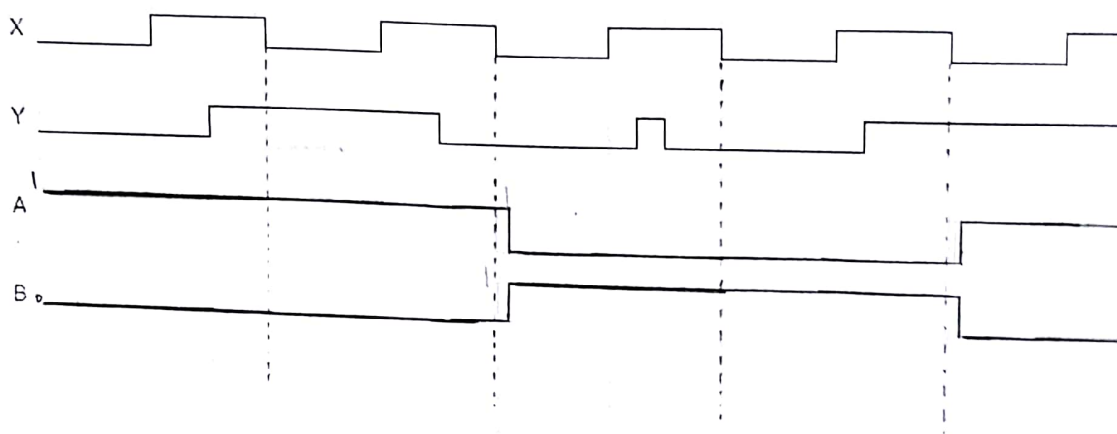
مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی:

نام و نام خانوادگی:

الف) شکل موج A و B را رسم نمایید.



ب) این مدار چه عملکردی دارد؟ تأخیر گیت NOR را  $1ns$  در نظر بگیرید.  
این مدار عملکرد D-Flip Flop را دارد، که X همان  $Clock$  را انجام می‌دهد.  
در لبه میانی رونودی X، مقدار Y به A منتقل می‌شود.  
پس D-Flip Flop از نوع Falling Edge است.

ج) (این بخش امتیازی است) با در نظر گرفتن مسیر سیگنال‌های ورودی تا خروجی، آیا می‌توانید تأخیر کلی ورودی‌ها به خروجی‌ها و همچنین زمان‌های setup و hold را محاسبه کنید؟

حداکثر تأخیر ورودی به خروجی، برابر با تأخیر گیت NOR است:

$$Y \xrightarrow{1} Q_F \xrightarrow{1} Q_R \xrightarrow{1} B \xrightarrow{1} A \quad \text{Max Delay} = 4ns$$

$$\text{Setup time} = 3 \text{ NOR's delay} = 3ns$$

$$\text{Hold time} = 2 \text{ NOR's delay} = 2ns$$



بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۸-۹۷  
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

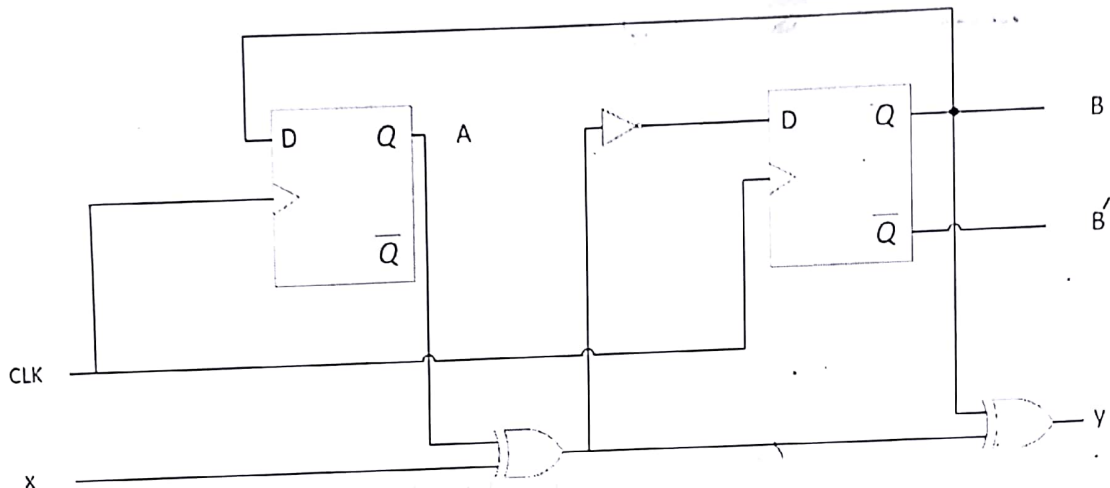
شماره دانشجویی:

نام و نام خانوادگی:

۳. (۲۰ نمره) مدار ترتیبی نشان داده شده در شکل زیر شامل دو فلیپ فلاپ D، یک ورودی x و یک خروجی y است.

الف) جدول حالت این مدار را بکشید.

ب) عملکرد این مدار را توضیح دهید.



A(t)	B(t)	x(t)	A(t+1)	B(t+1)	y(t)
0	0	0	0	1	0
0	0	1	0	0	1
0	1	0	1	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	1

الف)

$$A(t+1) = B(t)$$

$$B(t+1) = (A(t) \oplus x(t)) \oplus (t+1)$$

$$y(t) = B(t) \oplus (x(t) \oplus A(t))$$

ب) کلاک که می خورد و مقدار لحظه‌ای قبل B به A منتقل می شود.

- برابر بودن یا نبودن مقادیر A و x در لحظه‌ای قبل به B زمان فعلی منتقل می شود.

اگر A و x برابر بودند قبل از کلاک به 1 B فعلی، اگر A و x قبل خوردن کلاک برابر نبودند به 0 B فعلی.

-  $A(t) \oplus x(t) \oplus B(t)$  به 1 منتقل می شود، یعنی  $L \leq B$  حامل جمع A و B (خروجی ها) و

x (ورودی)





بسمه تعالی  
طراحی مدارهای منطقی  
نیمسال اول ۹۸-۹۷  
تمرین (۱۰)



دانشکده مهندسی کامپیوتر

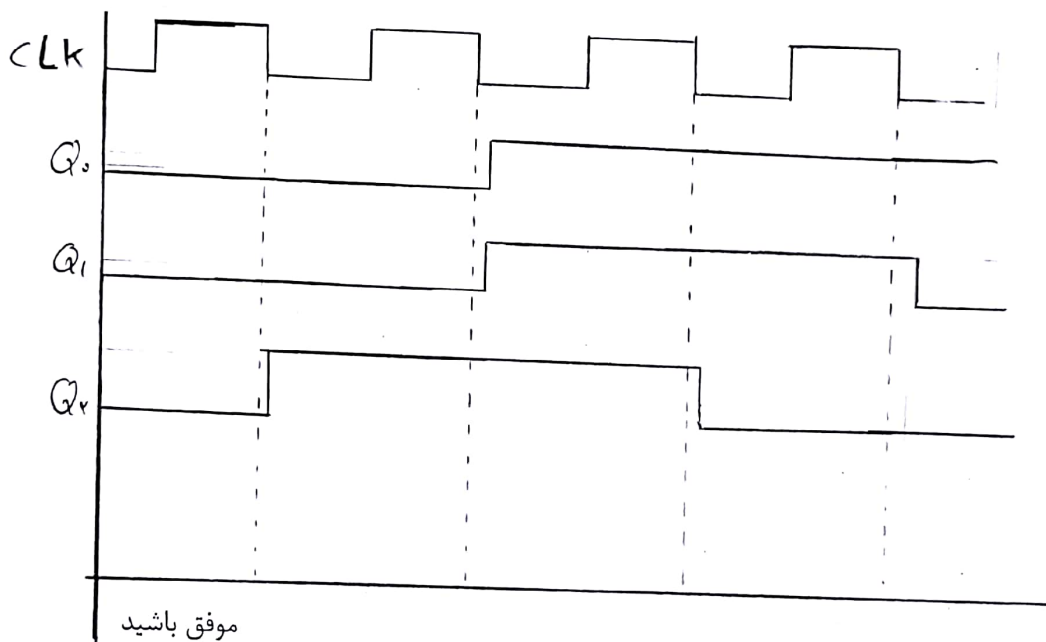
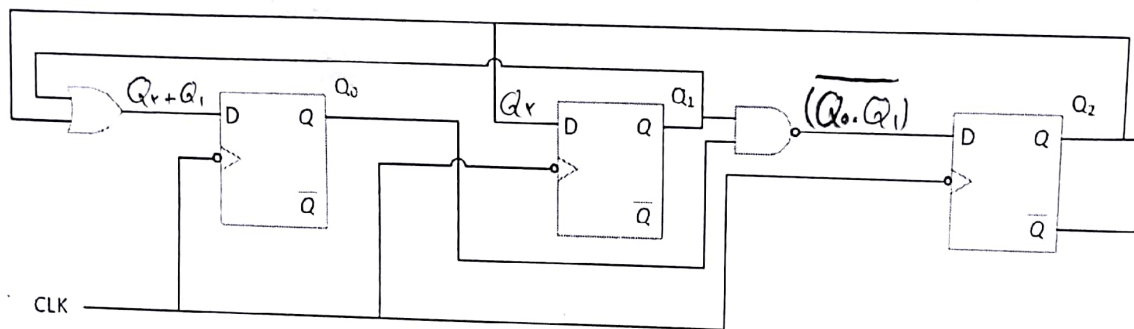
مهلت تحویل: ۱۳۹۷/۰۹/۱۳

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۴۱۰۱۶

نام و نام خانوادگی: ارشی حاجی صفی

۴. (۲۰ نمره) دیاگرام زمانی را برای سیگنال‌های  $Q_0$ ،  $Q_1$  و  $Q_2$  مدار شکل زیر (به ازای ۴ سیکل کلاک کامل) رسم نمایید. فرض نمایید مقدارهای اولیه‌ی همه‌ی سیگنال‌ها صفر است و تمامی فلیپ فلاپ‌ها حساس به لبه‌ی منفی هستند.



موفق باشید

گروه تدریس یاری