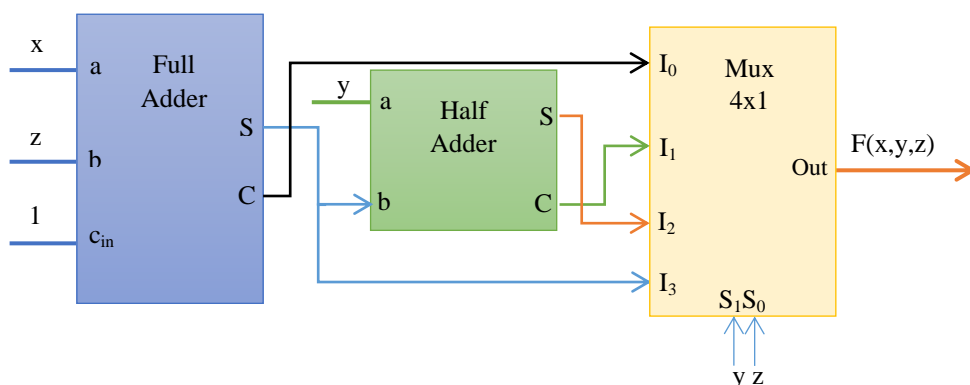


آخرین مهلت ارسال: ساعت ۲۳:۵۵ روز ۲۵ آبان

تمرین سری ۹ درس مدارهای منطقی

تمرین‌های اجباری

۱. در مدار شکل زیر تابع $F(x,y,z)$ را به صورت جمع مینترم‌ها بنویسید.



۲. در اسلایدهای درس ساخت مدار مقایسه‌کننده‌ی ۱۶ بیتی با استفاده از اتصال ۷۴×۸۵ها نشان داده شده است. نحوه‌ی کار این مدار را توضیح دهید. (یعنی بگویید با دادن دو عدد ۱۶ بیتی A و B به عنوان ورودی، چرا مدار درست کار می‌کند)

۳. با استفاده از تراشه‌های ۷۴×۸۵ و ۷۴۲۵۷ مداری بسازید که ماکزیمم سه عدد ۴ بیتی را محاسبه کند. (از قطعات می‌توانید به تعداد دلخواه استفاده کنید)

۴. با ترکیب یک decoder و یک encoder مداری طراحی کنید که ۹'s Complement یک رقم BCD را محاسبه کند (۹'s Complement رقم A برابر ۹-A است).

تمرین‌های امتیازی

A B	Carry	Sum
0 0	0	0
0 1	0	1
0 2	0	2
1 0	0	1
1 1	0	2
1 2	1	0
2 0	0	2
2 1	1	0
2 2	1	1

۱. در سیستم مبنای سه (Ternary) برای هر رقم سه حالت ۰، ۱ و ۲ وجود دارد. یک نیم جمع‌کننده‌ی مبنای سه به صورت جدول مقابل تعریف می‌شود. مداری طراحی کنید که این نیم جمع‌کننده را پیاده‌سازی کند. (رقم‌های Ternary به صورت باینری کد شده و Carry می‌تواند توسط یک بیت نشان داده شود)

۲. مداری طراحی کنید که ورودی آن سه عدد بدون علامت ۸ بیتی و خروجی آن یک عدد بدون علامت ۸ بیتی است که بزرگترین فاصله‌ی موجود بین این سه عدد را نشان می‌دهد. به عنوان مثال اگر ورودی‌های مدار ۲ و ۴ و ۹ باشد، خروجی باید ۷ باشد (چون ۹ و ۲ بیشترین فاصله را از هم دارند و فاصله‌ی آن‌ها برابر است با $9-2=7$) فرض کنید قطعات زیر به تعداد زیاد در اختیار هستند.

- مقایسه‌کننده‌ی ۴ بیتی 7485
- جمع‌کننده‌ی ۴ بیتی 7483
- MUX با دو خط ورودی ۴ بیتی (74257)
- MUX با ۴ خط ورودی ۲ بیتی (74253)
- MUX با ۸ خط ورودی ۱ بیتی (74251)
- تراشه‌ی 7400

۳. در مدارهای ترکیبی تاخیر مسیرهای مختلف بین ورودی‌ها خروجی‌ها می‌تواند متفاوت باشد. معمولاً چیزی که برای ارزیابی تاخیر یک مدار مهم است مسیر دارای بیشترین تاخیر است که به آن مسیر بحرانی (Critical Path)^۱ می‌گوییم.

در سوال ۲ قسمت اجباری با توجه به مدار داخلی مقایسه‌کننده‌های ۴ بیتی که در اسلایدها موجود است، تاخیر مسیر بحرانی را برای مدار مقایسه‌کننده‌ی ۱۶ بیتی به دست آورید. (تاخیر هر گیت معکوس‌کننده ۵ نانو ثانیه و AND و OR دو ورودی ۱۰ نانو ثانیه باشد و به ازای هر ورودی اضافی ۵ نانو ثانیه به تاخیر گیت اضافه می‌شود. همچنین گیت XOR و XNOR با استفاده از AND و OR پیاده‌سازی می‌شوند).

^۱ برای توضیحات بیشتر می‌توانید به فصل 3.5.6 کتاب Brown و در صورت نیاز به جزییات بیشتر می‌توانید به منبع اینترنتی زیر مراجعه کنید.
<http://ens.ewi.tudelft.nl/Education/courses/et4054/EDA-IC-chap6.pdf>

-
- تمرین‌های اختیاری صرفاً جهت آشنایی بیشتر دانشجویان با مباحث است و نیازی به تحویل آن نیست و امتیازی نیز نخواهد داشت.
 - تمرین‌های اجباری قسمت اصلی تمرین‌ها هستند که حل آن‌ها اجباری است و باید در موعد مقرر تحویل داده شوند.
 - در صورت پاسخ دادن به تمرین‌های امتیازی، نمره‌ی اضافی خواهید گرفت.
 - پاسخ‌های خود را در قالب فایل pdf در course این درس آپلود نمایید.
 - مهلت ارسال به هیچ عنوان تمدید نخواهد شد.
 - در صورتی که به اسکنر دسترسی ندارید، می‌توانید با کمک نرم‌افزار camscanner پاسخ‌های خود را اسکن نمایید. دقت بفرمایید که وضوح تصویر ارسال شده باعث می‌شود تا تصحیح آن راحت‌تر صورت بگیرد و اشتباهی در خواندن پاسخ شما رخ ندهد.
 - لطفاً فایل‌ها به‌صورت زیر نام‌گذاری شوند. در غیر این صورت تصحیح نخواهد شد.
Student number, First name and last name, Homework number
 - به‌عنوان مثال:
93131036, Sudabe Mohamadzade, HomeWork8
 - لطفاً پاسخ‌ها تمیز و مرتب نوشته شوند ولی نیازی به تایپ آن‌ها نیست.
 - در صورت داشتن هرگونه سؤال، از طریق آدرس ایمیل زیر آن را مطرح نمایید.
s_mohamadzade@aut.ac.ir
-