



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۷۵

نام و نام خانوادگی: علی تظی

دستور کار:

- هنگام تحویل تمرینات، فیلدهای تاریخ، نام و نام خانوادگی و شماره دانشجویی را پر کنید.
- دانشجویان می‌توانند در حل تمرینات به صورت دوتایی یا چندتایی با هم همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت جواب و استدلال خودش را به صورت انفرادی بنویسد و در صورت شباهت جواب‌های دو یا چند نفر، تمامی افراد نمره را از دست خواهند داد!
- تحویل تمرینات فقط به صورت الکترونیکی خواهد بود.
- در نسخه‌ی الکترونیکی، پاسخ‌ها در فایل سوالات نوشته شود و به هیچ وجه صورت سوالات را پاک نکنید!
- برای تحویل نسخه الکترونیکی، تمرینات را قبل از موعد تحویل در سامانه Ceit Online Courses صفحه‌ی درس با فرمت pdf آپلود نمایید.
- پاسخ‌ها و روال حل مسائل را به صورت دقیق و شفاف بیان کنید.
- از خط خوردگی و نگارش ناخوانا بپرهیزید.
- اگر فکر می‌کنید سوالی چندین تفسیر دارد، با در نظر گرفتن فرض‌های منطقی و بیان شفاف آن‌ها در برگه، اقدام به حل آن نمایید.
- واحدهای اعداد فراموش نشود!
- دانشجویان عزیز، تمرینات مشخص شده در «بخش اول: سوالات اختیاری» برای تمرین بیشتر شما در منزل طراحی شده است و نیازی به تحویل جواب آن‌ها نیست.
- برای حل تمرین‌های اختیاری به کتاب مانو که در fileserver قرار دارد مراجعه کنید و در صورت بروز ابهام و سؤال در حل این تمرین‌ها، در زمان کلاس حل تمرین، به تدریس‌یار کلاس خود مراجعه نمایید.



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۱۳۱۰۷۵

نام و نام خانوادگی: علی نظری

■ بخش اول : سوالات اختیاری

۱. سوالات ۴-۸، ۷-۵ و ۲۵-۵

■ بخش دوم : سوالات اصلی

۱. (۱۰ نمره) فرض کنید که یک پردازنده ۸-بیتی قرار است جمع‌ها و تفریق‌های علامت‌دار زیر را انجام دهد. ابتدا عملیات مورد نظر را انجام دهید (فارغ از درستی یا نادرستی جواب) و سپس بر اساس یکی از دو روش گفته شده در کلاس تعیین کنید که آیا جواب درست است یا خیر (به عبارت دیگر، آیا سرریز اتفاق افتاده است یا خیر).

$$\bullet \quad 00011000 + 11001100$$

$$+ \quad 11001100$$

$$\hline 11001100 \rightarrow$$

سرریز ندارد



$$\bullet \quad 10010101 - 00010100$$

$$+ \quad 11101100$$

$$\hline 11001101 \rightarrow$$

سرریز ندارد



$$\bullet \quad 01001110 + 00110101$$

$$+ \quad 00110101$$

$$\hline 10000011 \rightarrow$$

سرریز دارد

علامت جواب با عوامل جمع متفاوت است



$$\bullet \quad 10010110 + 11100011$$

$$+ \quad 11100011$$

$$\hline 10111001 \rightarrow$$

سرریز دارد

Carry into و Carry out علامت با هم متفاوت است





بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۱۱۰۷۵

نام و نام خانوادگی: علی محمدی

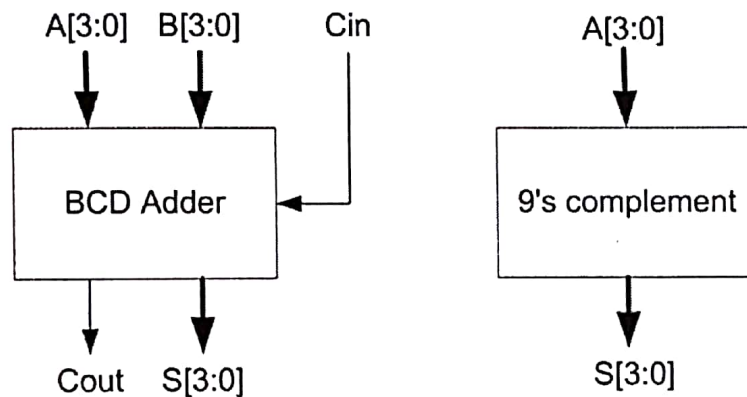
۲. (۲۰ نمره) دو ماژول زیر را در نظر بگیرید:

- جمع کننده BCD که دو عدد BCD را با هم جمع می کند.

- محاسبه مکمل-۹ که مکمل-۹ یک عدد BCD را محاسبه می کند؛ برای مثال مکمل-۹ برای

ورودی "۰۱۱۰" (که معادل عدد BCD شش است)، برابر "۰۰۱۱" است.

بلوک دیاگرام این دو ماژول در ادامه آمده است.



با استفاده از چهار ماژول جمع کننده BCD، چهار ماژول محاسبه مکمل-۹ و حداقل تعداد MUX 2:1 یک ماژول جمع کننده/تفریق کننده چهار رقمی BCD طراحی کنید. ورودی های مدار عبارتند از:

- $X_3X_2X_1X_0$ ، که هر رقم یک عدد ۴ بیتی BCD است؛
(به طور مثال ۴۸۹۶ معادل "0100 1000 1001 0110").
- $Y_3Y_2Y_1Y_0$ ، که هر رقم یک عدد ۴ بیتی BCD است؛
(به طور مثال ۱۲۶۷ معادل "0001 0010 0110 0111").
- M (یک سیگنال ورودی تک بیتی که با صفر بودنش دو عدد ورودی با هم جمع و در صورت یک بودنش عدد A از B تفریق می شود).



بسمه تعالی
طراحی مدارهای منطقی
لیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۷۵

نام و نام خانوادگی: علی تقوی

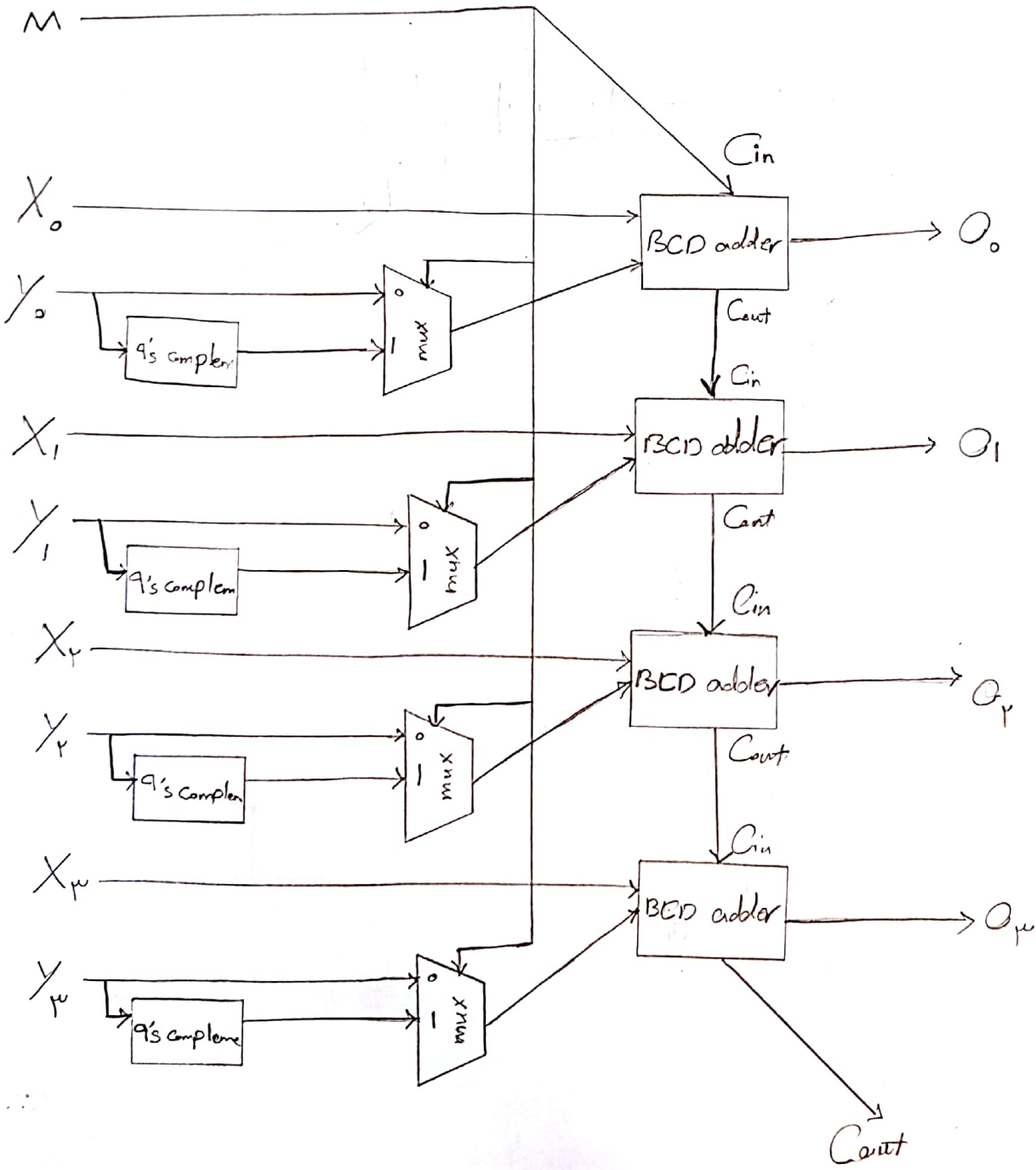
$X_3 X_2 X_1 X_0$
 $Y_3 Y_2 Y_1 Y_0$

مخرج ۰
تربیتی ۱

خروجی های مدار:

- $O_3 O_2 O_1 O_0$ (که هر رقم یک عدد ۴ بیتی است).
- Cout (خروجی تک بیتی است).

نیازی به کشیدن اجزاء داخلی هر ماژول نیست. اما اتصالات در سطح بلوک دیاگرام باید صحیح و دقیق باشد.





بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۸)



دانشکده مهندسی کامپیوتر

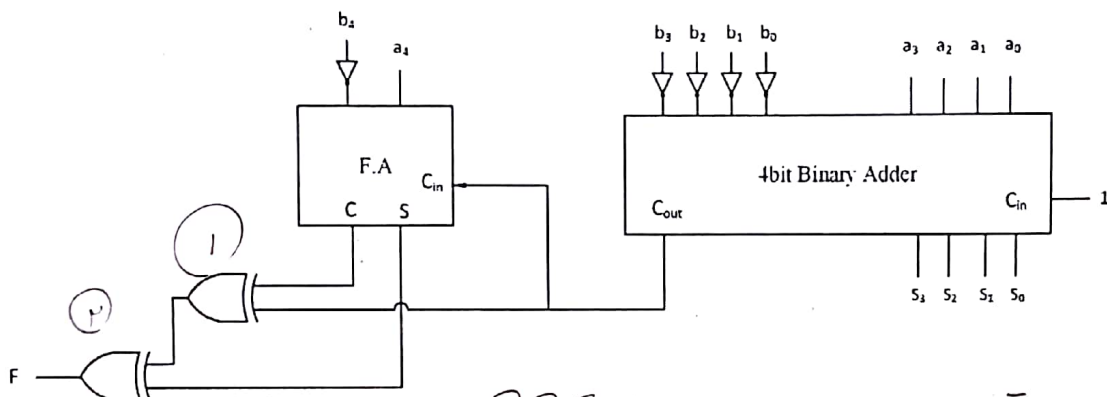
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۷۵

نام و نام خانوادگی: علی تهرانی

۳. (۱۰ نمره) در مدار مقابل، $A = a_4a_3a_2a_1a_0$ و $B = b_4b_3b_2b_1b_0$ ورودی‌ها و F خروجی سیستم است. توضیح دهید این مدار چه کاری انجام می‌دهد.



در سیستم بیتی راست، s_3, s_2, s_1, s_0 دارند تفاوت $(a_4, a_3, a_2, a_1, a_0 - b_4, b_3, b_2, b_1, b_0)$
را نشان می‌دهند و C_{out} آنها به سیستم حین ورودی در XOR (۱)
overflow تشخیص داده می‌شود که این رخ داده است یا نه.

$F = S \leftarrow \text{overflow اتفاق افتاده} \leftarrow \text{XOR (1)}$

$F = \bar{S} \leftarrow \text{overflow اتفاق افتاده} \leftarrow 1$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

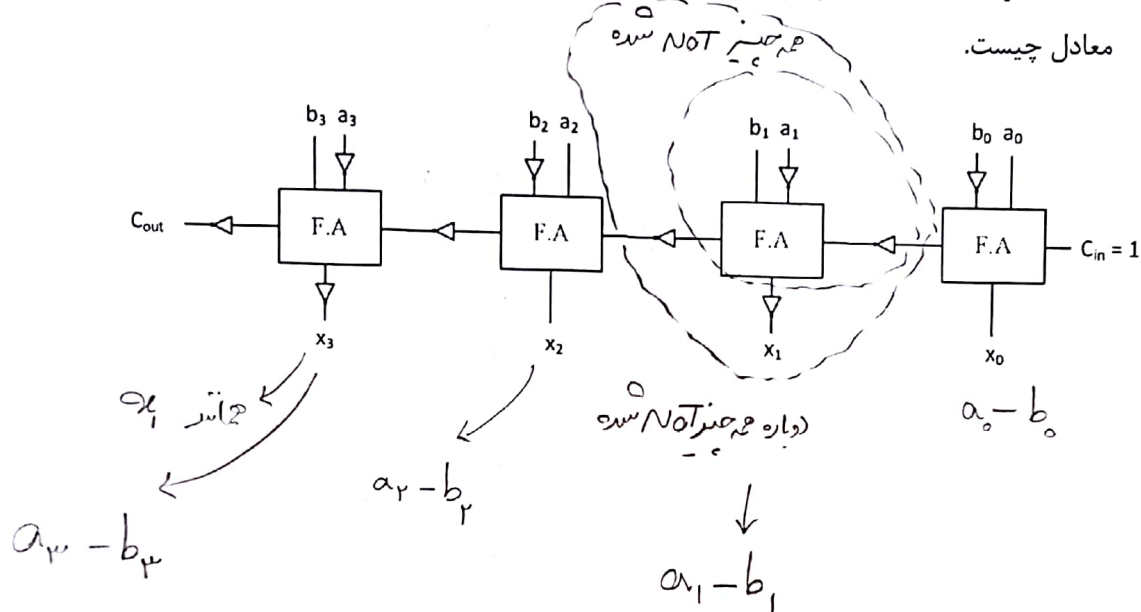
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶۳۱۰۷۸۱

نام و نام خانوادگی: علی تقوی

۴. (۱۵ نمره) در مدار شکل زیر که متشکل از چهار عنصر تمام جمع کننده و چند گیت وارونگر است، اگر $a_3a_2a_1a_0$ و $b_3b_2b_1b_0$ اعداد چهار بیتی در سیستم مکمل-۲ باشند، بگویید خروجی مدار زیر، $x_3x_2x_1x_0$ ، معادل چیست.



در سیستم خروجی این مدار معادل یک ۴ bit subtractor است.

برای هر بیت در این مدار می‌توانیم اینگونه اثبات کنیم:

$$\text{خروجی} = a \oplus \bar{b} \oplus C_{in}$$

$$\Rightarrow x_1 = (\bar{a}_1 \oplus b_1 \oplus \bar{C}_{in}) = ((a_1 b_1 + \bar{a}_1 \bar{b}_1) \oplus \bar{C}_{in})$$

$$= (a_1 + b_1 + \bar{C}_{in})(\bar{a}_1 + \bar{b}_1 + \bar{C}_{in})(\bar{a}_1 + b_1 + C_{in})(a_1 + \bar{b}_1 + C_{in})$$

$$= a_1 \bar{b}_1 C_{in} + a_1 b_1 \bar{C}_{in} + \bar{a}_1 b_1 C_{in} + \bar{a}_1 \bar{b}_1 \bar{C}_{in}$$

$$= C_{in} (a_1 \oplus b_1) + (a_1 b_1 + \bar{a}_1 \bar{b}_1) \bar{C}_{in} = C_{in} \oplus a_1 \oplus \bar{b}_1$$

$\sim (a_1 \oplus \bar{b}_1)$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)



دانشکده مهندسی کامپیوتر

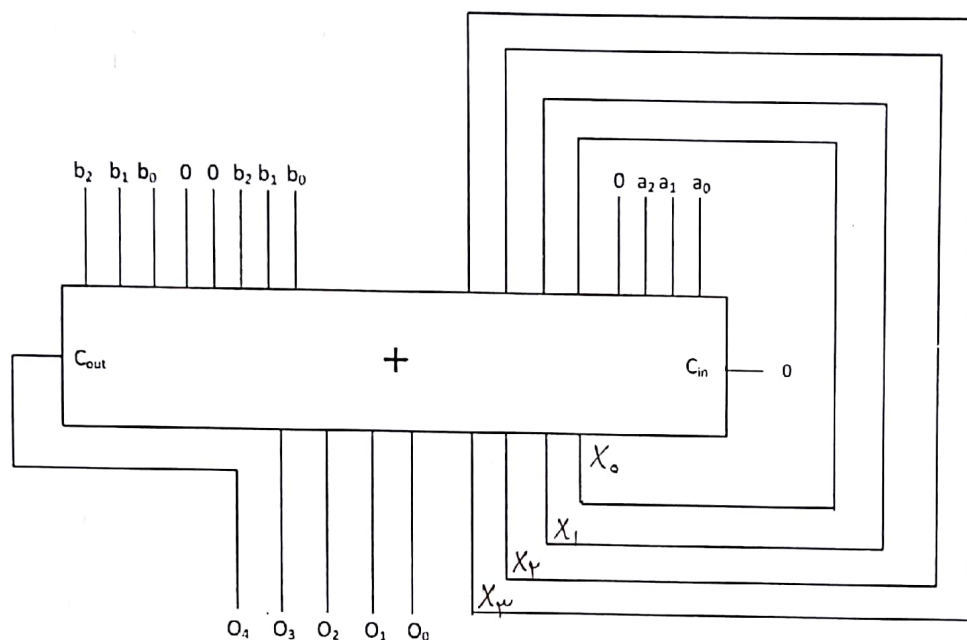
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۶/۳۳/۵۷۴۵

نام و نام خانوادگی: علی محمدی

۵. (۱۵ نمره) در مدار شکل زیر از یک جمع‌کننده ۸-بیتی استفاده شده است که a_i ها و b_i ها، ورودی‌های این مدار هستند. پس از ماندگار شدن، خروجی O این مدار چه چیزی را نشان می‌دهد.



$$A = a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0$$

$$X = X_3 X_2 X_1 X_0$$

$$B = b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$$

$$X = A + B$$

$$O = O_7 O_6 O_5 O_4 O_3 O_2 O_1 O_0$$

$$O = X + (b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0) = X + 2(b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0) = X + 2B$$

$$\Rightarrow O = (A + B) + 2B = A + 3B$$



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۸-۹۷
تمرین (۸)



دانشکده مهندسی کامپیوتر

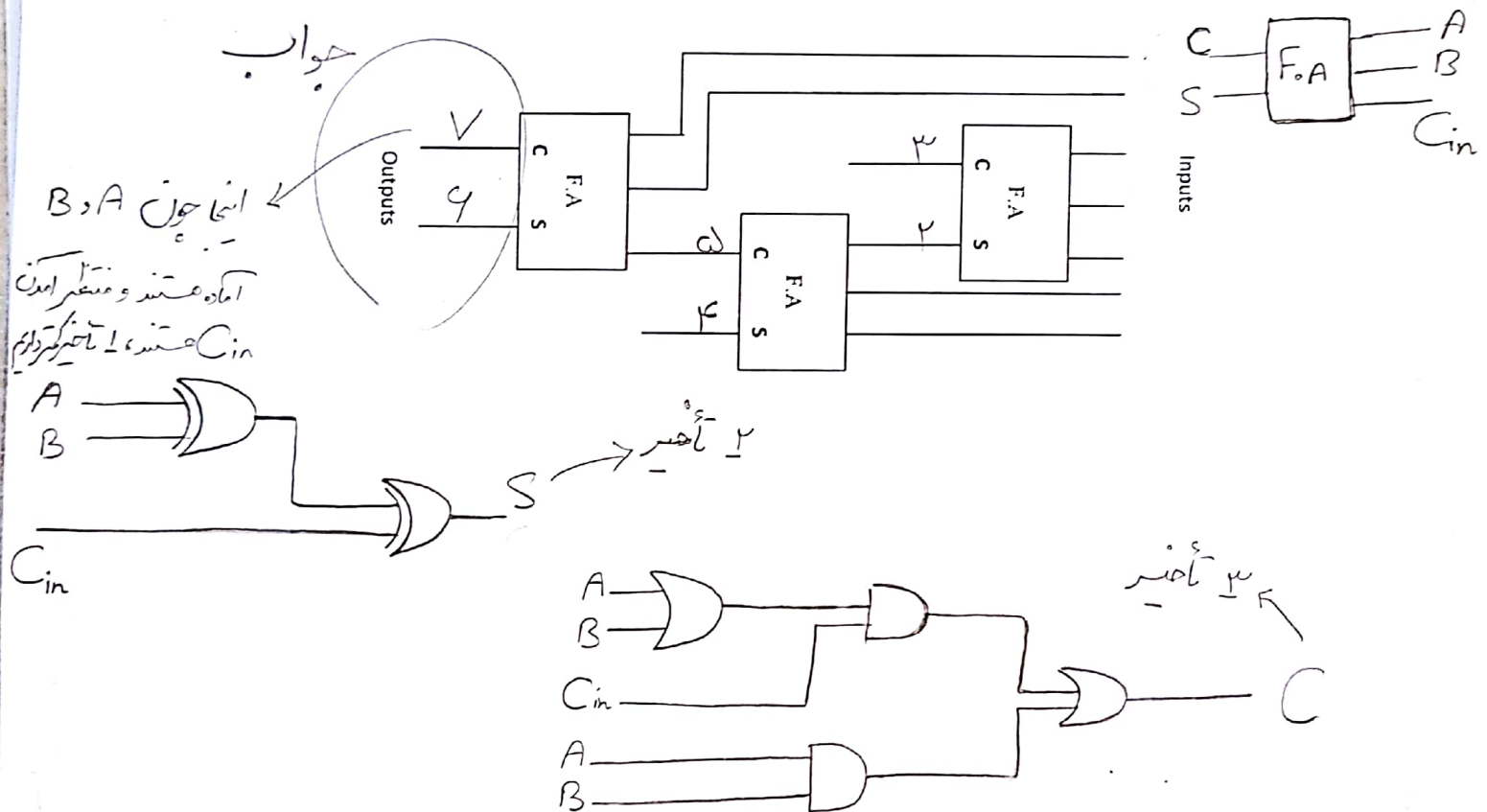
مهلت تحویل: ۱۳۹۷/۰۸/۲۹

دانشگاه صنعتی امیرکبیر

شماره دانشجویی: ۹۴۲۳۱۰۷۵

نام و نام خانوادگی: علی تری

۶. (۱۵ نمره) با فرض آنکه تأخیر همه گیت‌ها با هم برابرند و تمامی ورودی‌ها همزمان می‌رسند، تأخیر مدار زیر، معادل تأخیر چند گیت است (منظور محاسبه‌ی تأخیر مینیمم مسیر بحرانی است).



۷. (۱۵ نمره) همان گونه که می‌دانید، هر واحد نیم‌جمع‌کننده از دو عدد گیت تشکیل شده است. فرض کنید که تأخیر تمام گیت‌ها صرف نظر از نوع آن‌ها برابر با ۱۰ نانوثانیه است. در این صورت، اگر ۱۶ عدد از بلوک زیر را به یکدیگر به شکل آبشاری (cascade) متصل کنیم، تأخیر مدار حاصل چقدر خواهد شد؟ جزئیات کامل محاسبات همراه با شکل دقیق مدار را ارائه دهید. توضیح اینکه منظور از اتصال آبشاری این است که خروجی (های) هر بلوک، ورودی (های) بلوک طبقه‌ی بعدی خواهد بود.



بسمه تعالی
طراحی مدارهای منطقی
نیمسال اول ۹۷-۹۸
تمرین (۸)

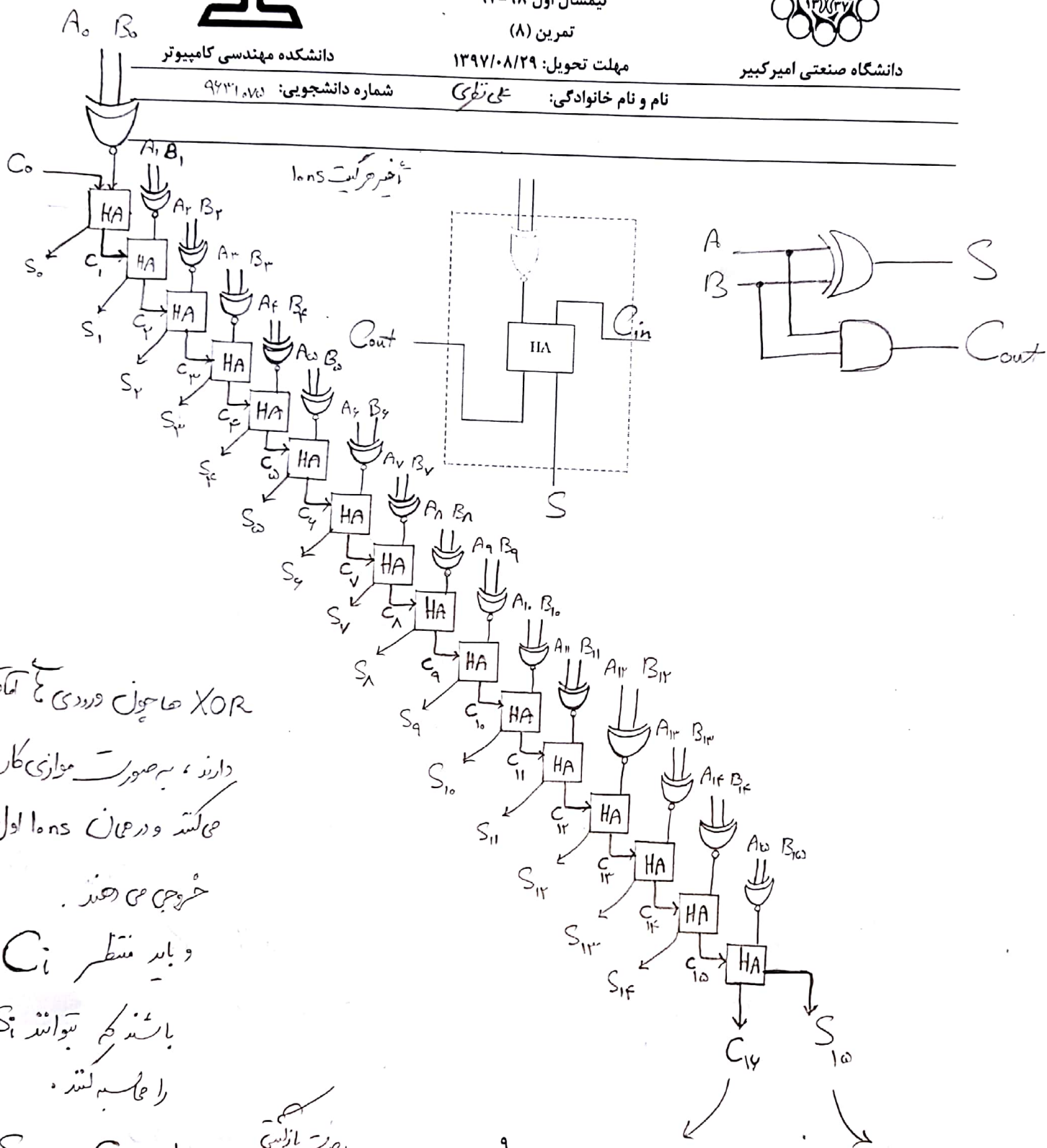


دانشگاه صنعتی امیرکبیر

مهلت تحویل: ۱۳۹۷/۰۸/۲۹

شماره دانشجویی: ۹۲۳۱۰۸۷۵

نام و نام خانوادگی: علی تهرانی



XOR ها چون ورودی یک گیت

دارند، به صورت موازی کار می کنند و در همان ۱۰ ns اول

خروجی می دهند.

و باید منتظر C_i

باشند که بتوانند S_i را حساب کنند.

$$S_i = C_i + 10 \text{ ns}$$

$$C_{i+1} = C_i + 10 \text{ ns}$$

$$\Rightarrow S_{15} = 170 \text{ ns}$$

$$C_{14} = 170 \text{ ns}$$