



دانشگاه صنعتی امیر کبیر

دانشکده مهندسی کامپیوتر و فناوری اطلاعات

تمرین نهم درس مدارهای منطقی

پاییز ۹۶

موعد تحویل:۹۶/۰۸/۳۰

دانشجویان عزیز

مسائل مشخص شده در بخش "سوالات تمرینی" برای تمرین بیشتر شما در منزل طراحی شدهاست و نیازی به تحویل جواب آنها نیست، مسائل ۱ تا ۳ تمرین اصلی شماست که باید تا موعد مقرر تنها به صورت فایل pdf تحویل داده شود.

سؤالات تمريني

به کتاب درس که در فایلسرور قرار دارد مراجعه کنید و تمرینهای ۱۱٫۱، ۱۱٫۳، ۱۱٫۳ و ۱۸٫۷ را حل کنید (در صورت بروز ابهام و سؤال در حل این تمرینها به تدریسیار کلاس خود مراجعه کنید).

سؤالات اصلى

۱-فرض کنید که دادههای ۵-بیتی بر روی یک شبکه ارسال می شوند اما همه ۵ بیت داده شما همزمان اماده نیست و هر بیت داده ۴ نانوثانیه بعد از بیت قبلیاش تولید می شود. حال برای کشف خطا می-خواهیم از parity فرد استفاده کنیم. مدار تولیدکننده این parity فرد و مدار بررسیکننده آنرا طراحی کنید. توضیح دهید که کدام یک از ساختارهای XOR (درختی و یا Daisy chain) برای این کار مناسبتر

هستند و چرا؟ با فرض اینکه هر گیت XOR ۴ نانوثانیه تأخیر دارد، هر دو مدار را از نظر تأخیر آنالیز کنید.

۲- در پردازندههای امروزی سه flag وجود دارند که در پایان انجام عملیات حسابی زیر حسب نتیجه عملیات شرایط زیر را می گیرند:

ت چنانچه حاصل محاسبات صفر شود، یک می شود، وگرنه صفر است. ${\mathbb Z}$

 ${
m V}$: چنانچه سرریز رخ دهد،یک می شود وگرنه صفر است.

 ${\bf S}$: نشان دهنده علامت نتیجه است، چنانچه نتیجه مثبت باشد این بیت صفر و چنانچه منفی باشد، ${\bf S}$ است.

حال فرض کنید که A و B دو عدد علامتدار مکمل ۲ هستند که در یک پردازنده +8-بیتی عملیات تفریق بر روی آن دو اجرا می گردد. حسب وضعیت این دو عدد نسبت به یکدیگر، جدول زیر را پر کنید.

رابطه A و B	V	S	Z
A <b< td=""><td></td><td></td><td></td></b<>			
A>B			
A=B			

T- برای ضرب کننده ۴ بیتی که در اسلایدهای درس آمده است، با در نظر گرفتن ۲ واحد تأخیر برای گیت های AND و OR و ۴ واحد تأخیر برای گیتهای XOR، آنالیز زمانی انجام دهید و تأخیر ضرب کننده را محاسبه کنید. راهنمایی: ابتدا تأخیر یک FA و یک FA را به طور دقیق و بر اساس تأخیرهای داده شده حساب کنید. تأخیرهای حساب شده در اسلایدها با فرض تأخیر یکسان برای تمام گیتها هستند.

موفق باشيد

تیم تدریسیاری