



دانشگاه صنعتی امیرکبیر

دانشکده مهندسی کامپیوتر و فناوری اطلاعات

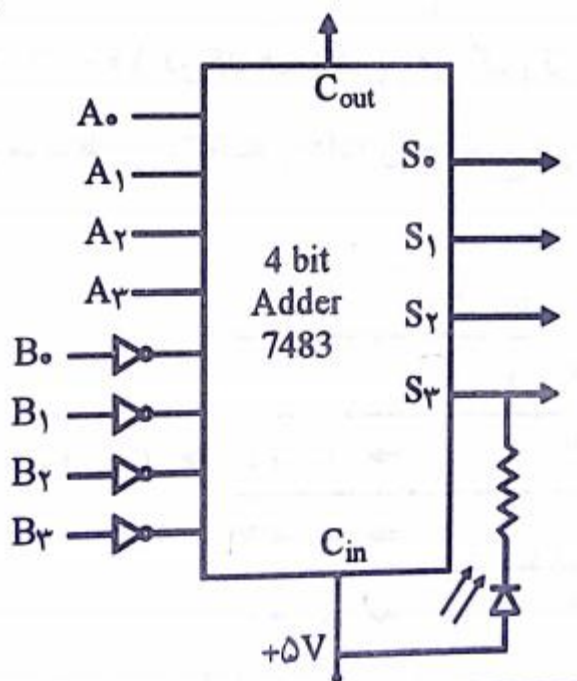
تمرین چهاردهم (مروری) درس مدارهای منطقی

پاییز ۹۶

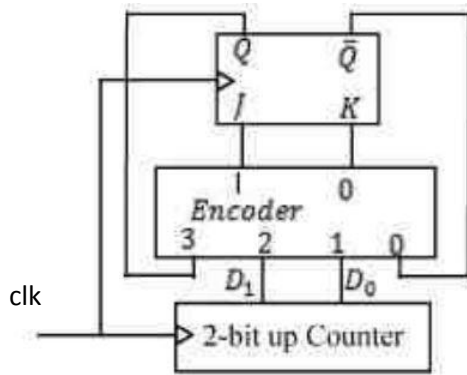
موعد تحویل:

به دلیل ماهیت مروری این سری تمرینات، موعد تحویل این سری تمرینات سه شنبه ۱۲ دی ماه تعیین شده است. کدهای مربوط به تمرین شماره ۸ را ضمیمه تمرین کنید.

۱- با فرض اینکه اعداد ۴-بیتی A و B در سیستم مکمل ۲ و بین ۷- و ۷+ هستند و هر دو عدد هم علامت باشند، در مدار روبرو روشن شدن LED بیانگر چیست؟



۲- در انکدر شکل زیر فرض کنید که ورودی‌ها و خروجی‌ها active high هستند و اولویت ورودی



بزرگتر بیشتر است. با فرض اینکه حالت اولیه خروجی انکدر، شمارنده و فلیپ فلاپ صفر است، مقدار سیگنال-های J، K، و Q فلیپ فلاپ را تا ۵ سیکل ساعت مشخص کنید.

۳- ابتدا عبارت زیر را به صورت تمام NAND پیاده سازی کنید و سپس توضیح دهید که آیا این مدار دچار هازارد می‌شود یا خیر؟ اگر جواب شما مثبت است، دو مقداری که مدار در گذر از یکی به دیگری دچار هازارد می‌شود را تعیین کنید و با رسم شکل موج خروجی رخداد هازارد را نشان دهید. هم چنین توضیح دهید که این هازارد از نوع استاتیک است یا دینامیک.

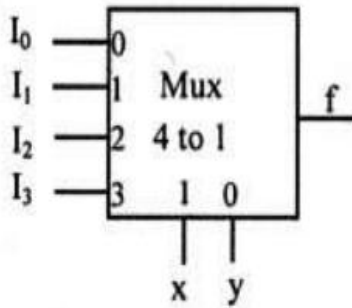
$$F(A, B, C, D) = [(A + C)(A + B)(A' + B' + D')]$$

۴- برای تابع زیر ساده‌ترین حالت را با یکی از دو روش جدول کارنو و یا QM بنویسید.

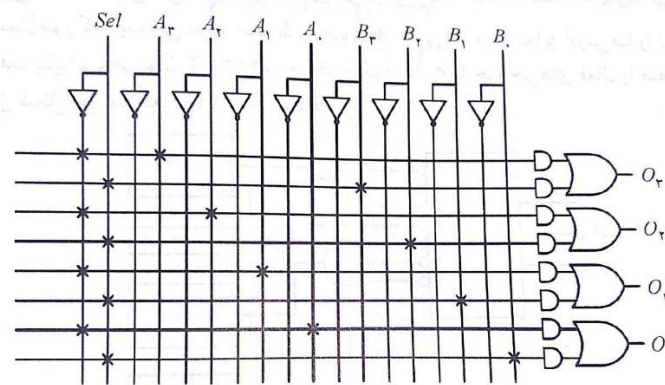
$$f(a, b, c, d, e) = \Sigma(0, 3, 8, 14, 15, 16, 18, 24, 26, 27, 29) + d(6, 7, 9, 19, 22)$$

۵- ورودی‌های I_0 تا I_3 را طوری طراحی کنید که مالتی‌پلکسر زیر تابع f را پیاده‌سازی کند.

$$f(x, y, z, t) = \prod M(0, 1, 3, 5, 7). D(2, 6, 8, 12)$$



۶- شکل زیر کدام یک از تراشه‌های قابل برنامه‌ریزی (ROM, PAL, PLA) را نشان می‌دهد و چه عملی را انجام می‌دهد؟



۷- برای یک شمارنده با توصیف زیر، FSM معادل را طراحی کرده و کد Verilog آن را به همراه مدار آزمون لازم بنویسید.

شمارنده سه بیتی با سه خط کنترلی برای کنترل سه حالت شمارش صعودی، شمارش نزولی و بار کردن محتوای ورودی دارد و دو خط کنترلی برای انتخاب یکی از چهار حالت در خروجی (شمارش صعودی، شمارش نزولی، بار کردن محتوای ورودی و بدون تغییر) دارد.

(سنتز و شبیه‌سازی این توصیف اختیاری است و لازم نیست تحویل داده شود)

۸- جدول‌های حالت زیر را به روش implication chart ساده نمایید.

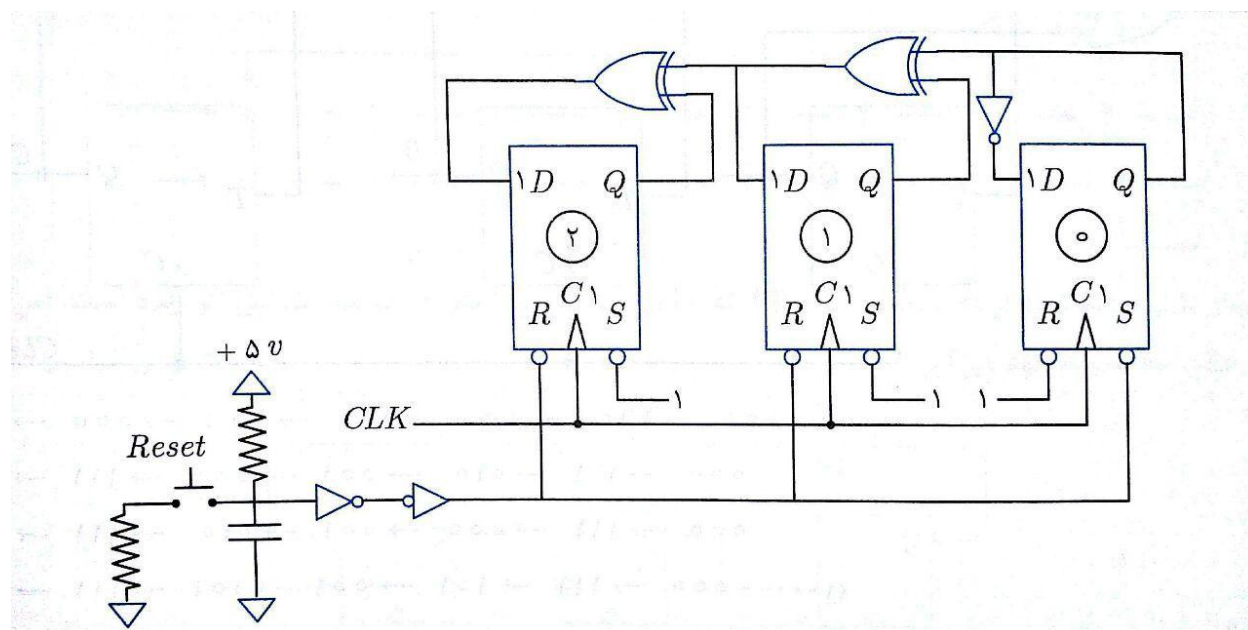
(NS=Next State, PS=Present State)

(الف)

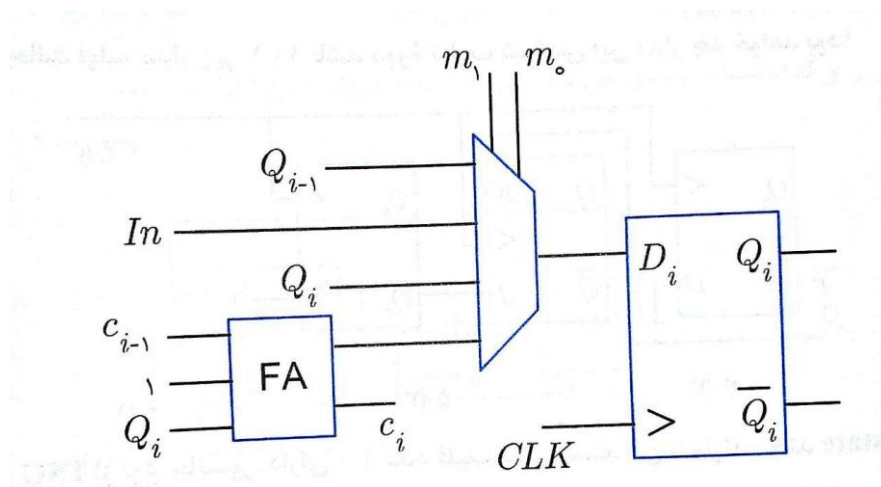
PS	NS/Output	
	$x = 0$	$x = 1$
a	c / 0	g / 0
b	f / 0	b / 0
c	b / 1	f / 1
d	c / 0	g / 1
e	d / 0	g / 1
f	g / 1	c / 1
g	f / 0	a / 0

(ب)

۹- خروجی مدار زیر را پس از Reset شدن کامل، برای پنج پالس ساعت بدست آورید (ترتیب خروجی $Q_2Q_1Q_0$).



۱۰- شکل زیر یک ثبات را نشان می‌دهد که باید بتواند عملیات شیفت به راست و چپ، افزودن ۱، بار کردن (Load)، کاهش ۱ و حفظ مقدار جاری را انجام دهد. با ذکر دلیل بیان کنید که این ثبات کدام کارها را می‌تواند و کدام را نمی‌تواند انجام دهد.



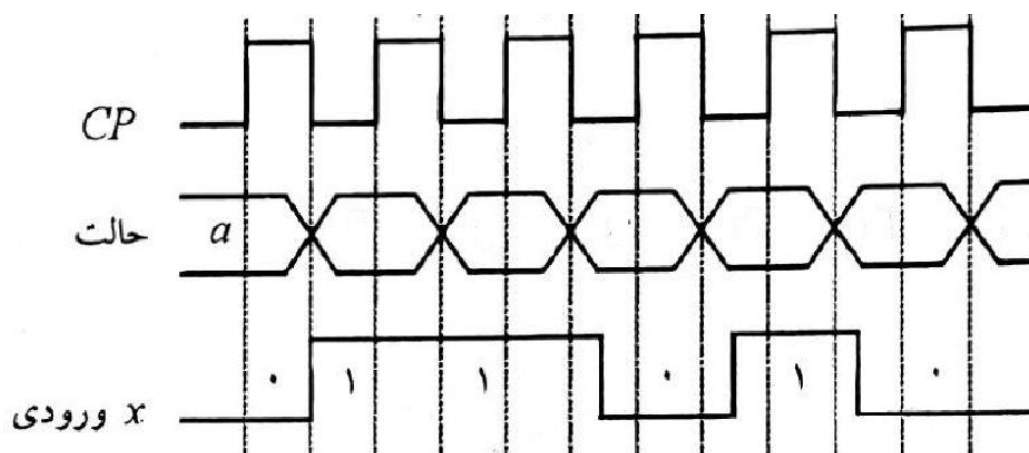
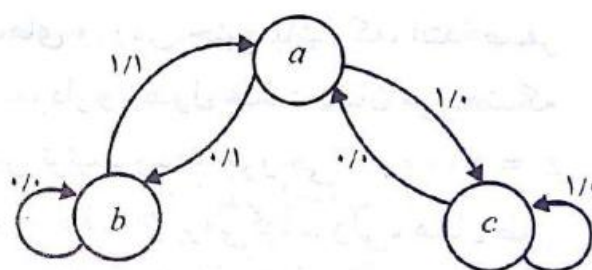
۱۱- دیاگرام حالتی برای یک مدار بازشناس الگو (Sequence Detector) طراحی نمایید که ورودی آن w و خروجی آن z می‌باشد، در این مدار خروجی تنها هنگامی برابر با یک می‌شود که دو مقدار برای w برابر با 00 یا 11 باشد ($z=1$) در غیر این صورت $z=0$ می‌گردد. سپس مدار موردنظر را با استفاده از فلیپ فلاپ JK سنتز نمایید (مدار آن را بیابید).

۱۲- امروزه در FPGA های صنعتی از LUT های ۴ ورودی برای پیاده‌سازی توابع ترکیبی استفاده می‌شود. کمترین تعداد LUT برای پیاده‌سازی یک MUX 4to1 چه می‌باشد؟ توضیح دهید.

۱۳- تابع $f(w, x, y, z) = \sum m(0, 1, 2, 3, 14, 15) + d(10, 11)$ را تا حد امکان به‌نحوی ساده کنید که مشکل هازارد ایستا نداشته باشد.

۱۴- نمودارهای حالت زیر را در نظر بگیرید، برای هر دو مورد فرض کنید ابتدا در حالت a هستند، حال با در نظر گرفتن کلاک و ورودی نشان داده شده، دیاگرام خروجی هر کدام را با این فرض که مدارها حساس به لبه بالا رونده کلاک هستند، رسم کنید. توضیح دهید این دو مدار چه تفاوتی با هم دارند و تفاوت آنها بر نحوه تحلیل شما و رسم شکل موج خروجی چگونه اثر می‌گذارد.

الف:



ب:

