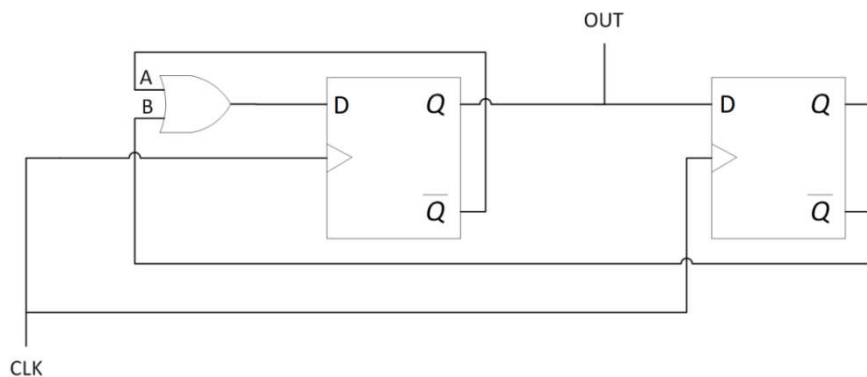
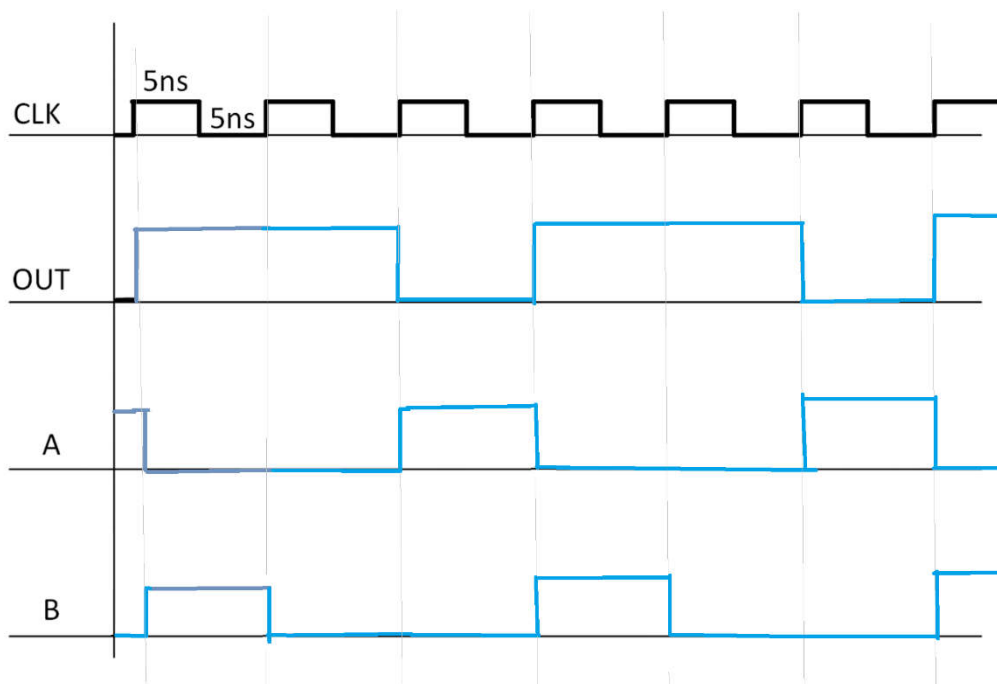




۱. (۳۰ نمره) مدار زیر را در نظر گرفته و به سوالات زیر پاسخ دهید :



الف) با فرض دادن ورودی کلاک و خروجی OUT با مقدار اولیه ی برابر با صفر، دیاگرام زمانی زیر را کامل کنید.



ب) Duty Cycle سیگنال خروجی چه قدر است ؟

$$Duty = \frac{Up\ time}{Period} = \frac{2 \times 10}{3 \times 10} = \frac{2}{3} \cong 66.67\%$$



ج) برای هر یک از تأخیرهای نشان داده شده در هر سطر جدول زیر، ماکزیمم فرکانس کاری مدار را به دست آورید. همچنین مشخص نمایید که آیا هر یک از مدارها با فرکانس 150 مگاهرتز کار میکنند یا نه. تأخیر گیت NOR را 1ns در نظر بگیرید.

حالتی که بیشترین تأخیر بیرونی مدار است را در نظر می گیریم که حالتی است که وقتی رایز کلاک اتفاق می افتد ، مقادیر $B = 1, A = 0$ باشند که در این صورت بعد از زمان $Clock\ to\ 0 + OR\ Delay$ مقدار ورودی فلیپ فلاپ سمت چپ تغییر می کند و با در نظر گرفتن این حالت ، حداکثر فرکانس کاری را حساب می کنیم که خواهد بود :

$$Max\ Period = Clock\ to\ Q + OR\ Delay + Setup\ Time$$

توجه می کنیم اگر زمان تأخیر مدار بیرونی کمتر از Hold Time باشد ، دستگاه درست کار نمی کند ، در اینجا :

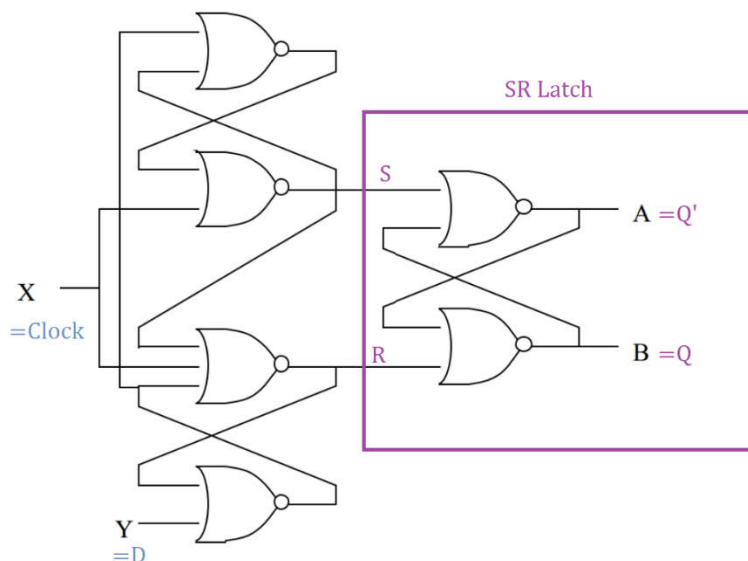
$$Clock\ to\ Q + OR\ Delay \leq Hold\ Time$$

اگر بیشترین فرکانس ، بیشتر از ۱۵۰ مگاهرتز بود ، با ۱۵۰ مگاهرتز هم کار می کند.

Hold time	Setup time	Propagation delay (clock to Q)	Max. frequency	(Y/N)
1.5ns	2.9ns	3.5ns	135.135 MHz	N
1ns	1.75ns	1.5ns	235.3 MHz	Y
1ns	1.7ns	0.75ns	289.9 MHz	Y
1ns	1.1ns	2ns	244 MHz	Y

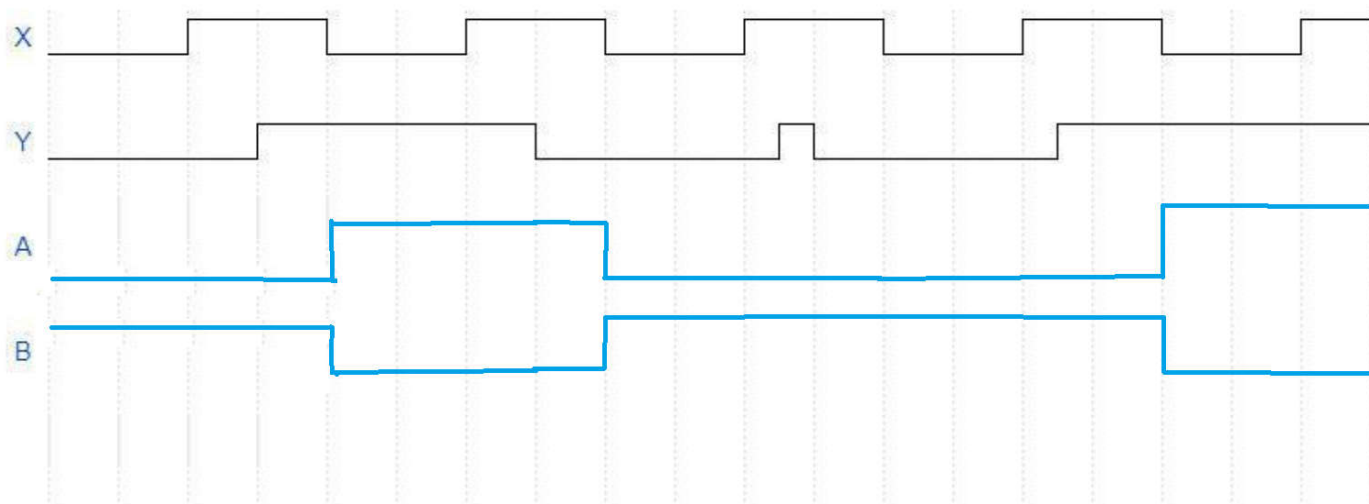


۲. (۳۰ نمره) با توجه به مدار شکل زیر و شکل موجهای مشخص شده برای سیگنالهای X و Y، به سوالات زیر پاسخ دهید:



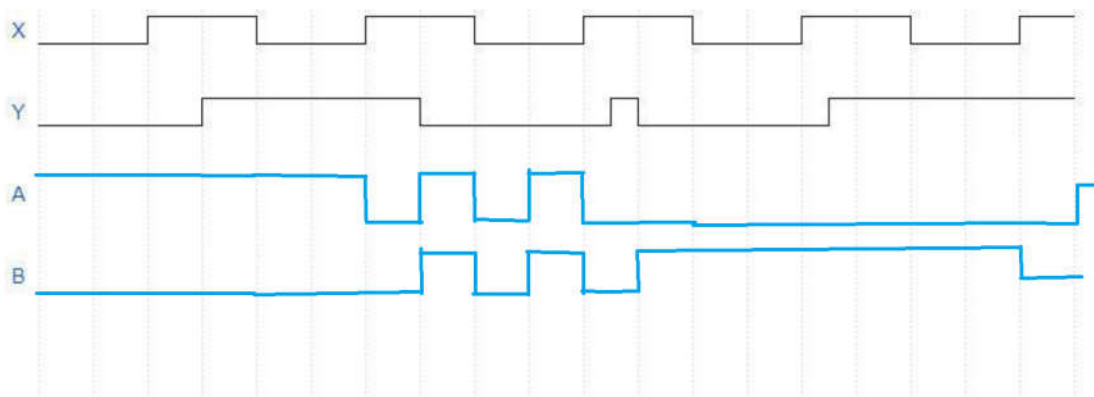
الف) شکل موج A و B را رسم نمایید.

با فرض تأخیر صفر :





با فرض تأخیر ۱ نانو ثانیه برای گیت ها (در این جا به دلیل بالا بودن فرکانس کلاک ، حالت غیر مجاز برای نگه دارنده SR پیش می آید و خروجی مدار نا دلخواه است)



ب) این مدار چه عملکردی دارد؟ تأخیر گیت NOR را 1ns در نظر بگیرید.

یک Negative Edge-Triggered D Flip Flop است. در زمان تغییر کلاک از ۱ به صفر ، ورودی Y به A منتقل شده و مکمل آن به B منتقل می شود. مانند D Flip Flop Master Slave عمل می کند با این تفاوت که اگر هنگامی که clock یک است ، دیتا تغییر کند ، تغییر به خروجی منتقل نمی شود. البته در صورتی است که Setup time و Hold Time رعایت شود.

ج) (این بخش امتیازی است) با در نظر گرفتن مسیر سیگنالهای ورودی تا خروجی، آیا میتوانید تاخیر کلی ورودیها به خروجیها و همچنین زمانهای t_{setup} و t_{hold} را محاسبه کنید؟

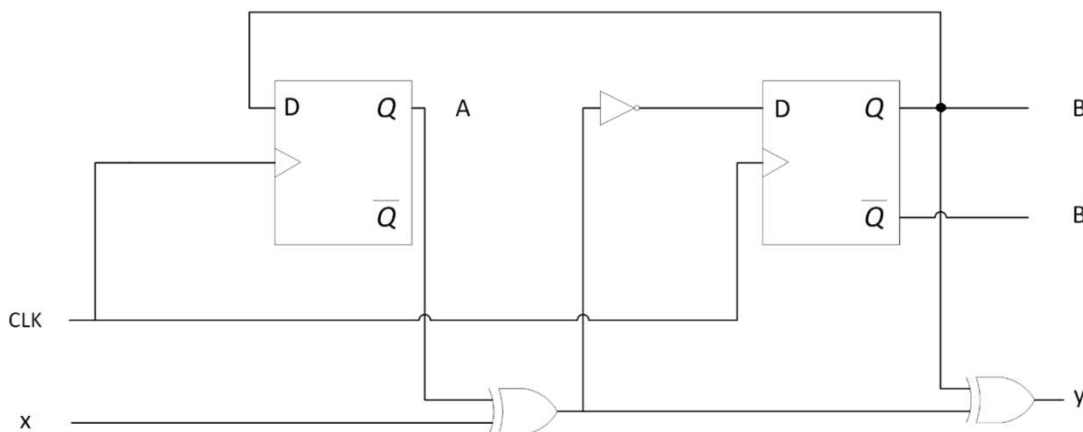
حالت اولیه ی پایدار $B = 1, A = 0, X = 1, Y = 0$ را در نظر می گیرم. اگر مقدار دیتا ، Y ، به ۱ تغییر کند ، بعد از گذر از ۲ گیت ، یعنی ۲ نانو ثانیه ، ورودی دومین گیت از بالا یک می شود و کلاک می تواند صفر شود زیرا قبل از آن اگر صفر شود ، ورودی نگه دارنده به مدت ۱ نانو ثانیه ۱-۱ خواهد شد که غیر مجاز است. بنابراین $\text{Setup Time} = 2\text{ ns}$ است. حال در حالت $B = 1, A = 0, X = 1, Y = 1$ ، اگر کلاک صفر شود ، بعد از ۳ نانو ثانیه ، مقدار A برابر Y یعنی ۱ می شود بنابراین تأخیر Clock to Output برابر ۳ نانو ثانیه است. برای بررسی Hold Time ، در همین حالت ، وقتی کلاک صفر شد ، بعد از ۱ نانو ثانیه ، ورودی R یک می شود و ۲ نانو ثانیه طول می کشد تا مقدار A برابر ۱ شود. حال اگر قبل از آنکه R یک شود ، مقدار Y به صفر تغییر کند ، بعد از ۲ نانو ثانیه ورودی S یک می شود که در نتیجه حالت غیر مجاز رخ می دهد. در نتیجه $\text{Hold Time} = 1\text{ ns}$ است.



۳. (۲۰ نمره) مدار ترتیبی نشان داده شده در شکل زیر شامل دو فلیپ فلاپ D، یک ورودی x و یک خروجی y است.

الف) جدول حالت این مدار را بکشید.

ب) عملکرد این مدار را توضیح دهید



Present State		Input	Next State		Output
A	B	x	A	B	y
0	0	0	0	1	0
0	0	1	0	0	1
0	1	0	1	1	1
0	1	1	1	0	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	1

$$A(t+1) = B(t)$$

$$B(t+1) = x \odot A(t)$$

$$y = A(t) \oplus x \oplus B(t) = \bar{B}(t+1) \oplus B(t)$$

این مدار، مقدار قبلی B را با وارون مقدار مقدار جدید آن جمع می کند.



۴. (۲۰ نمره) دیاگرام زمانی را برای سیگنالهای Q_0 ، Q_1 و Q_2 مدار شکل زیر (به ازای ۴ سیکل کلاک کامل) رسم نمایید. فرض نمایید مقدارهای اولیه ی همه ی سیگنالها صفر است و تمامی فلیپ فلاپها حساس به لبه ی منفی هستند.

