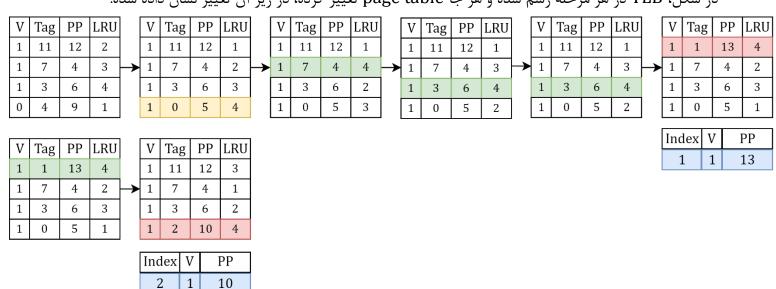
																				۲.	
Page Requests	7	2	3	1	2	5	3	4	6	7	7	1	0	5	4	6	2	3	0	1	→
FIFO	7	7 2	7 2 3	2 3	1 2 3	1 5 3	1 5 3	1 5 4	6 5 4	6 7 4	6 7 4	6 7 1	7 1	0 5 1	0 5 4	6 5 4	6 2 4	6 2 3	0 2 6	0 1 6	
LRU	7	7 2	7 2 3	2 3	1 2 3	1 2 5	3 2 5	3 4 5	3 4 6	7 4 6	7 4 6	7 1 6	7 1 0	5 1 0	5 4 0	5 4 6	2 4 6	2 3 6	3 0	3 0	
Optimal	7	7 2	7 2 3	2 3	1 2 3	1 5 3	1 5 3	1 5 4	1 5 6	1 5 7	1 5 7	1 5 7	1 5 0	1 5 0	1 4 0	1 6 0	1 2 0	1 3 0	1 3 0	1 3 0	
$\#Page\ Faults: FIFO = 17, LRU = 18, OPT = 13$																					

Virtual Physical Address **#Virtual Pages #Physical Pages** Offset Address 1 32 30 20 18 12 2 31 17 32 18 14 3 64 34 50 20 14

پردازنده ۱۶ بیتی است و ۱۲ بیت offset است. پس ۴ بیت با ارزش نشان دهنده شماره صفحه درخواستی است. پس درخواست ها به ترتیب برابر 0,7,3,3,1,1,2 هستند.

در شکل، TLB در هر مرحله رسم شده و هر جا page table تغییر کرده، در زیر آن تغییر نشان داده شده.



الف)

.٢

0x <mark>0</mark> FFF	0x 7 A28	0x <mark>3</mark> DAD	0x <mark>3</mark> A98	0x <mark>1</mark> C19	0x1000	0x <mark>2</mark> 2D0
TLB Miss Page Table Hit	TLB Hit	TLB Hit	TLB Hit	Page Fault	TLB Hit	Page Fault

ب) اگر Tag برابر درخواست وValid باشد، Hit می شود. اگر Tag در TLB نباشد و در Valid باشد و Valid باشد و Valid باشد، TLB میس می شود اما از Page Table مقدار فریم آورده شده و طبق سیاست TLB جایگزین می شود. اگر Valid باشد، باید از back store خوانده شود که یعنی Page Fault رخ می دهد. بعد از خوانده شدن از هارد باید به حافظه اصلی

منتقل شود، حال اگر در فریم های اختصاص یافته به فرآیند(در اینجا ۱۳ تا) فضای خالی بود، در آنجا گذاشته می شود و در غیر این صورت، طبق سیاست اتخاذ شده جایگزین می شود(پیج جاگذاری شده Invalid می شود) و آدرس فریم در جدول صفحه نوشته شده و Valid می شود.

ج) فقط در Page Fault تغییر میکند و آن در صورتی است که صفحه درخواستی در حافظه اصلی لود نشده باشد، یعنی Invalid باشد. در قسمت (ب) نحوه آپدیت شدن توضیح داده شد.