

(i) با فرض این که متغیرهای A, B, n, PS, M تعریف شده‌اند، در این قطعه کد مشکلات زیر وجود دارند:

- For block که با begin شروع شده، باید با end تمام شود که گذاشته نشده است.
- always block که با begin شروع شده، باید با end تمام شود که گذاشته نشده است.
- نوع متغیر i تعریف نشده است که مثلا integer است یا خیر.
- همان‌طور که در سوال گفته شده، به جای $i++$ نیز باید از $i = i + 1$ استفاده شود.

(ii) در این کد مشکلات زیر وجود دارد:

- نوع خروجی مشخص نشده است (wire است یا reg که در اینجا باید reg باشد).
- داخل لیست حساسیت always و داخل if و else if از متغیر data_in1 و data_in2 استفاده شده است که چنین متغیری تعریف نشده است.
- پس از شروع always block از begin و end استفاده نشده است. بنابراین فقط یک خط بعد از always فقط در این بلاک اجرا می‌شود.
- همچنین ایراد دیگری که وجود دارد این است که کلمه module باید به صورت کوچک نوشته شود (در اینجا به صورت Module نوشته شده است).