

طراحی سیستم های مبتنی بر ASIC/FPGA

تمرین سری ۳

علی یداللهی

شماره دانشجویی: ۴۰۰۱۰۲۲۳۳

۱

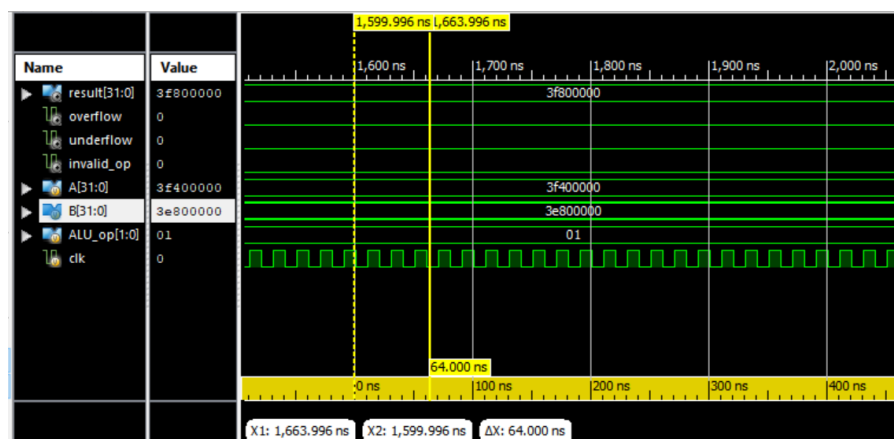
الف

در طراحی از یک جمع کننده و یک ضرب کننده استفاده شده است. همچنین در ورودی و خروجی های ماژول های ضرب کننده و جمع کننده از رجیستر استفاده شده تا بتوان حاصل عملیات را نگه داشت و حاصل عملیات قبل تا زمان حاضر شدن حاصل عملیات بعد در خروجی نمایش داده می شود. در انتها با توجه به ورودی op که نوع عملیات را مشخص می کند خروجی از بین خروجی دو ماژول ضرب کننده و جمع کننده انتخاب می شود.

ب

در این قسمت شبیه سازی را با کمک نرم افزار ISE و نرم افزار ISIM داخل آن انجام می دهیم. توسط یک فایل تست بنچ متغیرهای ورودی و خروجی ماژول را مشخص می کنیم. اما حالات تست مختلف را به کمک waveform اعمال کرده و خروجی ها را مشاهده می کنیم. در ادامه چند بار شبیه سازی را انجام داده و به ازای ورودی های مختلف خروجی را مشاهده می کنیم.

- $A = 0X3F400000$ (0.75)
 $B = 0X3E800000$ (0.25)
 $op = 01$ (add)

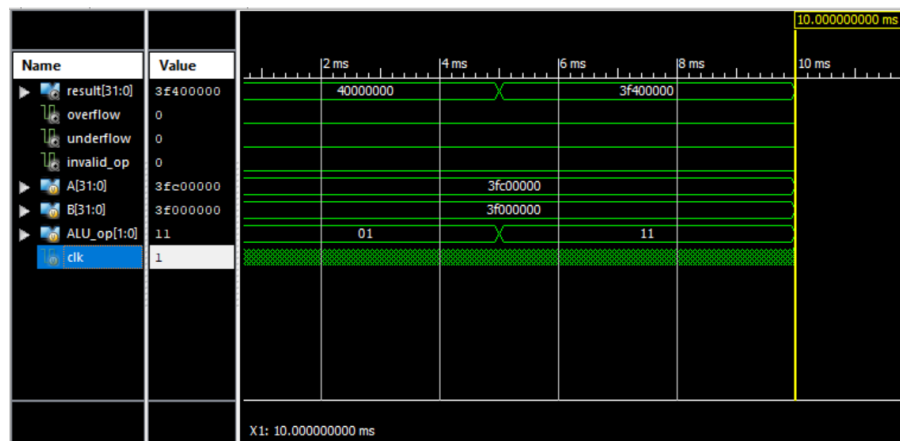


- $A = 0X3FC00000$ (1.5)
 $B = 3F000000$ (0.5)
 $op = 01$ (add) [0 - 5ms] , 11 (mult) [5 - 10ms]

خروجی:

output = 0X40000000 (2) [add]

$$B = 0X3F400000(0.75)$$

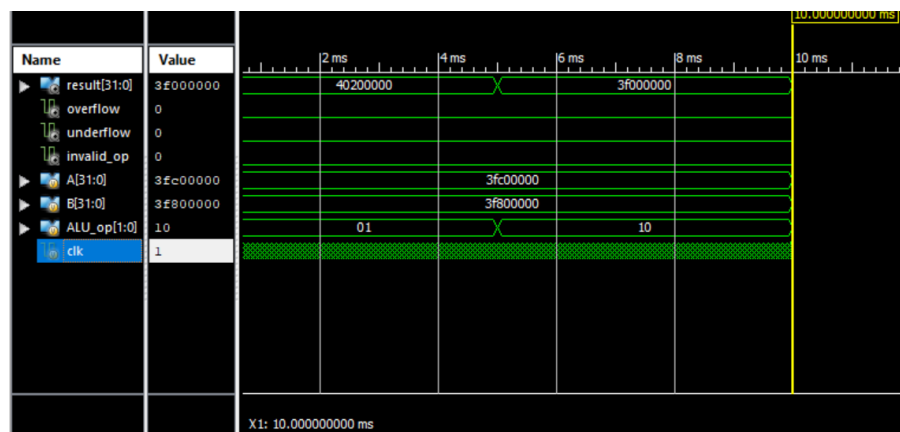


- $A = 0X3FC00000(1.5)$
 $B = 3F800000(1)$
 $op = 01(\text{add})[0 - 5\text{ms}] , 10(\text{sub})[5 - 10\text{ms}]$

خروجی:

$$\text{output} = 0X40200000(2.5)[\text{add}]$$

$$B = 0X3F000000(0.5)$$



ج

در این قسمت چند خط زیر را به تست بنچ اضافه کرده و توسط xPowerAnalyzer توان مصرفی را به دست می آوریم:

```
initial begin
$dumpfile("withIPPower.vcd");
$dumpvars(1 , main_T.uut);
end
```

توان مصرف شده به این صورت است:

Supply Power (W)	Total	Dynamic	Quiescent
	0.082	0.000	0.082

د

لیست منابع مصرف شده در ادامه آورده شده است:

Device Utilization Summary					
Slice Logic Utilization	Used	Available	Utilization	Note(s)	
Number of Slice Registers	1,247	126,800	1%		
Number used as Flip Flops	1,247				
Number used as Latches	0				
Number used as Latch-thrus	0				
Number used as AND/OR logics	0				
Number of Slice LUTs	948	63,400	1%		
Number used as logic	840	63,400	1%		
Number using O6 output only	448				
Number using O5 output only	30				
Number using O5 and O6	362				
Number used as ROM	0				
Number used as Memory	60	19,000	1%		
Number used as Dual Port RAM	0				
Number used as Single Port RAM	0				
Number used as Shift Register	60				
Number using O6 output only	60				
Number using O5 output only	0				

Number using O5 and O6	0			
Number used exclusively as route-thrus	48			
Number with same-slice register load	43			
Number with same-slice carry load	5			
Number with other load	0			
Number of occupied Slices	343	15,850	2%	
Number of LUT Flip Flop pairs used	1,150			
Number with an unused Flip Flop	71	1,150	6%	
Number with an unused LUT	202	1,150	17%	
Number of fully used LUT-FF pairs	877	1,150	76%	
Number of unique control sets	13			
Number of slice register sites lost to control set restrictions	69	126,800	1%	
Number of bonded IOBs	102	210	48%	
Number of RAMB36E1/FIFO36E1s	0	135	0%	
Number of RAMB18E1/FIFO18E1s	0	270	0%	
Number of BUFG/BUFGCTRLs	1	32	3%	
Number used as BUFGs	1			
Number used as BUFGCTRLs	0			

Number of IDELAYE2/IDELAYE2_FINEDELAys	0	300	0%	
Number of ILOGICE2/ILOGICE3/SERDESE2s	0	300	0%	
Number of ODELAYE2/ODELAYE2_FINEDELAys	0			
Number of OLOGICE2/OLOGICE3/OSERDESE2s	0	300	0%	
Number of PHASER_IN/PHASER_IN_PHYs	0	24	0%	
Number of PHASER_OUT/PHASER_OUT_PHYs	0	24	0%	
Number of BSCANs	0	4	0%	
Number of BUFPCEs	0	96	0%	
Number of BUFPRs	0	24	0%	
Number of CAPTUREs	0	1	0%	
Number of DNA_PORTs	0	1	0%	
Number of DSP48E1s	2	240	1%	
Number of EFUSE_USRs	0	1	0%	
Number of FRAME_ECCs	0	1	0%	
Number of IBUFDS_GTE2s	0	4	0%	
Number of ICAPs	0	2	0%	
Number of IDELAYCTRLs	0	6	0%	
Number of IN_FIFOs	0	24	0%	
Number of MMCM2_ADVs	0	6	0%	

Number of OUT_FIFOs	0	24	0%
Number of PCIE_2_1s	0	1	0%
Number of PHASER_REFS	0	6	0%
Number of PHY_CONTROLS	0	6	0%
Number of PLLE2_ADVs	0	6	0%
Number of STARTUps	0	1	0%
Number of XADCs	0	1	0%
Number of RPM macros	1		
Average Fanout of Non-Clock Nets	2.62		

۵

در این بخش یک فایل با پسوند ucf. ایجاد می‌کنیم و دو خط زیر را در آن قرار می‌دهیم:

```
1 NET "clk" TNM_NET = clk;
2 TIMESPEC TS_clk = PERIOD "clk" 2.4 ns HIGH 50%;
```

سپس با استفاده از روش آزمایش و خطا بهترین پریود کلاک را به دست می‌آوریم. کمترین دوره تناوب ممکن برای کلاک برابر با $2.4ns$ است.

۲

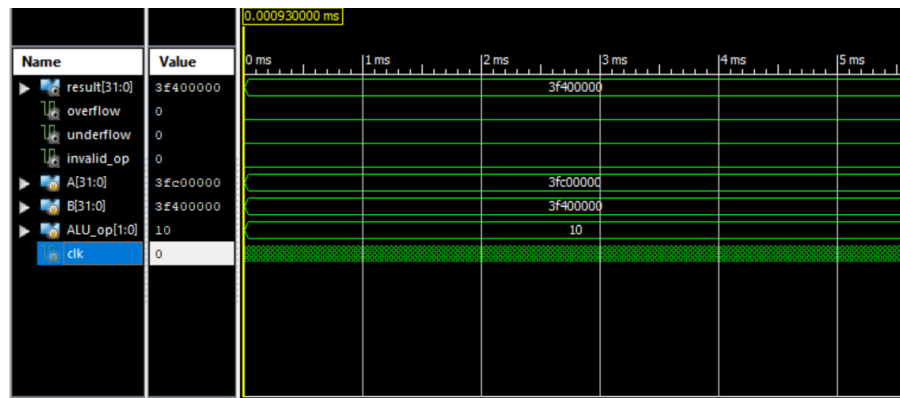
الف

در این قسمت ماژول‌های داخلی را هم طراحی کردم. طراحی هر ماژول به صورت pipeline انجام شده. ماژول ضرب‌کننده خروجی را در ۶ کلاک تحویل می‌دهد و جمع‌کننده در یازده کلاک. اما برای این که خروجی ضرب‌کننده و جمع‌کننده با هم حاضر باشند تا آماده شدن خروجی ضرب‌کننده را در طول یک خط رجیستر حرکت می‌دهیم تا همزمان با خروجی جمع‌کننده به انتهای خط برسد. علاوه بر آن برای این که بین دو خروجی در انتها یکی را برای دادن به خروجی کلی انتخاب کنیم، ورودی op را هم در طول خط حرکت داده و از آن به عنوان خط کنترلی یک مالتی پلکسر برای انتخاب بین خروجی‌ها استفاده می‌کنیم. با وجود اینکه عملیات ما چند کلاک طول می‌کشد اما با پر شدن pipeline ما میتوانیم در هر کلاک به مدار ورودی به دهیم و در هر کلاک هم خروجی دریافت خواهیم کرد و درواقع در هر کلاک یک خروجی از ALU خواهیم گرفت

ب

در این بخش هم همانند قسمت قبل شبیه‌سازی را انجام می‌دهیم.

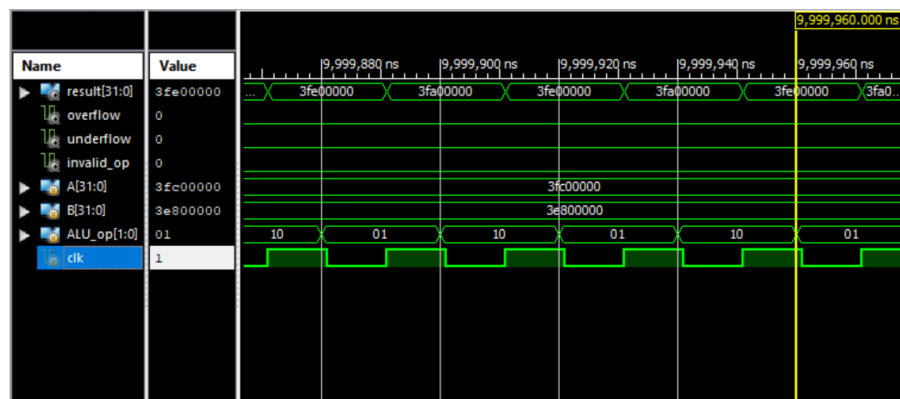
- A = 0X3FC00000 (1.5)
B = 0X3F400000 (0.75)
op = 01 (sub)



- $A = 0X3FC00000(1.5)$

$$B = 0X3E800000(0.25)$$

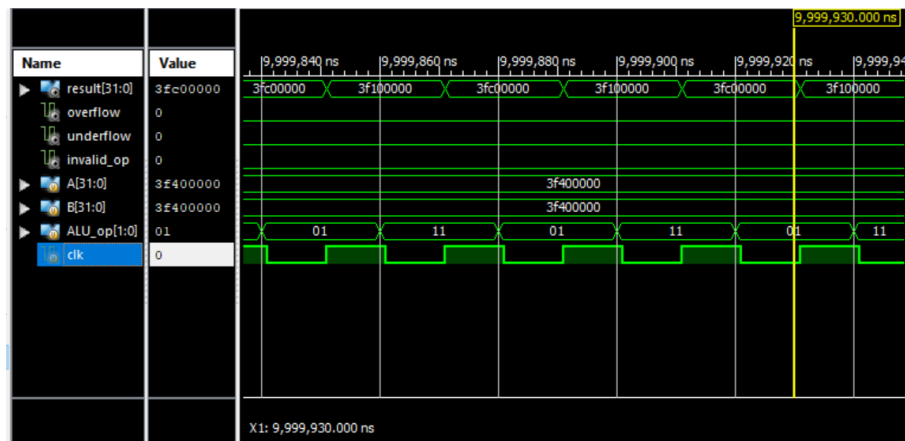
op به صورت متناوب بین ۰۱ (جمع) و ۱۰ (تفریق تغییر میکند و خروجی هم بین $0X3FE00000(1.75)$ و $0X3FA00000(1.25)$ در حال تغییر است.



- $A = 0X3F400000(0.75)$

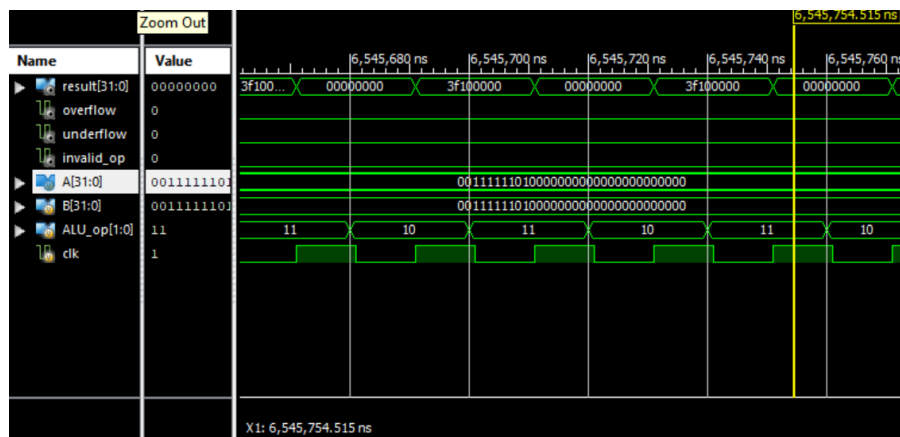
$$B = 0X3F400000(0.75)$$

op به صورت متناوب بین ۰۱ (جمع) و ۱۱ (ضرب تغییر میکند و خروجی هم بین $0X3FC00000(1.5)$ و $0X3F100000(0.5625)$ در حال تغییر است.



- $A = 0X3F400000(0.75)$
 $B = 0X3F400000(0.75)$

op به صورت متناوب بین ۱۰ (جمع) و ۱۱ (ضرب تغییر میکند و خروجی هم بین $0X00000000(0)$ و $0X3F100000(0.5625)$ در حال تغییر است.



ج

در این بخش هم همانند حالت قبل توان را به دست می آوریم.

	Total	Dynamic	Quiescent
Supply Power (W)	0.086	0.004	0.082

مشاهده می شود که برعکس حالت قبل توان پویا داریم و توان کلی مصرف شده بیشتر از حالتی است که از IP Core استفاده کرده بودیم.

د

لسیت منابع مصرفی در ادامه آورده شده است:

Device Utilization Summary					
Slice Logic Utilization	Used	Available	Utilization	Note(s)	
Number of Slice Registers	660	126,800	1%		
Number used as Flip Flops	659				
Number used as Latches	0				
Number used as Latch-thrus	0				
Number used as AND/OR logics	1				
Number of Slice LUTs	908	63,400	1%		
Number used as logic	857	63,400	1%		
Number using O5 output only	609				
Number using O5 output only	45				
Number using O5 and O6	203				
Number used as ROM	0				
Number used as Memory	37	19,000	1%		
Number used as Dual Port RAM	0				
Number used as Single Port RAM	0				
Number used as Shift Register	37				
Number using O6 output only	37				
Number using O5 output only	0				

Number using O5 and O6	0				
Number used exclusively as route-thrus	14				
Number with same-slice register load	10				
Number with same-slice carry load	4				
Number with other load	0				
Number of occupied Slices	387	15,850	2%		
Number of LUT Flip Flop pairs used	1,082				
Number with an unused Flip Flop	537	1,082	49%		
Number with an unused LUT	174	1,082	16%		
Number of fully used LUT-FF pairs	371	1,082	34%		
Number of unique control sets	8				
Number of slice register sites lost to control set restrictions	16	126,800	1%		
Number of bonded IOBs	102	210	48%		
Number of RAMB36E1/FIFO36E1s	0	135	0%		
Number of RAMB18E1/FIFO18E1s	0	270	0%		
Number of BUFGB/BUFGCTRLs	1	32	3%		
Number used as BUFGBs	1				
Number used as BUFGCTRLs	0				

Number of IDELAYE2/IDELAYE2_FINEDELAYS	0	300	0%		
Number of ILOGICE2/ILOGICE3/ISERDESE2s	0	300	0%		
Number of ODELAYE2/ODELAYE2_FINEDELAYS	0				
Number of OLOGICE2/OLOGICE3/OSERDESE2s	0	300	0%		
Number of PHASER_IN/PHASER_IN_PHYs	0	24	0%		
Number of PHASER_OUT/PHASER_OUT_PHYs	0	24	0%		
Number of BSCANs	0	4	0%		
Number of BUFHCEs	0	96	0%		
Number of BUFBRs	0	24	0%		
Number of CAPTUREs	0	1	0%		
Number of DNA_PORTs	0	1	0%		
Number of DSP48E1s	2	240	1%		
Number of EFUSE_USRs	0	1	0%		
Number of FRAME_ECCs	0	1	0%		
Number of BUFDS_GTE2s	0	4	0%		
Number of ICAPs	0	2	0%		
Number of IDELAYCTRLs	0	6	0%		
Number of IN_FIFOs	0	24	0%		
Number of MMCMCE2_ADVs	0	6	0%		

Number of OUT_FIFOs	0	24	0%		
Number of PCIE_2_1s	0	1	0%		
Number of PHASER_REFs	0	6	0%		
Number of PHY_CONTROLS	0	6	0%		
Number of PLL2_ADVs	0	6	0%		
Number of STARTUPs	0	1	0%		
Number of XADCs	0	1	0%		
Average Fanout of Non-Clock Nets	3.10				

۵

با استفاده از روش سعی و خطا کمترین دوره تناوب به دست آمده برابر $4.2ns$ می شود که میبینیم که نسبت به قسمت قبل بیشتر است.

۱. قابلیت استفاده مجدد: IPcore ها ماژول های از پیش طراحی شده ای هستند که می توان از آنها در طراحی یک ساختار بزرگتر به تعداد دلخواه استفاده کرد.
۲. قابلیت اطمینان: از آنجایی که IPcore ها توسط تیم های باتجربه طراحی و توسعه داده شده اند و تست های متعددی را برای اطمینان از صحت عملکرد خود گذرانده اند؛ می توان با اطمینان بالا از آنها استفاده کرد.
۳. انعطاف پذیری: ساختار IPcore ها و ورودی ها و خروجی های آنها معمولاً تا حدی قابلیت انعطاف دارد و می تواند براساس نیاز طراح تغییر کند.
۴. کاهش زمان طراحی: استفاده از ماژول های از پیش طراحی شده باعث کاهش زمان مورد نیاز برای طراحی طرح اصلی ما شده و باعث عرضه شدن سریع تر محصول به بازار می شود.
۵. بهره وری: معمولاً طراحی استفاده شده در IPcore ها optimized است و سعی شده است تا critical path آن کمترین حالت ممکن باشد تا سرعت مدار افزایش یابد و قابلیت استفاده از کلاک هایی با فرکانس بالاتر فراهم شود.
۶. استفاده بهینه از منابع FPGA : معمولاً IPcore به نحوی طراحی می شوند تا از نظر مصرف منابع سخت افزاری در بهینه ترین حالت ممکن باشند و از منابع کمتری استفاده کنند.