

طراحی سیستم های مبتنی بر ASIC/FPGA

تمرین سری ۴

علی یداللهی

شماره دانشجویی: ۴۰۰۱۰۲۲۳۳

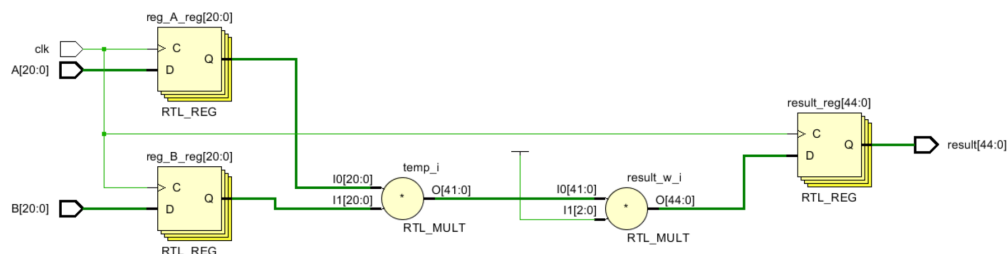
۱

- Net delay : به تأخیری که سیگنال ها در هنگام عبور از اتصالات مدار با آن مواجه میشوند را Net delay می گویند. Net delay ها در درجه اول به دلیل ویژگی های فیزیکی سیم های اتصال مانند طول، پیچیدگی مسیریابی (roating)، ظرفیت خازنی و مقاومت ایجاد می شوند. این تأخیرها تحت تأثیر معماری FPGA roating هستند و بسته به منابع مسیریابی خاص مورد استفاده برای اتصال عناصر منطقی مختلف می توانند متفاوت باشند.
 - Logic delay : تأخیر logic به تأخیر ذاتی در خود عناصر منطقی اشاره دارد که شامل بلوک های منطقی ترکیبی، فلیپ فلاپ ها، LUT ها و سایر واحدهای عملکردی است. تأخیرهای منطقی تحت تأثیر عواملی مانند تعداد سطوح منطقی، پیچیدگی توابع منطقی و سرعت گیت ها تعیین می شوند.
- به طور خلاصه، Net delay مربوط به تأخیر در انتشار سیگنال از طریق اتصالات است، در حالی که Logic delay مربوط به تأخیر درون خود عناصر منطقی است.

۲

الف

در این قسمت برای این که کمترین latency را داشته باشیم در ساختار داخلی از هیچ رجیستری استفاده نمی کنیم و قسمت اصلی مدار به صورت یک combo. logic خواهد بود. با توجه به مطالب تدریس شده در کلاس درس برای ارتباط بهتر و مطمئن تر با ورودی ها و خروجی ها بهتر است که در ورودی و خروجی رجیستر قرار دهیم. شکل نهایی مدار طراحی شده در شکل زیر آورده شده است.



با استفاده از روش آزمون و خطا مشابه تمرین قبل بهترین پریود کلاک برابر $11.2ns$ می شود. مدار را با استفاده از تست بنچ تست می کنیم:

حال با سنتز و implement کردن مدار منابع مصرفی را به دست می آوریم.

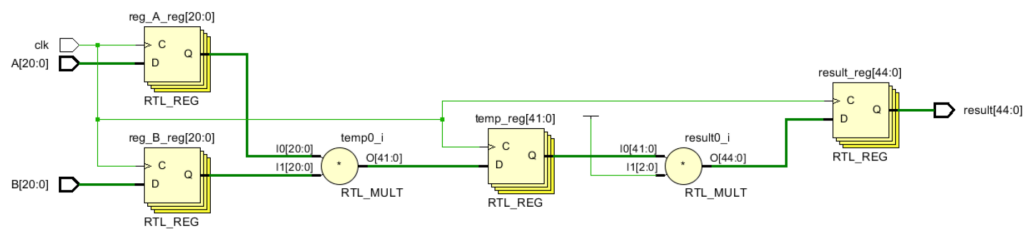
Number of occupied Slices	17	15,850	1%
Number of LUT Flip Flop pairs used	38		
Number with an unused Flip Flop	0	38	0%
Number with an unused LUT	29	38	76%
Number of fully used LUT-FF pairs	9	38	23%
Number of unique control sets	1		
Number of slice register sites lost to control set restrictions	3	126,800	1%
Number of bonded IOBs	88	210	41%
Number of RAMB36E1/FIFO36E1s	0	135	0%
Number of RAMB18E1/FIFO18E1s	0	270	0%
Number of BUFG/BUFGCTRLs	1	32	3%
Number used as BUFGs	1		
Number used as BUFGCTRLs	0		
Number of IDELAYE2/IDELAYE2_FINEDELAYS	0	300	0%
Number of ILOGICE2/ILOGICE3/ISERDESE2s	0	300	0%
Number of ODELAYE2/ODELAYE2_FINEDELAYS	0		
Number of OLOGICE2/OLOGICE3/OSERDESE2s	0	300	0%
Number of PHASER_IN/PHASER_IN_PHYS	0	24	0%

Number of PHASER_OUT/PHASER_OUT_PHYS	0	24	0%
Number of BSCANs	0	4	0%
Number of BUFHCEs	0	96	0%
Number of BUFRRs	0	24	0%
Number of CAPTUREs	0	1	0%
Number of DNA_PORTS	0	1	0%
Number of DSP48E1s	6	240	2%
Number of EFUSE_USRs	0	1	0%
Number of FRAME_ECCs	0	1	0%
Number of IBUFDS_GTE2s	0	4	0%
Number of ICAPs	0	2	0%
Number of IDELAYCTRLs	0	6	0%
Number of IN_FIFOs	0	24	0%
Number of MMCME2_ADVs	0	6	0%
Number of OUT_FIFOs	0	24	0%
Number of PCIE_2_1s	0	1	0%
Number of PHASER_REFS	0	6	0%
Number of PHY_CONTROLS	0	6	0%
Number of PLLE2_ADVs	0	6	0%

می بینیم که تعداد بلوک های dsp استفاده شده برابر ۶ عدد است.

ب

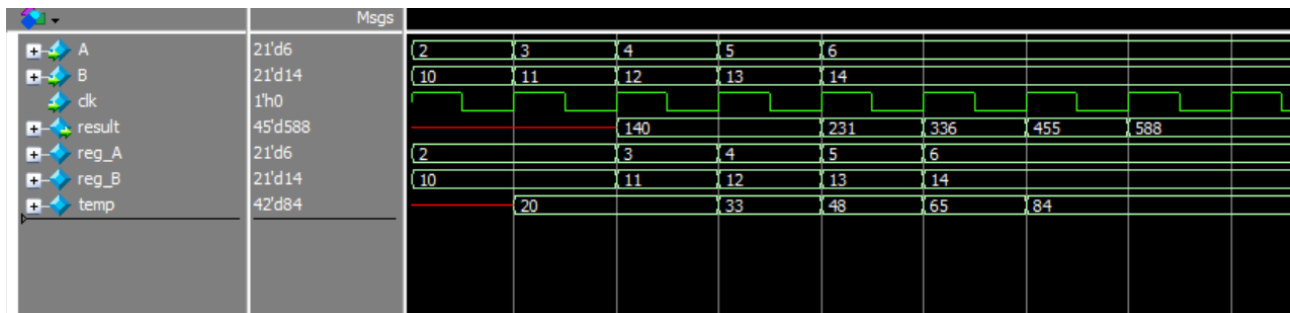
در این بخش بین دو قسمت ضرب کننده یک رجیستر قرار می دهیم و یک لایه pipeline اضافه می کنیم. مدار به دست آمده به صورت زیر درخواهد آمد:



پریود کلاک به دست آمده در این قسمت برابر با $7.6ns$ می شود.

می بینیم که با پایپ لاین کردن مدار فرکانس کلاک قابل استفاده افزایش پیدا خواهد کرد.

مدار را با استفاده از تست بنچ تست می کنیم:



می توان دید که خروجی این قسمت همانند خروجی قسمت قبل است.
حال با سنتز و implement کردن مدار منابع مصرفی را به دست می آوریم.

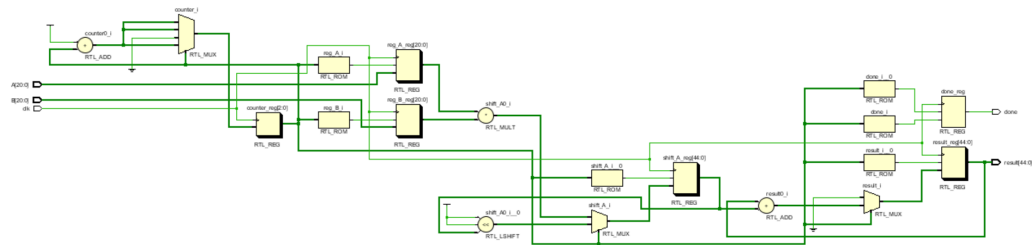
Device Utilization Summary				
Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	45	126,800	1%	
Number used as Flip Flops	45			
Number used as Latches	0			
Number used as Latch-thrus	0			
Number used as AND/OR logics	0			
Number of Slice LUTs	8	63,400	1%	
Number used as logic	4	63,400	1%	
Number using O6 output only	4			
Number using O5 output only	0			
Number using O5 and O6	0			
Number used as ROM	0			
Number used as Memory	0	19,000	0%	
Number used exclusively as route-thrus	4			
Number with same-slice register load	4			
Number with same-slice carry load	0			
Number with other load	0			
Number of occupied Slices	15	15,850	1%	

Number of occupied Slices	15	15,850	1%	
Number of LUT Flip Flop pairs used	40			
Number with an unused Flip Flop	0	40	0%	
Number with an unused LUT	32	40	80%	
Number of fully used LUT-FF pairs	8	40	20%	
Number of unique control sets	1			
Number of slice register sites lost to control set restrictions	3	126,800	1%	
Number of bonded IOBs	88	210	41%	
Number of RAMB36E1/FIFO36E1s	0	135	0%	
Number of RAMB18E1/FIFO18E1s	0	270	0%	
Number of BUFGB/BUFGCTRLs	1	32	3%	
Number used as BUFGBs	1			
Number used as BUFGCTRLs	0			
Number of IDELAYE2/IDELAYE2_FINEDELAYS	0	300	0%	
Number of ILOGICE2/ILOGICE3/ISERDESE2s	0	300	0%	
Number of ODELAYE2/ODELAYE2_FINEDELAYS	0			
Number of OLOGICE2/OLOGICE3/OSERDESE2s	0	300	0%	
Number of PHASER_IN/PHASER_IN_PHYs	0	24	0%	

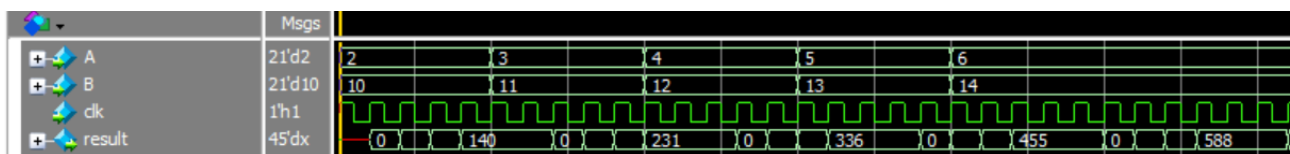
Number of BSCANs	0	4	0%
Number of BUFHCEs	0	96	0%
Number of BUFRLs	0	24	0%
Number of CAPTUREs	0	1	0%
Number of DNA_PORTS	0	1	0%
Number of DSP48E1s	6	240	2%
Number of EFUSE_USRs	0	1	0%
Number of FRAME_ECCs	0	1	0%
Number of IBUFDS_GTE2s	0	4	0%
Number of ICAPs	0	2	0%
Number of IDELAYCTRLs	0	6	0%
Number of IN_FIFOs	0	24	0%
Number of MMCM2_ADVs	0	6	0%
Number of OUT_FIFOs	0	24	0%
Number of PCIE_2_1s	0	1	0%
Number of PHASER_REFS	0	6	0%
Number of PHY_CONTROLS	0	6	0%
Number of PLLE2_ADVs	0	6	0%
Number of STARTUPs	0	1	0%

ج

در این بخش به جای استفاده از ضرب کننده برای ۷ برابر کردن خروجی از فرآیند جمع و شیفت استفاده می کنیم. فرآیند جمع و شیفت پیاده سازی شده مشابه اسلایدهای درس است. شکل مدار به دست آمده به صورت زیر خواهد بود:



در این حالت پریود کلاک برابر با 5ns می شود.
مدار را با استفاده از تست بنچ تست می کنیم:



در این حالت هرگاه که خروجی done برابر ۱ می شود به این معنی است که خروجی آماده شده است. در این حالت هم می توان دید که خروجی ها در زمان هایی که done برابر ۱ می شود همانند قسمت های قبلی است.

حال با سنتز و implement کردن مدار منابع مصرفی را به دست می آوریم.

Device Utilization Summary				[1]
Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	94	126,800	1%	
Number used as Flip Flops	94			
Number used as Latches	0			
Number used as Latch-thrus	0			
Number used as AND/OR logics	0			
Number of Slice LUTs	112	63,400	1%	
Number used as logic	112	63,400	1%	
Number using O6 output only	82			
Number using O5 output only	0			
Number using O5 and O6	30			
Number used as ROM	0			
Number used as Memory	0	19,000	0%	
Number used exclusively as route-thrus	0			
Number of occupied Slices	32	15,850	1%	
Number of LUT Flip Flop pairs used	112			
Number with an unused Flip Flop	45	112	40%	
Number with an unused LUT	0	112	0%	

Number with an unused LUT	0	112	0%	
Number of fully used LUT-FF pairs	67	112	59%	
Number of unique control sets	3			
Number of slice register sites lost to control set restrictions	18	126,800	1%	
Number of bonded IOBs	89	210	42%	
Number of RAMB36E1/FIFO36E1s	0	135	0%	
Number of RAMB18E1/FIFO18E1s	0	270	0%	
Number of BUFG/BUFGCTRLs	1	32	3%	
Number used as BUFGs	1			
Number used as BUFGCTRLs	0			
Number of IDELAYE2/IDELAYE2_FINEDELAYS	0	300	0%	
Number of ILOGICE2/ILOGICE3/ISERDESE2s	0	300	0%	
Number of ODELAYE2/ODELAYE2_FINEDELAYS	0			
Number of OLOGICE2/OLOGICE3/OSERDESE2s	0	300	0%	
Number of PHASER_IN/PHASER_IN_PHYs	0	24	0%	
Number of PHASER_OUT/PHASER_OUT_PHYs	0	24	0%	
Number of BSCANS	0	4	0%	
Number of BUFHCEs	0	96	0%	

Number of BUFRs	0	24	0%	
Number of CAPTUREs	0	1	0%	
Number of DNA_PORTS	0	1	0%	
Number of DSP48E1s	2	240	1%	
Number of EFUSE_USRs	0	1	0%	
Number of FRAME_ECCs	0	1	0%	
Number of IBUFDS_GTE2s	0	4	0%	
Number of ICAPs	0	2	0%	
Number of IDELAYCTRLs	0	6	0%	
Number of IN_FIFOs	0	24	0%	
Number of MMCME2_ADVs	0	6	0%	
Number of OUT_FIFOs	0	24	0%	
Number of PCIE_2_1s	0	1	0%	
Number of PHASER_REFS	0	6	0%	
Number of PHY_CONTROLS	0	6	0%	
Number of PLL2_ADVs	0	6	0%	
Number of STARTUPs	0	1	0%	
Number of XADCs	0	1	0%	
Average Fanout of Non-Clock Nets	2.14			

می بینیم که تعداد بلوک های dsp به ۲ عدد کاهش پیدا کرده است.

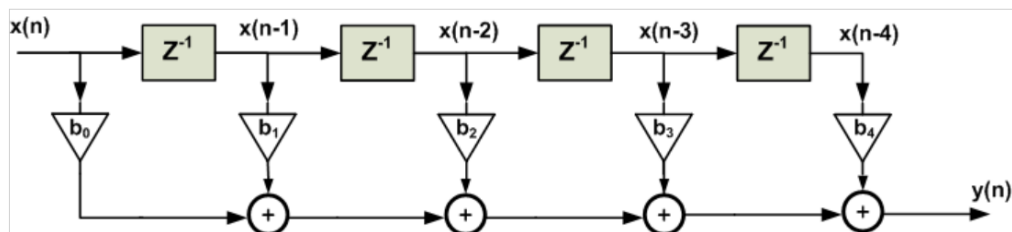
۳

الف

- ساختار direct : ساختار direct به طور مستقیم از روی معادله difference به دست می آید. اگر معادله difference فیلتر FIR به صورت زیر باشد:

$$y(n) = \sum_{k=0}^{M-1} b_k x(n-k)$$

ما برای تولید خروجی در هر لحظه به ورودی فعلی و M-1 ورودی قبلی نیاز خواهیم داشت. به عنوان مثال برای M = 5 فیلتر به صورت زیر خواهد بود:

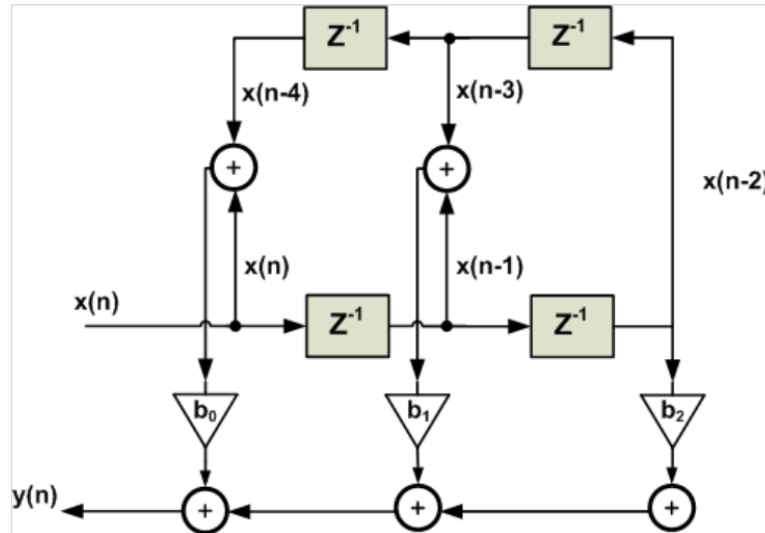


می توان دید که برای یک فیلتر FIR از مرتبه M-1 به M ضرب کننده نیاز خواهیم داشت.

به طور معمول علاقه مندی به فیلترهای linear-phase بیشتر است. در یک فیلتر linear-phase ضرایب متقارن (symmetric) هستند:

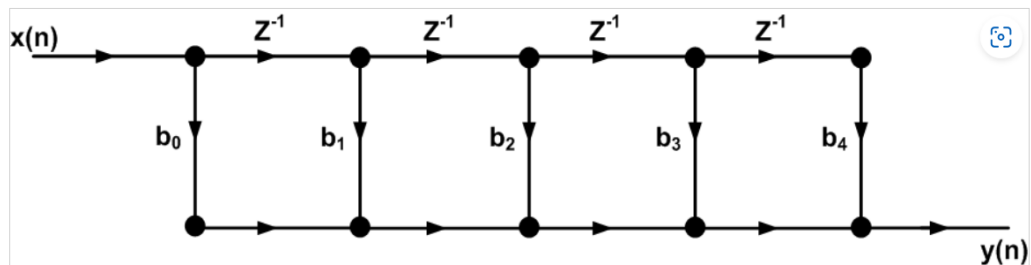
$$b_k = b_{M-1-k}$$

ساختار فیلتر مورد نظر در ادامه آورده شده است.



می توان دید که تعداد ضرب کننده های استفاده شده در این حالت به ۳ عدد کاهش پیدا کرده است. در حالت کلی برای یک فیلتر از مرتبه $M-1$ می توان تعداد ضرب کننده ها را از M به $\frac{M+1}{2}$ کاهش داد.

- ساختار transposed : در ابتدا signal flow graph (SFG) سیستم ساده با $M = 5$ که در قسمت قبل معرفی شد را می کشیم. SFG سیستم به صورت زیر خواهد بود:

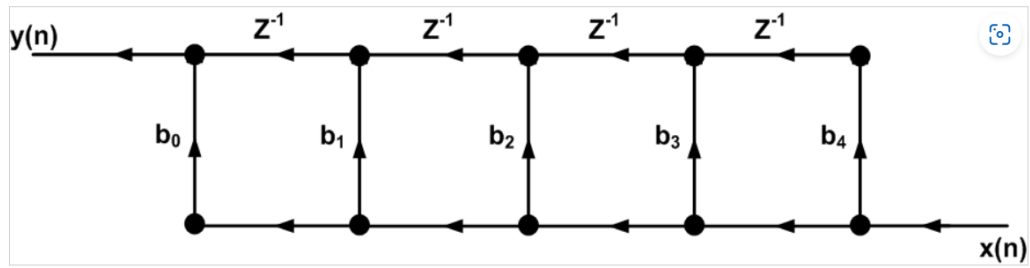


برای یک سیستم معین، ما می توانیم با اعمال «flow graph reversal» یا قضیه «جابه جایی» به ساختار سیستم جدیدی دست یابیم. ساختار جدید به این صورت به دست می آید:

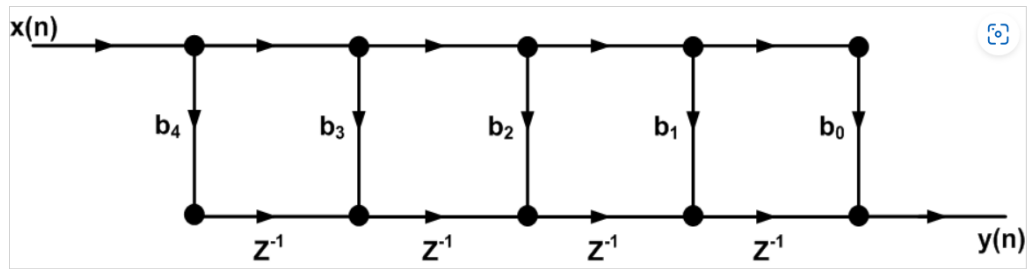
۱. معکوس کردن جهت تمام شاخه های سیستم اصلی بدون تغییر عملکرد آنها

۲. عوض کردن ورودی و خروجی سیستم

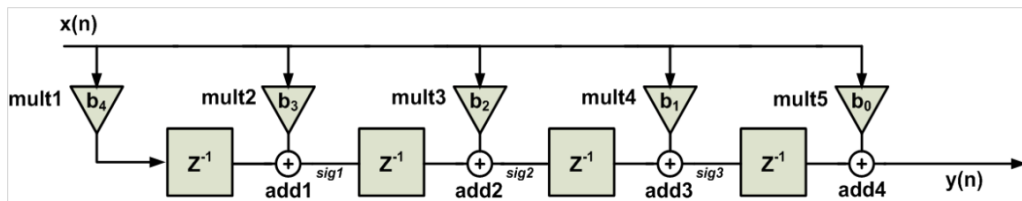
پس از اعمال این تغییرات SFG به صورت زیر خواهد بود:



اگر شکل بالا را بچرخانیم به شکل زیر خواهیم رسید:

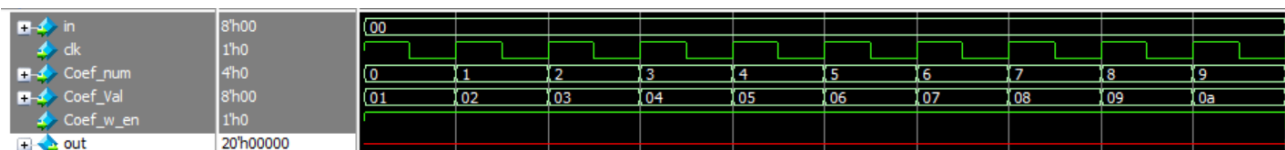


دیگرام فیلتر در نهایت به صورت زیر خواهد بود:

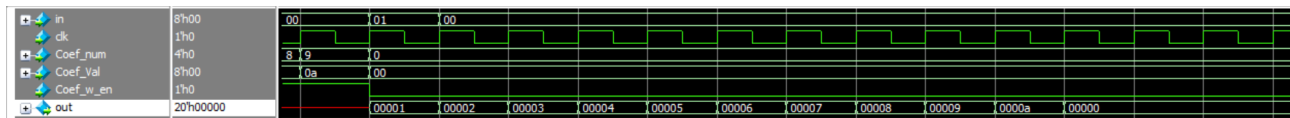


با مقایسه ساختار transposed با ساختار direct، مشاهده می کنیم که ترتیب ضرایب فیلتر معکوس شده است. علاوه بر این، در ساختار transposed، ورودی به همه ضرب کننده ها به طور همزمان می رسد. این برخلاف ساختار direct است که در آن یک نمونه ورودی داده شده در چرخه های مختلف کلاک به ضرب کننده ها می رسد. یکی از مهم ترین ویژگی های ساختار جدید عملکرد pipeline آن است.

در طراحی فیلتر مورد نظر از ساختار direct با ۱۰ تپ استفاده می کنیم که مشابه ساختار معرفی شده در بالا است. شبیه سازی را مطابق صورت سوال انجام شده است. ابتدا ضرایب فیلتر را تعیین می کنیم و سپس ورودی را همانند صورت سوال اعمال می کنیم. ضرایب فیلتر به ترتیب از ۱ تا ۱۰ تعیین شده اند.

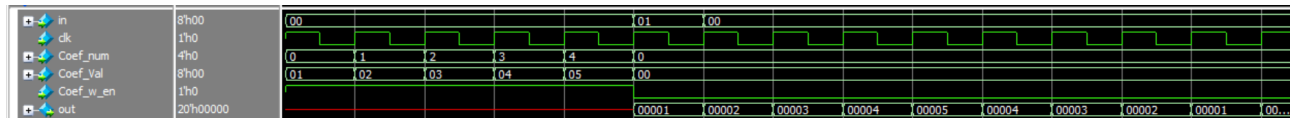


می بینیم که این ضرایب همانطور که مورد انتظار است در خروجی ظاهر می شوند.



ب

ساختار مورد نظر وقتی که ضرایب symmetric هستند نیز در قسمت قبل معرفی شد. شبیه سازی را همانند بخش قبل انجام می دهیم. خواهیم دید که ضرایب در خروجی ظاهر خواهند شد.

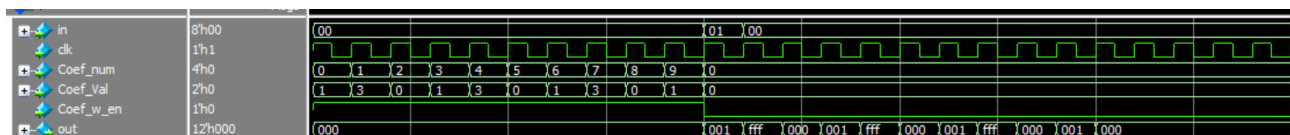


ج

همانطور که در قسمت (الف) هم بررسی شد مزیت عمده ساختار قسمت (ب) نسبت به ساختار قسمت (الف) کاهش تعداد ضرب کننده های استفاده شده است. در ساختار قسمت (الف) برای یک فیلتر مرتبه $M-1$ به M ضرب کننده نیاز داریم درحالی که در ساختار قسمت (ب) به $\frac{M+1}{2}$ ضرب کننده نیاز خواهد بود.

د

از آنجایی که ضرایب فقط ۱، -۱، ۰ یا ۱ هستند، می توان ساختار فیلتر را با حذف ضرب کننده ها و استفاده از جمع کننده ها و تفریق ها ساده کرد. این می تواند به میزان قابل توجهی نیازهای سخت افزاری برای اجرای فیلتر را کاهش دهد. ساختار فیلتر طراحی شده تقریباً مشابه ساختار فیلتر قسمت (الف) است با این تفاوت که ضرب کننده ها را به طور کامل حذف می کنیم و به جای جمع کننده ساده هم یک adder/subtractor با یک خط کنترلی برای کنترل عملیات انجام شده قرار می دهیم. نحوه کارکرد مدار به این صورت است که اگر ضریب مورد نظر ۱ باشد adder/subtractor عملیات جمع و اگر -۱ باشد عملیات تفریق را انجام می دهد. اگر ضریب مورد نظر ۰ باشد ورودی متصل به ورودی A مدار به خروجی منتقل خواهد شد. ضرایب به صورت متناوب برابر با ۱، -۱، ۰ تعیین شده اند. همانند قسمت های قبل این مدار را هم شبیه سازی می کنیم. می بینیم که مقدار ضرایب در خروجی ظاهر می شود.

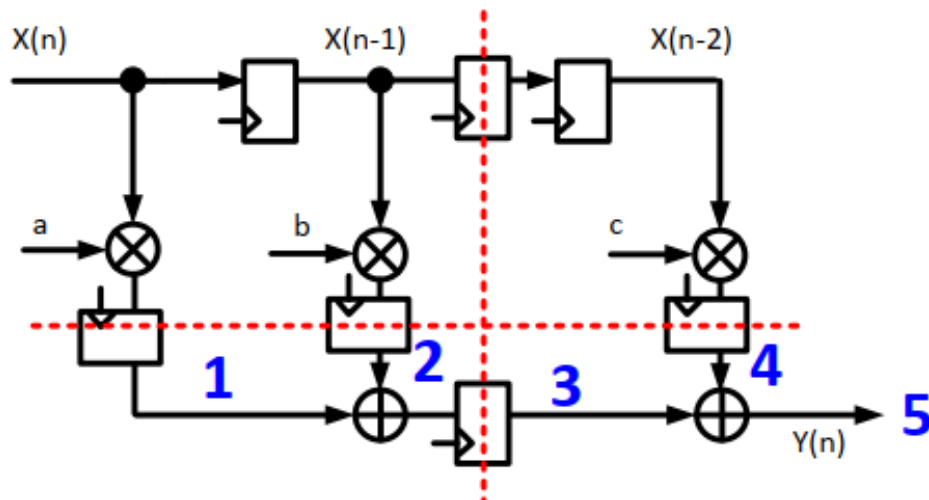


ه

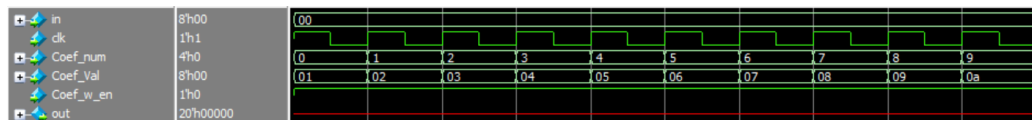
در این قسمت هم همانند تمرین ۳ با آزمایش و خطا کمترین پریود ممکن برای کلاک را به دست می آوریم که برابر با $5.6ns$ می شود.

و

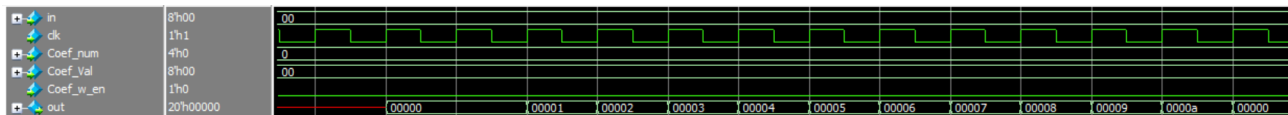
در این بخش فیلتر FIR ساده با ساختار direct، پایپ لاین شده است. فرآیند پایپ لاین کردن را همانند شکل زیر که در اسلایدهای درس آمده و در دو مرحله انجام می دهیم.



شبه سازی را همانند قسمت های قبل انجام می دهیم. ضرایب را به این صورت مشخص می کنیم:



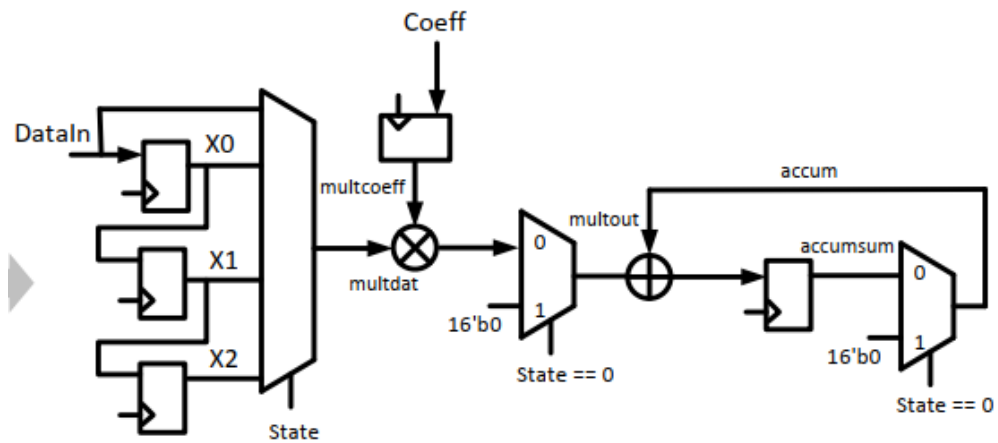
می توان دید که ضرایب در خروجی ظاهر می شوند و عملکرد مدار درست است. به دلیل اینکه مدار پایپ لاین شده است برای رسیدن به خروجی به تعداد بیشتری کلاک نیاز داریم.



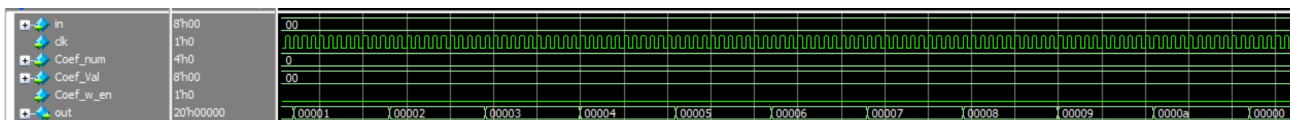
در این قسمت هم همانند تمرین ۳ با آزمایش و خطا کمترین پریود ممکن برای کلاک را به دست می آوریم که برابر با $3ns$ می شود.

ط

ساختار مدار خود را همانند ساختار آورده شده در اسلایدهای درس طراحی می کنیم. ساختار مدار طراحی شده مشابه شکل زیر است:



می توان دید که همانند قسمت های قبل ضرایب فیلتر در خروجی ظاهر می شوند.



خواهیم دید که پس از این تغییر تعداد بلوک های dsp48 از ۱۰ تا به ۱ کاهش می یابد که دلیل آن کاهش استفاده از ضرب کننده در کد ما است.
ساختار اولیه:

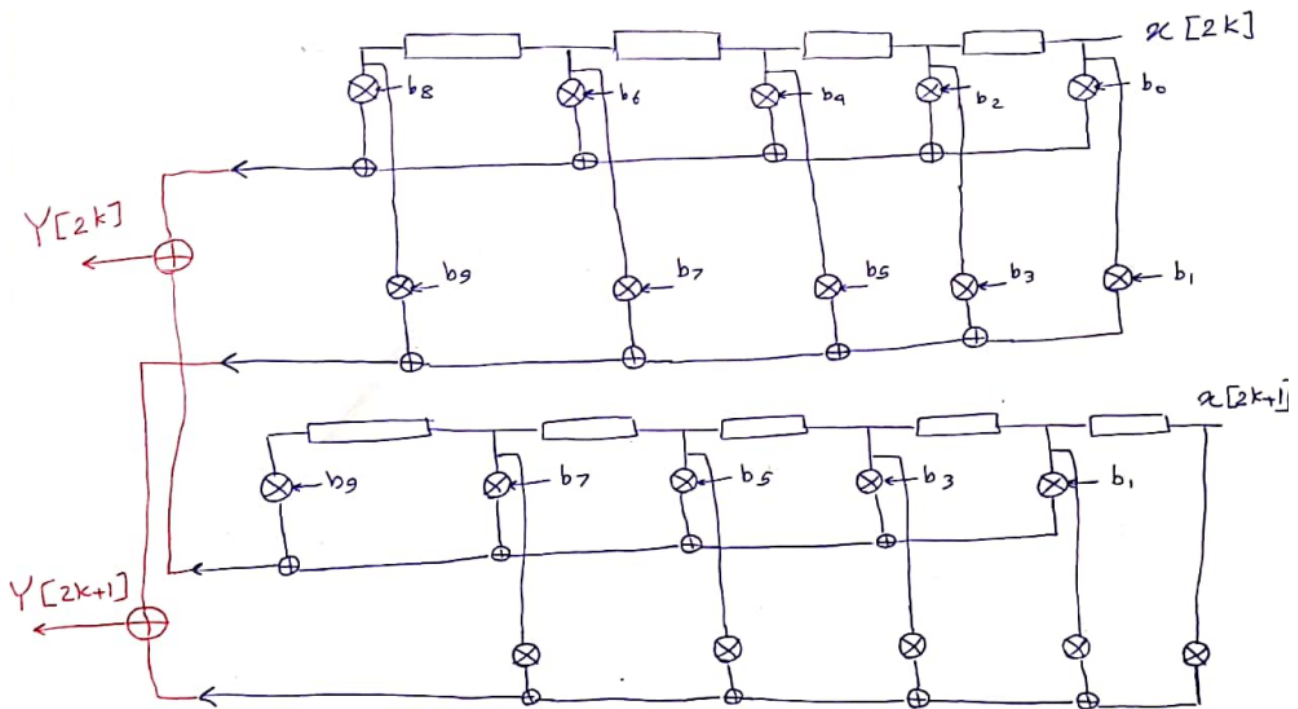
Number of DSP48E1s	10	240	4%
--------------------	----	-----	----

ساختار resource shared :

Number of DSP48E1s	1	240	1%
--------------------	---	-----	----

ح

در این قسمت باید ساختار اولیه را موازی سازی کنیم به طوری که بتواند همزمان دو ورودی دریافت کند و دو خروجی تولید کند. ساختار طراحی شده برای این قسمت به شکل زیر است:



برای اطمینان از صحت عملکرد مدار طراحی شده آن را تست می کنیم. ابتدا به وسیله تست بنچی مشابه قسمت های قبل مدار را تست می کنیم. ضرایب فیلتر باید در خروجی ظاهر شوند. فیلتر به نوعی طراحی شده که دو ورودی همزمان به ورودی های $in1$ و $in0$ فیلتر متصل هستند و فیلتر دو خروجی $out0$ و $out1$ تولید خواهد کرد. خواهیم دید که همانند قسمت های قبل ضرایب فیلتر در خروجی ظاهر خواهند شد.

