

به نام خدا

درس طراحی سیستم‌های مبتنی بر ASIC/FPGA

دکتر مهدی شعبانی

دانشکده مهندسی برق

دانشگاه صنعتی شریف

تمرین سری دوم

نیمسال دوم ۱۴۰۳-۱۴۰۲

- برای تحویل تمرین، تمامی فایل‌ها از جمله مازول‌ها و تست‌بنچ‌ها به همراه گزارشی از نحوه‌ی انجام کار به همراه نتایج مربوطه را در سامانه آپلود کنید. برای تحویل کدها، فقط فایل‌های مربوط به مازول‌ها و تست‌بنچ‌ها را در فولدرهای جداگانه قرار دهید (هر فولدر مربوط به هر سؤال و هر بخش نیز در فولدر جداگانه). برای سؤالات دارای فایل‌های اضافی مثل فایل مموری یا txt آن‌ها را نیز تحویل دهید. از ارسال کل پروژه پرهیز کنید.

- کد تحویل داده شده توسط شما باید قابل سنتز و شبیه‌سازی باشد و در صورت این که کد سنتز و شبیه‌سازی نشود، نمره‌ای به آن تعلق نمی‌گیرد.

- مشورت و کمک گرفتن از یک‌دیگر، جستجو در اینترنت و کتاب‌ها و.... کاملاً جایز می‌باشد ولی تمرین باید توسط خود شما انجام شود. در صورت مشاهده شباهت غیرعادی نمره سؤال برای همه‌ی افراد کاملاً صفر در نظر گرفته می‌شود.

- سعی کنید در تمرین برنامه‌نویسی، هم از سطح رفتاری و هم سطح جریان داده استفاده کنید تا به هر دو سطح مسلط شوید.

- توجه کنید که برای هر سؤال باید یک گزارش از نحوه‌ی انجام کار به همراه بلوک دیاگرام ساختار پیاده‌سازی شده به همراه توضیحات خواسته شده و نتایج شبیه‌سازی بیان و صحت عملکرد با استفاده از تست بنچ تأیید شود.

- این تمرین برای تمرین کدزنی و شبیه‌سازی شما در نظر گرفته شده است و صرفاً صورت سؤالات طولانی است و هدف اصلی افزایش تسلط شما در کدزنی می‌باشد؛ از انجام این تمرین نهایت لذت را ببرید!

۱-الف - در تمرین قبلی با منابع در دسترس در FPGAهای شرکت زایلینکس آشنا شدید. حال فرض کنید که می‌خواهید یک شیفت رجیستر ۶۴تایی با عرض بیت ۶ را پیاده‌سازی نمایید. با توجه به منابع در دسترس مختلف، حداقل دو راه برای پیاده‌سازی این شیفت رجیستر ارائه دهید. توجه کنید که نیاز به کد وریلاگ برای این سؤال نیست و باید منابع استفاده شده و نحوه‌ی اتصالات را بیان نمایید.

ب- در مورد SRL در FPGAهای زایلینکس با مراجعه به اسناد فنی مربوطه تحقیق کنید و ساختار کلی آن‌ها به همراه کاربردهای آن‌ها و ارتباط آن با بخش اول را بیان کنید.
توجه: برای قسمت الف، دو راه غیر از SRL بیان کنید!!! برای بخش ب نیز به عرض بیت ۶ بیتی و ساختار SRL توجه کنید و سعی کنید ارتباط آن‌ها را بیان کنید.

۲-در این سؤال با نحوه‌ی صحت سنجی ساختارهای پیاده‌سازی شده با استفاده از Matlab آشنا می‌شوید. توصیه می‌شود در مورد fixed point مطالعه کنید.

الف - با استفاده از نرم‌افزار Matlab، یک پریود کامل از یک موج سینوسی با طول ۱۰۲۴ در نظر بگیرید و آن را fixed point - کنید. (1,16,14) حال کدی بنویسید که دو آرایه ۱۶ بیتی به عمق ۱۰۲۴ را با مقادیر سینوسی ساخته شده در متلب، مقداردهی اولیه کند (سینوس و کسینوس). برای این کار باید در بلوک initial، از تسک سیستمی \$readmemh یا \$readmemb استفاده کنید. طرز کار این تسک به راحتی با سرچ از اینترنت به دست می‌آید. سپس ماژولی بنویسید که از این دو آرایه استفاده کند و خروجی سینوسی با فرکانس ۱، ۲، ۴، ۸ و... برابر فرکانس موج سینوسی ساخته شده را بسازد. برای مشخص کردن فرکانس خروجی یک ورودی ۲ بیتی در نظر بگیرید که فقط می‌تواند مقادیر ۱، ۲، ۳ و ۴ بگیرد که این مقادیر در واقع متناظر فرکانس اولیه، دو برابر فرکانس اولیه، ۴ برابر فرکانس اولیه و... است.

ب- برای تست ماژول نوشته شده در قسمت الف، تست بنچی بنویسید که خروجی ماژول در دو حالت دلخواه ورودی را روی یک فایل txt. بنویسد. هر یک از دو حالت را در متلب به فرم $\sin + i \cdot \cos$ در آورده و با استفاده از دستور fft یا pwelch طیف آن‌ها را رسم کنید. فرکانس نمونه‌برداری را دلخواه در نظر بگیرید و فرکانس‌های موج‌های تولیدی توسط خودتان را صحت سنجی کنید.

ج- در مورد هسته‌های نرم‌افزاری و سخت‌افزاری در FPGA تحقیق کنید و کاربرد آن‌ها را شرح دهید و چند نمونه به عنوان مثال نام ببرید. در مورد DDS و کاربردهای آن با مطالعه‌ی دیتاشیت آن (مربوط به شرکت زایلینکس) توضیح دهید. سعی کنید ارتباط بخش‌های مختلف این تمرین با DDS را توضیح دهید.

۳-در این سؤال با ساختار dsp48های شرکت زایلینکس آشنا می‌شود.

الف- ساختار کلی dsp48های شرکت زایلینکس را مطالعه کنید و با بیان ساختار کلی آن را شرح دهید.

ب- یک ضرب کننده مختلط با ورودی‌های ۱۸ بتی و خروجی‌های به طول مناسب طراحی کنید. ساختار پیاده‌سازی شده را سنتز کنید و تعداد dsp‌های استفاده شده را گزارش کنید. ساختار داده شده باید دارای پایپ=لاین در مکان‌های مورد نیاز باشد و تعداد dsp‌های استفاده شده کمینه باشد. تعداد dsp‌های موردنظر را با مقایسه با کد و قسمت الف توجیه کنید.
ج- حال دو ورودی را ۱۹ بیتی در نظر بگیرید و پس از سنتز تغییر در تعداد dsp‌های گزارش شده را با توجه به قسمت الف توجیه کنید.

د- ساختار ب را شبیه‌سازی کنید و صحت عملکرد آن را بررسی کنید.

ه- (امتیازی) در مورد attributeها و کاربردهای آن‌ها در فرایند سنتز و implementation تحقیق کنید و با استفاده از

attribute مناسب کد قسمت قبلی را به گونه‌ای تغییر دهید که در فرایند سنتز از dsp برای ضرب استفاده نشود. راهنمایی: ماژول طراحی شده ۴ ورودی ۱۸ بیتی را به عنوان ورودی می‌گیرد که هر کدام مربوط به یکی از اعداد است و دو خروجی مربوط به نتیجه‌ی ضرب، چند کلاک بعد (بسته به معماری از ۴ کلاک به بعد یا بیشتر) مقدار می‌گیرند.

۴- در این سؤال یک sequence detector را با کمک ماشین‌های حالت پیاده‌سازی می‌کنید.

الف- با فرض ورودی تک بیتی به همراه سیگنال valid که معتبر بودن داده‌ی ورودی را مشخص می‌کند و خروجی تک‌بیتی که مشخص می‌کند که رشته بیت مبنا یعنی 10110110 مشاهده شده است یا خیر، ساختاری پیاده‌سازی کند که با استفاده از ماشین حالت مور، این کار را انجام دهد. توجه کنید که کد شما باید همپوشانی را در نظر بگیرد؛ یعنی اگر رشته بیت ورودی در ۱۱ کلاک متوالی به صورت 10110110110 دریافت شود، رشته بیت خروجی باید به صورت ۰۰۰۰۰۰۰۱۰۰۱ ارسال شود.

ب- با نوشتن تست‌بنچ برای این قسمت، صحت عملکرد مدار خود را بررسی و تأیید نمایید.

ج- بخش الف را با استفاده از ماشین حالت میلی تکرار کنید و آن را شبیه‌سازی کرده و صحت عملکرد آن را تأیید کنید.

د- دو مدار را سنتز کرده و منابع مصرفی آن‌ها را مقایسه نمایید.

۵- در این سؤال یک گیرنده ساده را پیاده‌سازی و شبیه‌سازی می‌نمایید.

الف- ابتدا با استفاده از متلب، تعدادی داده‌ی تصادفی ۱۱ بیتی تولید کنید. سپس یک فرستنده طراحی کنید که با دریافت هر یکی از این رشته‌بیت‌های ۱۱ بیتی، بیت‌های parity مناسب را اضافه و در نهایت در قالب داده‌های ۱۵ بیتی ارسال کند. در نهایت باید این داده‌های ۱۵ بیتی را در فایلی ذخیره کنید. همچنین داده‌های ۱۱ بیتی اولیه را نیز به منظور صحت‌سنجی قسمت‌های بعدی در فایلی ذخیره نمایید.

ب- کد وریلاگی بنویسید که به عنوان ورودی داده‌های ۱۵ بیتی را دریافت کند و با توجه به بیت‌های parity، اگر فرایند دریافت داده صحیح بود، داده‌ی ۱۱ بیتی را روی خروجی خود قرار دهد و سیگنال valid مربوط به آن را به مدت یک کلاک یک کند و در غیر این صورت داده‌ی ۱۵ بیتی را دور بریزد و به مقدار خروجی error یک مقدار اضافه شود.

ج- حال تست بنچی بنویسید که از روی فایل txt ذخیره شده در قسمت الف، ورودی‌های ۱۵ بیتی را به ساختار قسمت ب اعمال کند و خروجی ماژول قسمت ب را روی فایلی بنویسید. حال در متلب یا تست‌بنچ، خروجی ماژول خود را با داده‌های ۱۱ بیتی اولیه مقایسه کنید و صحت عملکرد مدار خود را بررسی کنید.

د- به منظور صحت‌سنجی جامع‌تر، در فایل مربوط به ورودی‌های مدار، چند داده را نویزی کنید و تغییرات سیگنال error را بررسی نمایید.

موفق باشید