

به نام خدا

درس طراحی سیستم‌های مبتنی بر ASIC/FPGA

دکتر مهدی شعبانی

دانشکده مهندسی برق

دانشگاه صنعتی شریف

تمرین سری چهارم

نیمسال دوم ۱۴۰۳-۱۴۰۲

- برای تحویل تمرین، تمامی فایل‌ها از جمله مازول‌ها و تست‌بنچ‌ها به همراه گزارشی از نحوه‌ی انجام کار به همراه نتایج مربوطه را در سامانه آپلود کنید. برای تحویل کدها، فقط فایل‌های مربوط به مازول‌ها و تست‌بنچ‌ها را در فولدرهای جداگانه قرار دهید (هر فولدر مربوط به هر سؤال و هر بخش نیز در فولدر جداگانه). برای سؤالات دارای فایل‌های اضافی مثل فایل مموری یا txt آن‌ها را نیز تحویل دهید. از ارسال کل پروژه پرهیز کنید.

- کد تحویل داده شده توسط شما باید قابل سنتز و شبیه‌سازی باشد و در صورت این که کد سنتز و شبیه‌سازی نشود، نمره‌ای به آن تعلق نمی‌گیرد.

- مشورت و کمک گرفتن از یک‌دیگر، جستجو در اینترنت و کتاب‌ها و.... کاملاً جایز می‌باشد ولی تمرین باید توسط خود شما انجام شود. در صورت مشاهده شباهت غیرعادی نمره سؤال برای همه‌ی افراد کاملاً صفر در نظر گرفته می‌شود.

- سعی کنید در تمرین برنامه‌نویسی، هم از سطح رفتاری و هم سطح جریان داده استفاده کنید تا به هر دو سطح مسلط شوید.

- توجه کنید که برای هر سؤال باید یک گزارش از نحوه‌ی انجام کار به همراه بلوک دیاگرام ساختار پیاده‌سازی شده به همراه توضیحات خواسته شده و نتایج شبیه‌سازی بیان و صحت عملکرد با استفاده از تست بنچ تأیید شود.

- این تمرین برای تمرین کدزنی و شبیه‌سازی شما در نظر گرفته شده است و صرفاً صورت سؤالات طولانی است و هدف اصلی افزایش تسلط شما در کدزنی می‌باشد؛ از انجام این تمرین نهایت لذت را ببرید!

۱- در تمرینات قبلی با ساختار تراشه‌های FPGAهای شرکت زایلینکس آشنا شدید. می‌دانید برای محاسبه‌ی بیشترین فرکانس کاری ساختار پیاده‌سازی شده چندین عامل از جمله Net Delay, Clock Skew و Logic Delay مؤثر می‌باشد. در مورد تفاوت‌های Net Delay و Logic Delay تحقیق کنید و بیان کنید که پایپ-لاین کردن چگونه می‌تواند به بهبود Net Delay کمک کند. راهنمایی: به پیاده‌سازی، Routing و اضافه شدن رجیستر و واحدهای حافظه دقت کنید.

۲- (الف) ساختاری را در نظر بگیرید که دو عدد را به عنوان ورودی دریافت و پس از ضرب آن‌ها، نتیجه را ۷ برابر کرده و در خروجی نمایش دهد. فرض کنید می‌خواهیم به بیشترین فرکانس کاری ممکن برسیم. ساختاری را پیاده‌سازی کنید که کمترین Latency ممکن را داشته باشد و بیشترین فرکانس کاری آن را به دست آورید.

(ب) حال با استفاده از تکنیک‌های افزایش فرکانس کاری، با تغییر ساختار پیاده‌سازی شده، فرکانس کاری را بیشینه کنید. (ج) آیا ساختار پیاده‌سازی شده برای ۷ برابر کردن خروجی از ضرب‌کننده استفاده کرده است؟ اگر جواب مثبت است، با تغییر کد، ۷ برابر کردن خروجی را با جمع و شیفت پیاده‌سازی کنید و منابع مصرفی به همراه فرکانس کاری را به دست آورید. چه نتیجه‌ای می‌گیرید.

توجه: در تمامی بخش‌ها لازم است تا با نوشتن تست‌بنچ، از صحت عملکرد مدار خود اطمینان حاصل فرمایید.

۳- در این سؤال یک فیلتر FIR را پیاده‌سازی و برای شرایط مختلف ساختار پیاده‌سازی شده را بهینه می‌کنید.

(الف) در مورد دو ساختار رایج FIR Filter تحقیق و تفاوت‌های آن‌ها را بیان کنید. (Direct and Transposed)

(ب) یک فیلتر FIR با ده tap پیاده‌سازی کنید. فرض کنید مقادیر ضرایب ۸ بیتی است و برای معین نمودن ضرایب، سه ورودی داریم:

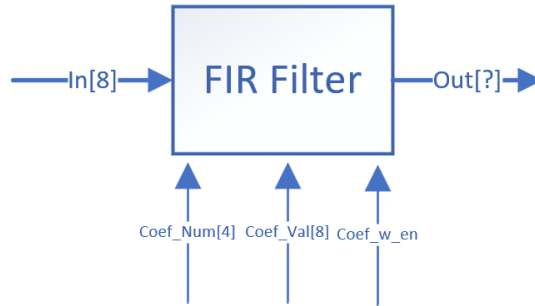
شماره ضریب مورد نظر

مقدار ضریب

یک بیت جهت تغییر مقدار ضریب موردنظر با نام write_en

در هر لبه کلاک، اگر write_en یک باشد، مقدار ضریب مورد نظر در لبه‌ی کلاک بعدی تغییر می‌کند. این فیلتر یک ورودی ۸ بیتی به صورت stream دریافت می‌کند و خروجی نیز stream است؛ محاسبه کنید که با این ویژگی‌ها، خروجی حداکثر چند بیتی است و همین مقدار بیت را برای آن در نظر بگیرید. جهت نمایش صحت عملکرد ساختار پیاده‌سازی شده، testbench بنویسید و ورودی را فقط در یک لبه کلاک ۱ کنید و در بقیه‌ی لحظات صفر؛ خروجی باید مقادیر ضرایب باشد.

ساختار خواسته شده در نهایت به صورت زیر می‌باشد:



برای این بخش لازم است تا فرض کنید که جمع و ضرب‌های مورد نیاز برای محاسبه‌ی خروجی در یک کلاک صورت می‌پذیرد.

ب- در مورد symmetric بودن ضرایب و ساختار تغییر یافته برای فیلتر وقتی ضرایب symmetric هستند تحقیق کنید و ضمن ارائه ساختار خود برای یک فیلتر با ۹ ضریب، کد آن را نوشته و با تست ذکر شده در قسمت الف، شبیه‌سازی کنید.

ج- مزیت عمده‌ی ساختار پیشنهادی در قسمت ب با قسمت الف (با فرض symmetric بودن ضرایب) را بیان کنید.

د- فرض کنید که ضرایب فقط مقادیر ۱، ۰ و -۱ را به خود می‌گیرند. ساختار فیلتر طراحی شده در قسمت الف را بهینه کنید.

ه- بیشترین فرکانس ممکن برای ساختار پیاده‌سازی شده در بخش (ب) را بدست آورید.

و- حال با پایپ‌لاین کردن ساختار بخش (ب)، بیشترین فرکانس ممکن مدار پیاده‌سازی شده را بدست آورده و تفاوت را توجیه نمایید. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید.

ط- فرض کنید ورودی به گونه‌ای است که در ورودی‌ها با فاصله‌های ۸ کلاک به مازول اعمال می‌شوند. با اعمال Resource Sharing تعداد ضرب و جمع‌ها را بهینه کنید. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید. کد قسمت ب و این قسمت را سنتز نموده و تفاوت در منابع استفاده شده را توجیه نمایید.

ح- فرض کنید که برای افزایش نرخ پردازش، در هر لبه‌ی کلاک دو ورودی به صورت همزمان به مازول شما اعمال می‌شود. ساختار را به گونه‌ای تغییر دهید که در هر لبه کلاک دو ورودی به مدار اعمال و دو خروجی متناظر نیز پس از گذشت چند کلاک در خروجی ظاهر شوند. در این مرحله نیز نیاز است تا با اجرای تست‌بنچ از صحت عملکرد مدار خود اطمینان حاصل نمایید.

موفق باشید