

## 中国科学院计算技术研究所 1999 年硕士研究生入学考试试卷 计算机体系结构和组成原理

### 一、填空题(每空 1 分,共 30 分)

1. 为了实现中央处理器(CPU)对主存储器的读写访问,它们之间的连接线按功能划分应当包含\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_。
2. 在浮点加法运算中,主要的操作内容及步骤是\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
3. 从计算机系统结构的发展和演变来看,早期的计算机是以\_\_\_\_\_为中心的系统结构,而近代的计算机是以\_\_\_\_\_为中心的系统结构。
4. 一条微指令可划分为\_\_\_\_\_字段和\_\_\_\_\_字段;微指令的基本格式可分为\_\_\_\_\_和\_\_\_\_\_。
5. 从广义上讲,计算机中引入并行性有三种基本途径,分别是\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_。
6. 在多级存储体系中,Cache 存储器的主要功能是\_\_\_\_\_,虚拟存储器的主要功能是\_\_\_\_\_。
7. 设阶码 8 位(最左一位为符号),用移码表示,尾数为 24 位(最左一位为符号位),用规格化补码表示,则它所能表示的最大正数的阶码为\_\_\_\_\_,尾数为\_\_\_\_\_;绝对值最小的负数的阶码为\_\_\_\_\_,尾数为\_\_\_\_\_。(以上回答均用二进制书写)。
8. 在下列常用术语后面,写出相应的中文名称:  
VLSI \_\_\_\_\_ MPP \_\_\_\_\_  
RISC \_\_\_\_\_ DMA \_\_\_\_\_
9. 外设接口的主要功能是\_\_\_\_\_、\_\_\_\_\_、\_\_\_\_\_。
10. 在由  $n$  台计算机构成的并行计算机中,运行程序的加速比一般都小于  $n$ ,其主要原因是\_\_\_\_\_和\_\_\_\_\_。

### 二、选择一个最恰当答案(每题 2 分,共 20 分)

1. 在指令格式中,采用扩展操作码设计方案的目的是\_\_\_\_\_。  
(1)减少指令字长度  
(2)增加指令字长度  
(3)保持指令字长度不变而增加指令操作的数量  
(4)保持指令字长度不变而增加寻址空间
2. 用于科学计算的计算机中,标志系统性能的主要参数是\_\_\_\_\_。  
(1)提高 CPU 主频  
(2)扩大主存容量  
(3)采用非冯·诺依曼结构



(4)采用并行处理技术

3. 下列体系结构中,最适合多个任务并行执行的体系结构是\_\_\_\_\_。

(1)流水线向量机结构

(2)堆栈处理机结构

(3)共享存储多处理机结构

(4)分布存储多计算机结构

4. 对于低速输入输出设备,应当选用的通道是\_\_\_\_\_。

(1)数组多路通道

(2)字节多路通道

(3)选择通道

(4)DMA 专用通道

5. 在计算机系统中,表征系统运行状态的部件是\_\_\_\_\_。

(1)程序计数器

(2)累加寄存器

(3)中断寄存器

(4)程序状态字

6. 为使虚存系统有效地发挥其预期的作用,所运行的程序应具有的特性是\_\_\_\_\_。

(1)该程序不应含有过多的 I/O 操作

(2)该程序的大小不应超过实际的内存容量

(3)该程序应当具有较好的局部性(Locality)

(4)该程序的指令相关不应过多

7. 某虚拟存储器系统采用页式内存管理,使用 LRU 页面替换算法,考虑下面的页面访问地址流(每次访问在一个时间单位中完成):

1 8 1 7 8 2 8 2 1 8 3 8 2 1 3 1 7 1 3 7

假定内存容量为 4 个页面,开始时是空的,则页面失效次数是\_\_\_\_\_。

(1)0%

(2)5%

(3)1.5%

(4)15%

8. 某一 SRAM 芯片,其容量为  $1024 \times 8$  位,除电源和接地端外,该芯片引脚的最小数目为\_\_\_\_\_。

(1)20

(2)22

(3)25

(4)30



### 三、(10 分)

某计算机的字长为 16 位, 存储器按字编址, 访内存指令格式如图 1 所示。

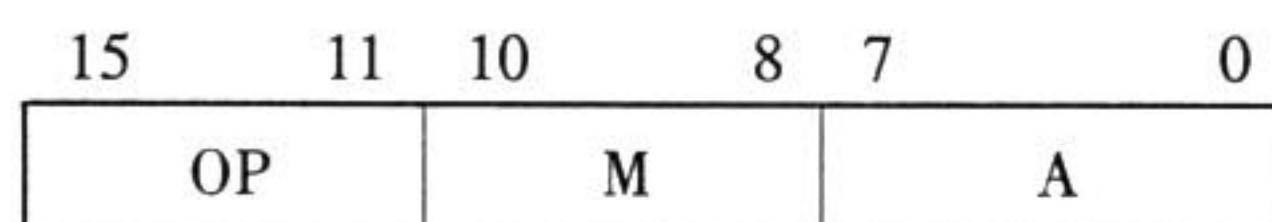


图 1 指令格式示意图

其中 OP 是操作码, M 定义寻址方式, 见表 1, A 为形式地址。设 PC 和 Rx 分别为程序计数器和变址寄存器, 字长为 16 位, 问:

表 1 寻址模式表

M 值	寻址方式
0	立即寻址
1	直接寻址
2	间接寻址
3	变址寻址
4	相对寻址

- ①该格式能定义多少种指令?
- ②各种寻址方式的寻址范围为多少字?
- ③写出各种寻址方式的有效地址 EA 的计算式。

### 四、(8 分)

已知  $X = 0.1011$ ,  $Y = -0.1001$ , 用补码一位乘法计算  $X \times Y$  (要求写出计算过程)。

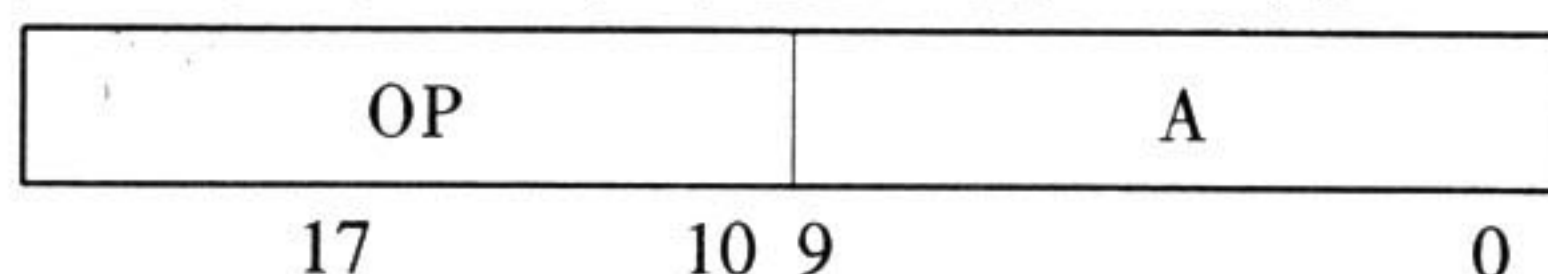
### 五、(12 分)

某计算机逻辑框图如图 2 所示, 它有两条独立的总线 BUS1、BUS2 和两个独立的存储器 IM 和 DM, IM 为指令存储器, 它的最大容量为 16384 字节 (字长为 18 位), DM 为数据存储器, 它的最大容量是 65536 字节 (字长为 16 位)。图中控制信号及其意义见表 2。

指出下列各寄存器的位数:

程序计数器 PC, 指令寄存器 IR, 通用寄存器 R1 和 R2, 累加器 AC0 和 AC1, 指令存储器的地址寄存器 IAR, 指令存储器的数据寄存器 IDR, 数据存储器的地址寄存器 DAR 和数据存储器的数据寄存器 DDR。

若减法指令的格式如下, 其功能是将寄存器 R2 的内容与数据存储器中某一单元的内容相减, 其差存入累加器 AC1 中, 该数据存储器单元的地址为 R1 中内容与减法指令码中 A 相加之和, 而且, 该指令码在 IM 中的地址已经在 PC 中。





试画出该指令的指令周期操作流程，并写出实现每一步操作所需要的控制信号。

表 2 控制信号与功能

控制信号	功 能
Xin	将寄存器 X 输入端的信息“打入”寄存器 X
Ci(i = 1, 2, ..., 12)	信息可以通过该控制点
R/W	R/W = R 时, 读 DM; R/W = W 时, 写 DM。
RD	读 IM
+ 1	PC 内容加 1
+	ALU 进行 BUS1 + BUS2 运算
-	ALU 进行 BUS1 - BUS2 运算

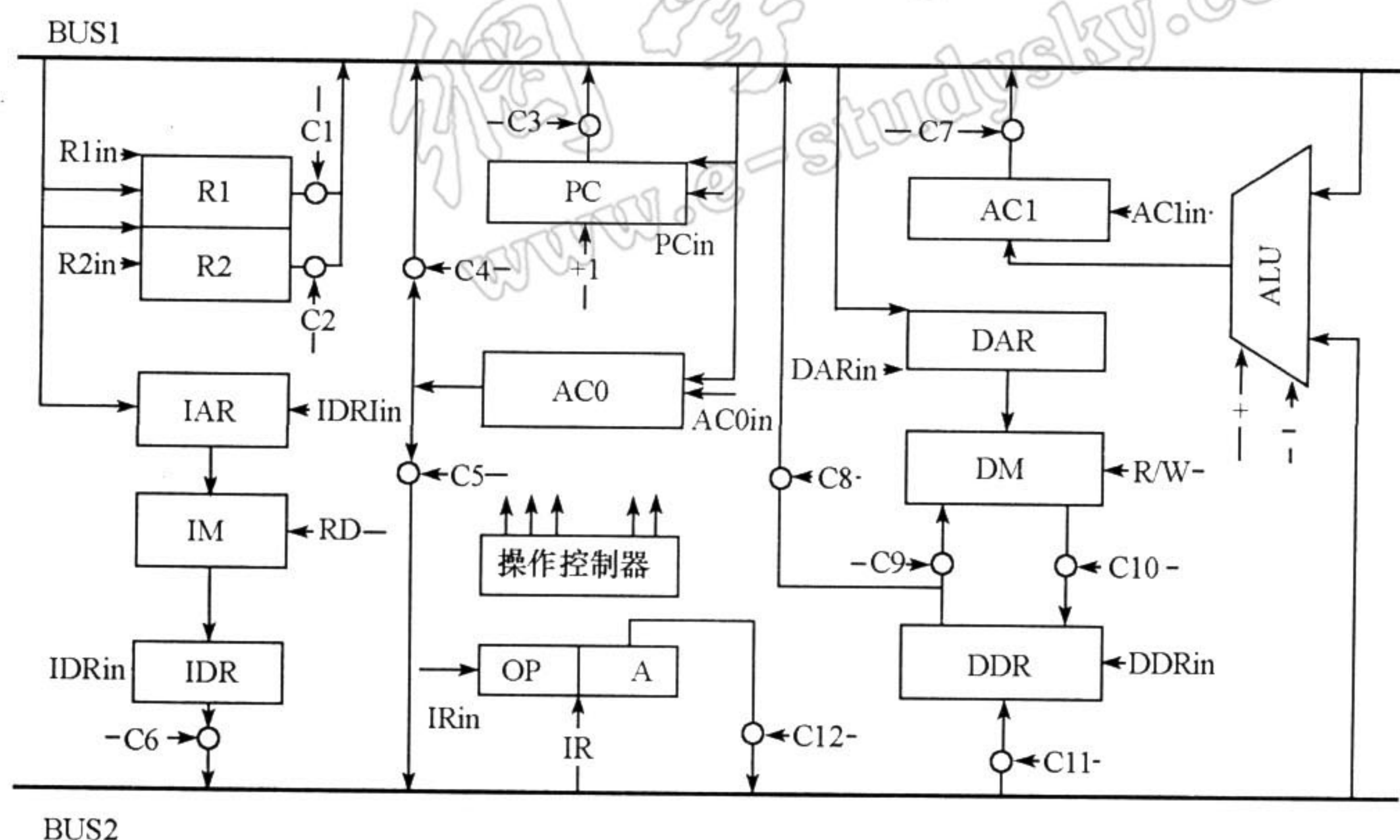


图 2 计算机逻辑框图

如果采用如图 3 所示的双输入端的加 - 乘双功能静态流水线, 其每个功能段的经过时间均为一拍  $\Delta t$ , 在加法时按 1→2→3→5 连接, 乘法时按 1→4→5 连接, 流水线的输出可以直接送到其输入端或存入缓冲器, 不计其间的传送延迟, 操作数可以连续提供。

对向量  $A = (a_1, a_2, a_3, a_4)$ ,  $B = (b_1, b_2, b_3, b_4)$ , 采用上述流水线完成点积  $A \cdot B = \sum_{i=1}^4 a_i * b_i$ , 则完成任务所需的最小拍数是多少? 并画出此时的流水线的时空图, 计算此流水线的吞吐率, 加速比和效率。

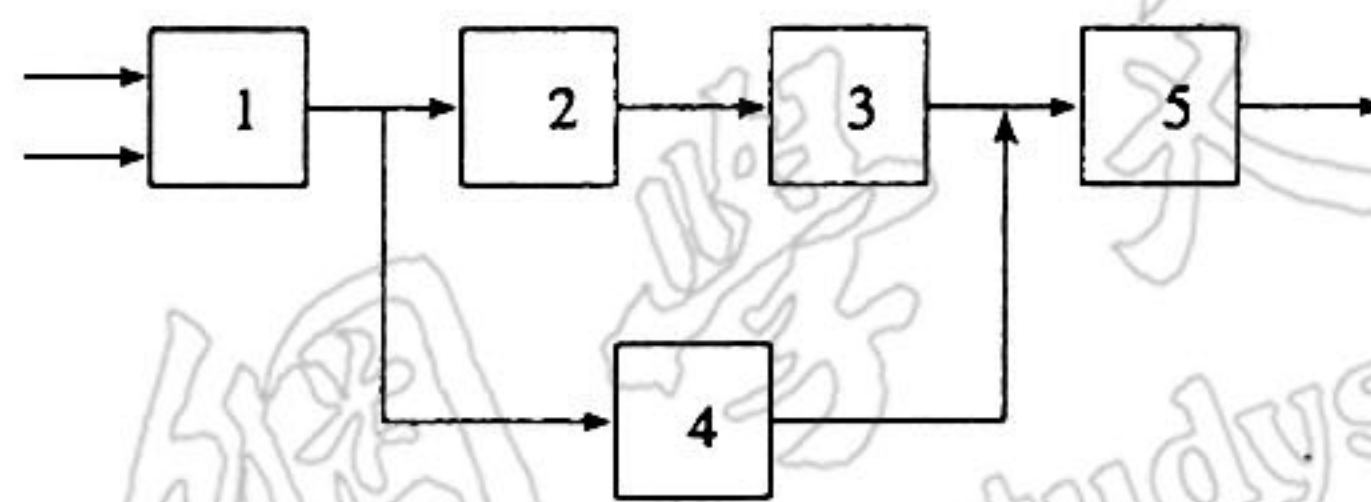


图 3 流水线示意图

设一个按位编址的虚拟存储器，它可以满足 1K 个任务的需要，但在一段比较长的时间内，一般只有 4 个任务在使用，故用容量为 4 行的相联存储器组硬件来缩短被变换的虚地址中的用户位数，每个任务的程序空间最大可达 4096 页，每页为 512 个字节，实主存容量为  $2^{20}$  位，设快表用按地址访问的存储器构成，行数为 32，快表的地址是经过散列技术形成的。为减少散列冲突，配有两套独立的相等比较器电路（这时，快表的每行包含两个单元，各存放一个进行地址变换的表目）。请设计该地址变换机构，内容包括：

- ①画出其虚、实地址经快表变换的逻辑示意图；
- ②相联存储器组中每个寄存器的相联比较位数；
- ③散列变换硬件的输入位数和输出位数；
- ④每个相等比较器的位数；
- ⑤快表的总位数。

中科院计算机技术研究所 1999 年硕士研究生入学考试试题  
计算机体系结构与组成原理参考答案

一. 填空

1. 地址总线，数据总线，读写控制线
2. 对阶，位数相加，结果规格化
3. 运算器，主存储器
4. 微操作控制，微地址，垂直型微指令，水平型微指令
5. 时间重叠，资源重复，资源共享
6. 提高主存供数率，扩大存储器容量
7. (1.1111111), (0.111...11), (0.000000), (1.011...11).
8. 超大规模集成电路，大规模并行处理机，简化指令系统计算机，直接存储器访问
9. 数据缓冲，数据格式转换，CPU 与 I/O 通信控制
10. 程序中有不能并行的串行计算部分，存在通信开销

二. 选择

1. (3) 2. (3) 3. (4) 4. (4) 5. (2) 6. (4) 7. (3) 8. (3.) 9. (2) 10. (1)

三. 解答:

(1). 操作码字段长度为 5 位，因此能定义  $2^5=32$  种操作；

(2). 寻址方式 M 寻址范围

0	1 个字，即指令字
1	256 个字
2	64k 字
3	64k 字
4	256 个字(PC 值附近 256 个字)

(3) 寻址方式 M 寻址范围

0	EA=(PC) 即操作数在指令码中
1	EA=A
2	EA=(A)
3	EA=(R <sub>x</sub> )+A
4	EA=(PC)+A

四.  $[x]$  补=00.1011  $[-x]$  补=11.0101  $[y]$  补=1.0111

列式略

五.

(1). PC, IAR 为 14 位

IR, IDR 为 18 位

ACO, ACI, R1, R2, DAR, DDR 为 12 位

(2) 见图六

六.

为使计算能以最少的拍数完成，首先将流水线按乘法连接，计算  $c_i = a_i * b_i$  ( $i=1, 2, 3, 4$ )

要  $3+(4-1)=6$  拍. 完成后在将流水线按加法连接, 先计算  $d_i=c_i+c_{(i+1)}$  ( $i=1, 3$ ) 需  $4+(2-1)=5$  拍, 再完成  $d_1+d_3$ , 需四拍. 整个计算需 15 拍.

时空图见图七.

此时, 流水线的吞吐率  $T_p=7/15 \Delta t=1/2.14 \Delta t$ ;

加速比  $S_p=24 \Delta t/15 \Delta t=1.6$

效率  $\eta=24/(5*15)=32\%$

七. (1) 逻辑示意图见图八.

(2) 相连存储器组中每个寄存器相连比较位数为 10,

(3) 散列变换硬件的输入为 14 位, 输出为 5 位;

(4) 每个相等比较器位数为 14 位;

(5) 快表中, 每行为  $2(14+8)=44$  位, 共 22 行, 总行数位  $44*22=968$  位.

网学天地  
www.e-studysky.com