

تکلیف سری دوم: طراحی ساختاری

مدار کانولوشن را به شکل ساختاری طراحی و شبیه سازی کنید:
در این طراحی دو ورودی ۸ بیتی، یک ورودی کلاک، و یک خروجی نهایی مدار کانولوشن خواهیم داشت.
در این جا قصد این است که ورودی به صورت ترتیبی با هر لبه کلاک وارد شده، در هم ضرب شوند و با مقادیر قبلی جمع شوند. فرمول کلی به صورت زیر است:

10

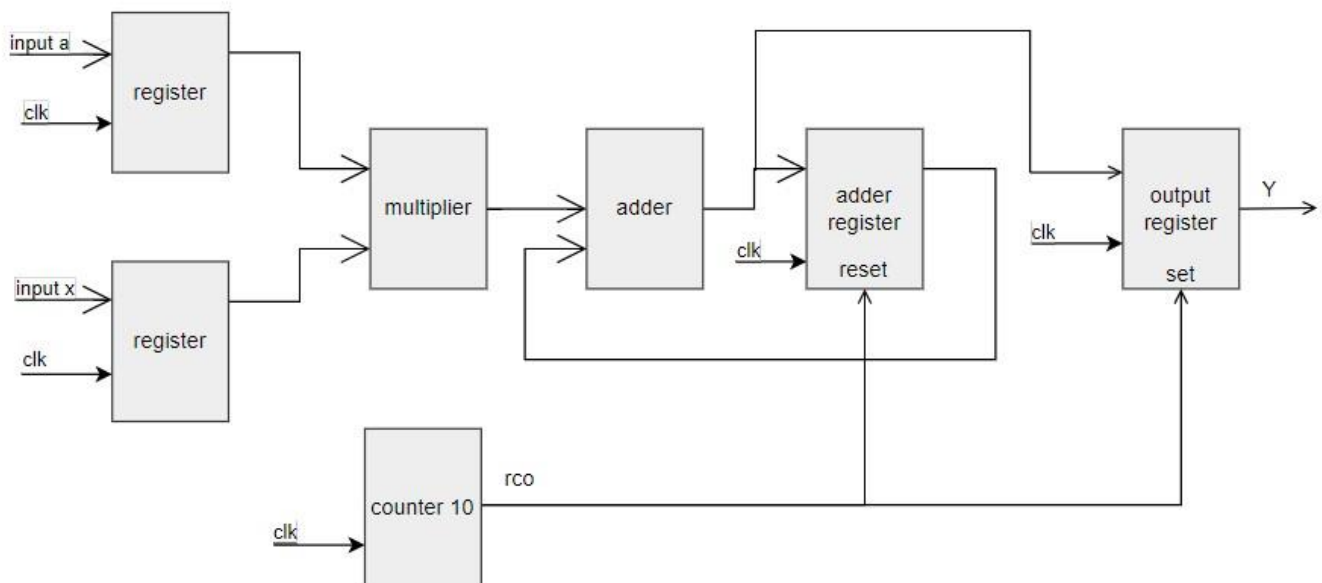
$$y = \sum_{i=1}^{10} a_i x_i = a_1 x_1 + a_2 x_2 + \dots + a_{10} x_{10}$$

برای این طراحی بخش های زیر لازم است:

- یک شمارنده تا عدد ۱۰ برای شمارش تعداد ورودی های داده شده به مدار.
- یک جمع کننده برای جمع دو عدد ۸ بیتی.
- یک ضرب کننده برای ضرب دو عدد ۸ بیتی.
- یک رجیستر برای نگه داشتن مقادیر ورودی ها و نگه داری مجموع ضرب ورودی ها. رجیستر ها دارای یک پایه **set** و یک پایه **reset** هستند.

ماژول های گفته شده را جداگانه طراحی کرده و به صورت ساختاری به هم متصل کنید.

یک نقشه کلی از طراحی بالا به صورت زیر خواهد بود:



نحوه تحویل: برای هر طراحی دو فایل VHDL آماده نمایید. یک فایل خود طراحی و یک فایل دیگر هم فایل تست طراحی (Test Bench). همچنین یک فایل PDF حداکثر ۱۰ صفحه های شامل نتایج سنتز و شبیه سازی طراحیها نیز آماده نمایید. برای این سری ۱۰ فایل طراحی همراه با یک فایل pdf را در یک فولدر با نامی به فرمت زیر گذاشته و به صورت یک فایل فشرده در سایت درس بارگذاری نمایید.

فرمت نام فولدر: FullName#EXS2

از گزارش سنتز فقط قسمتی که اعلام میکند چه مداری استخراج شده و همچنین بخشی که بیان میکند چه درصدی از منابع FPGA استفاده شده است را ارسال نمایید. عکسهای نتایج شبیه سازی باید به وضوح درستی کارکرد قطعه را نشان دهد.

تذکره ۱: تمام طراحی ها باید به صورت قابل سنتز باشد.