



۱۳۰۷
دانشگاه صنعتی خواجه نصیرالدین طوسی

طراحی سیستم‌های دیجیتال (FPGA,ASIC)

تکلیف سری پنجم

1 - فرض کنید در یک سیستم دیجیتال، درایه‌های بردار $A=[a_0, a_1, a_2, a_3]$ از طریق یک پورت ورودی ۸ بیتی به ترتیب با هر کلاک یک نمونه وارد می‌شوند. قرار است این بردار در یک ماتریس 4×3 که هر یک از ستون‌های آن در یک حافظه ROM جداگانه چهار بیتی ذخیره شده است ضرب شود .

الف) مدار ضرب بردار در ماتریس را به گونه ای طراحی نمایید که حداکثر با استفاده از سه عدد ضرب و جمع کننده تمام محاسبات انجام شود.

ب) قرار است المان‌های مربوط به بردارهای A, B, C که هر کدام یک بردار 1×4 هستند از طریق همان پورت ورودی ۸ بیتی به صورت مالتی پلکس شده وارد شوند. ترتیب ورود داده‌ها به گونه ای است که در سه کلاک اول، داده اول بردارها یعنی a_0, b_0, c_0 وارد می‌شود. در سه کلاک بعدی نمونه دوم بردارها و در سه کلاک چهارم نمونه چهارم هر یک از بردارها از طریق پورت ورودی وارد می‌شود. مدار دریافت ورودی‌ها را طراحی نمایید.

نحوه تحویل: برای هر طراحی دو فایل VHDL آماده نمایید. یک فایل خود طراحی و یک فایل دیگر هم فایل تست طراحی (Test Bench). همچنین یک فایل PDF حداکثر ۱۰ صفحه‌ای شامل نتایج سنتز و شبیه سازی طراحی‌ها نیز آماده نمایید. برای این سری ۴ فایل طراحی همراه با یک فایل pdf را در یک فولدر با نامی به فرمت زیر گذاشته و به صورت یک فایل فشرده در سایت درس بارگذاری نمایید.

فرمت نام فولدر: FullName#9123456#EXS3

از گزارش سنتز فقط قسمتی که اعلام میکند چه مداری استخراج شده و همچنین بخشی که بیان میکند چه درصدی از منابع FPGA استفاده شده است را ارسال نمایید. عکس‌های نتایج شبیه‌سازی باید به وضوح درستی کارکرد قطعه را نشان دهد.

تذکره ۱: تمام طراحی‌ها باید به صورت قابل سنتز باشد.