

تکلیف سری سوم

۱- یک حافظه ۲۵۶ بایت Dual Port RAM طراحی نمایید.

۲- یک حافظه با اندازه متغیر به صورت LIFO طراحی کنید.

-یک سیگنال constant در نظر بگیرید که تعیین کننده اندازه حافظه باشد.

-این حافظه باید ۸ بیت ورودی برای تعیین آدرس اولیه در stack داشته باشد.

-زمانی که همه خانه های حافظه دیتا داشته باشند و نتوان داده جدیدی در آن نوشت، باید خروجی full فعال باشد.

-زمانی که همه خانه های حافظه خالی باشند و نتوان داده ای از آن خواند، باید خروجی empty فعال باشد.

-یک ورودی rd_wr در نظر بگیرید که خواندن و یا نوشتن از حافظه را تعیین میکند.

-این حافظه یک ورودی ۸ بیتی برای نوشتن دیتا دارد.

-این حافظه یک خروجی ۸ بیتی برای خواندن دیتا دارد.

نحوه تحویل: برای هر طراحی دو فایل VHDL آماده نمایید. یک فایل خود طراحی و یک فایل دیگر هم فایل تست طراحی (Test Bench). همچنین یک فایل PDF حداکثر ۱۰ صفحه‌ای شامل نتایج سنتز و شبیه سازی طراحی‌ها نیز آماده نمایید. برای این سری ۴ فایل طراحی همراه با یک فایل pdf را در یک فولدر با نامی به فرمت زیر گذاشته و به صورت یک فایل فشرده در سایت درس بارگذاری نمایید.

فرمت نام فولدر: FullName#9123456#EXS1

از گزارش سنتز فقط قسمتی که اعلام میکند چه مداری استخراج شده و همچنین بخشی که بیان میکند چه درصدی از منابع FPGA استفاده شده است را ارسال نمایید. عکس‌های نتایج شبیه‌سازی باید به وضوح درستی کارکرد قطعه را نشان دهد.

تذکره ۱: تمام طراحی‌ها باید به صورت قابل سنتز باشد.