

## بسمه تعالی

# آزمایش دوم: مثال‌های کاربردی از دستورات ترتیبی

## هدف کلی:

هدف از انجام این آزمایش تمرین و کسب مهارت در استفاده از دستورات ترتیبی به کمک ۳ مثال کاربردی است.

### ۱- بخش اول: مقسم فرکانس

یک مقسم فرکانسی طراحی کنید که یک ورودی  $Clk\_in$ ، تک بیتی از بیرون و در داخل برنامه  $Div$  را به شکل یک  $Constant$  و  $Integer$  دریافت کرده و خروجی  $Clk\_out$ ، تک بیتی را تحویل دهد. این مقسم فرکانس بازای هر بار لبه بالارونده  $Clk\_in$  شمارش کرده و کاری می‌کند که به تعداد  $Div$  تا از کلاک ورودی، خروجی یک و پس از آن به تعداد  $Div$  تا از کلاک ورودی، خروجی صفر شود و این روند به صورت پیوسته تکرار می‌شود.

در واقع شکل موج مربعی با Duty cycle ۵۰ درصد با فرکانس  $\frac{f_{Clk\_in}}{2 \times Div}$  در خروجی تولید خواهد شد. در این تمرین  $Clk\_in$  به اسیلاتور ۵۰ مگاهرتزی وصل شده و  $Div$  به صورت یک عدد ثابت بسته به فرکانس مورد نیاز در برنامه مقداردهی می‌شود. برای نمایش خروجی از یک LED استفاده کنید.

## جهت انجام این آزمایش مراحل زیر را طی کرده و پاسخ هر کدام را بنویسید:

### مرحله ۱-۱

- ۱- با فرض اینکه کلاک ورودی همان اسیلاتور ۵۰ مگاهرتزی برد آزمایشگاه است، برای تولید کلاک ۱ هرتز مقدار  $Div$  چه خواهد شد؟
- ۲- کد مربوط به این آزمایش را نوشته و جزئیات آن را توضیح دهید.

### مرحله ۲-۱

با نوشتن یک Test bench در نرم‌افزار ISE در حالتی که فرکانس کلاک ورودی دلخواه باشد، با انتخاب  $Div$  مناسب کلاک خروجی را با فرکانسی برابر با  $\frac{1}{4}$  فرکانس ورودی تولید کنیم. پاسخ شبیه‌سازی خود را نمایش دهید.

### مرحله ۳-۱

نتیجه‌ی گزارش سنتز را برای این طراحی ارائه دهید و دلیلی برای استفاده شدن این مقدار از منابع FPGA را گزارش کنید.

### مرحله ۴-۱

کد UCF این طراحی را جهت پیاده‌سازی سخت‌افزاری بر روی برد آزمایشگاه بنویسید. ❖ برای پیاده‌سازی سخت‌افزاری مقدار  $Div$  را بگونه‌ای تنظیم نمایید که در خروجی کلاک ۱ هرتز تولید شود.

## ۲- بخش دوم: راه انداز 7Segment

بر روی برد آزمایشگاه چهار 7Segment وجود دارد که هر کدام یک پایه Com برای فعالسازی دارند اما خروجی ۸ بیتی آنها توسط یک باس داده مشترک نمایش داده می‌شود. در این آزمایش برای نمایش عدد دو رقمی نیاز به دو 7Segment است که یکی برای رقم اول و دیگری برای رقم دوم در نظر گرفته می‌شود. برای این هدف یک برنامه با دو ورودی کلاک (تک بیتی) و عدد ورودی (۸ بیتی) و دو خروجی برای پایه های Com (چهار بیتی) و باس داده مشترک نمایش 7Segment (۸ بیتی) بنویسید. زمانی که لبه بالارونده کلاک ورودی برای اولین بار مشاهده شد، ۴ بیت کم ارزش ورودی پس از تبدیل شدن به کد معادل 7Segment تنها بر روی رقم یکان 7Segment نشان داده شود و در این مدت رقم دهگان 7Segment خاموش باشد.

با آمدن لبه بالارونده دوم کلاک ورودی، این بار رقم یکان خاموش شده و رقم دهگان 7Segment با معادل ۴ بیت پر ارزش عدد ورودی روشن شود. و این رویه به شکل مداوم تکرار شود. پایه‌ی Com مربوط به 7Segment‌هایی که استفاده نمی‌شوند را همیشه صفر قرار دهید.

**بیشتر بدانید:**

**اگر فرکانس کلاک ورودی در محدوده مناسبی انتخاب شود، چشم انسان دیگر نمی‌تواند متوجه روشن و خاموش شدن پشت سر هم رقم یکان و دهگان شده و هر دوی آنها را همیشه روشن می‌بیند. به این شکل می‌توان به طور همزمان هر دو خروجی را مشاهده کرد.**

ورودی هشت بیتی به Dip switch و کلاک ورودی به کلاک دستی وصل می‌شوند. ۸ بیت خروجی به باس داده مشترک 7Segment و ۴ بیت خروجی دیگر به Com وصل می‌شوند.

**جهت انجام این آزمایش مراحل زیر را طی کرده و پاسخ هر کدام را بنویسید:**

### مرحله ۲-۱

- ۱- تحقیق کنید تا چه فرکانسی تغییرات آن با چشم قابل تشخیص نمی‌باشد و دلیل آن را بیان کنید.
- ۲- کد مربوط به این آزمایش را نوشته و جزئیات آن را توضیح دهید.

### مرحله ۲-۲

با نوشتن یک Test bench در نرم‌افزار ISE پاسخ شبیه‌سازی را در حالتی که عدد ورودی 11010010 باشد، نمایش دهید.

### مرحله ۲-۳

نتیجه‌ی گزارش سنتز را برای این طراحی ارائه دهید و دلیلی برای استفاده شدن این مقدار از منابع FPGA را گزارش کنید.

### مرحله ۲-۴

کد UCF این طراحی را جهت پیاده‌سازی سخت‌افزاری بر روی برد آزمایشگاه بنویسید.

### ۳- بخش سوم: بالا و پایین شمار دو رقمی مبنای ۱۶

یک شمارشگر هگز دو رقمی (۸ بیتی) طراحی کنید که از 00 تا FF و بالعکس را بشمارد. ورودی‌های این شمارشگر شامل کلاک ورودی (یک بیتی)، پایه Enable (یک بیتی) و پایه Up/Down (یک بیتی) است.

با یک شدن ورودی Enable شمارنده فعال شده و با هر لبه بالا رونده کلاک ورودی شمارنده بسته به ورودی Up/Down به بالا یا پایین می‌شمارد. اگر ورودی Up/Down برابر یک باشد شمارنده بالا شمار و اگر صفر باشد پایین شمار است. در صورتی که ورودی Enable صفر باشد، هیچ شمارشی انجام نمی‌شود. خروجی شمارنده دو عدد ۴ بیتی (در مجموع ۸ بیت) است که بر روی هشت LED نمایش داده می‌شود.

### جهت انجام این آزمایش مراحل زیر را طی کرده و پاسخ هر کدام را بنویسید:

#### مرحله ۱-۳

- ۱- با توجه به ورودی‌ها چند حالت ممکن پیش بیاید، آنها را ذکر کنید.
- ۲- کد مربوط به این آزمایش را نوشته و جزئیات آن را توضیح دهید.

#### مرحله ۲-۳

با نوشتن یک Test bench در نرم‌افزار ISE پاسخ شبیه‌سازی را با توجه به شرایط زیر نمایش دهید. بازای کلاک ورودی با فرکانس دلخواه، ابتدا شمارنده در حالت بالا شمار باشد و از 00 تا 0F شروع به شمارش کند و سپس با تغییر ورودی Up/Down در حالت پایین شمار قرار گرفته و تا F0 بشمارد.

#### مرحله ۳-۳

نتیجه‌ی گزارش سنتز را برای این طراحی ارائه دهید و دلیلی برای استفاده شدن این مقدار از منابع FPGA را گزارش کنید.

#### مرحله ۴-۳

کد UCF این طراحی را جهت پیاده‌سازی سخت‌افزاری بر روی برد آزمایشگاه بنویسید. کلاک ورودی را به کلاک دستی و سایر ورودی‌ها را به Dip switch ها وصل نمایید.

موفق باشید.