

Pre-Report

FPGA Lab

Experiment 1



1928
K. N. Toosi
University of Technology
Faculty of Electrical Engineering

Naghiloo 40010093 + Tofigh 40003913

FPGA Lab

Kimia Hadidi

1403/07/20

Designed By:



مرحله ۱:

۱- در جدولی، معادل 7-Segment اعداد ۰ تا F را برای 7-Segment آنند مشترک بنویسید.

	DP	G	F	E	D	C	B	A
0	1	1	0	0	0	0	0	0
1	1	1	1	1	1	0	0	1
2	1	0	1	0	0	1	0	0
3	1	0	1	1	0	0	0	0
4	1	0	0	1	1	0	0	1
5	1	0	0	1	0	0	1	0
6	1	0	0	0	0	0	1	0
7	1	1	1	1	1	0	0	0
8	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0
A	1	0	0	0	1	0	0	0
B	1	0	0	0	0	0	1	1
C	1	1	0	0	0	1	1	0
D	1	0	1	0	0	0	0	1
E	1	0	0	0	0	1	1	0
F	1	0	0	0	1	1	1	0

Segments (✓ = ON)							Display	Segments (✓ = ON)							Display
a	b	c	d	e	f	g		a	b	c	d	e	f	g	
✓	✓	✓	✓	✓	✓		0	✓	✓	✓	✓	✓	✓	✓	8
	✓	✓					1	✓	✓	✓			✓	✓	9
✓	✓		✓	✓		✓	2	✓	✓	✓		✓	✓	✓	A
✓	✓	✓	✓			✓	3			✓	✓	✓	✓	✓	b
	✓	✓			✓	✓	4	✓			✓	✓	✓		c
✓		✓	✓		✓	✓	5		✓	✓	✓	✓		✓	d
✓		✓	✓	✓	✓	✓	6	✓			✓	✓	✓	✓	E
✓	✓	✓					7	✓				✓	✓	✓	F

۲- کد مربوط به این آزمایش را که باید به صورت ترکیبی باشد، نوشته و جزئیات آن را توضیح دهید.

```
library IEEE;
```

```
use IEEE.STD_LOGIC_1164.ALL;
```

```
entity Seven_Segment is
```

```
    Port(inDigit   : in  STD_LOGIC_VECTOR (3 downto 0);
          inSelect  : in  STD_LOGIC_VECTOR (3 downto 0);
          outSelect : out STD_LOGIC_VECTOR (3 downto 0);
          out7Seg   : out STD_LOGIC_VECTOR (7 downto 0));
```

```
end Seven_Segment;
```

پکیج STD_LOGIC_1164 از کتابخانه IEEE به

منظور استفاده از تایپ STD_LOGIC

سیگنال‌های مورد نیاز ورودی و خروجی

architecture DataFlow of Seven_Segment is

begin

outSelect <= inSelect;  سیگنال فعال کردن سون سگمنت ها باید عینا در خروجی قرار گیرند

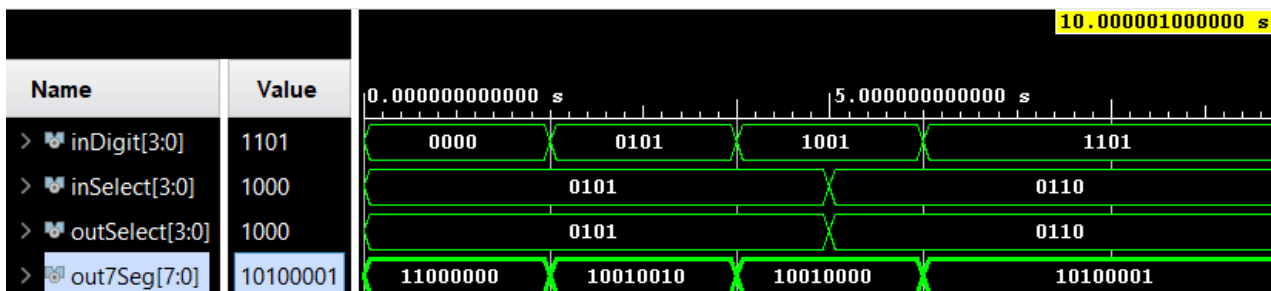
```
with inDigit select
  out7Seg <= X"C0" when "0000", -- 0
             X"F9" when "0001", -- 1
             X"A4" when "0010", -- 2
             X"B0" when "0011", -- 3
             X"99" when "0100", -- 4
             X"92" when "0101", -- 5
             X"82" when "0110", -- 6
             X"F8" when "0111", -- 7
             X"80" when "1000", -- 8
             X"90" when "1001", -- 9
             X"88" when "1010", -- A
             X"83" when "1011", -- b
             X"C6" when "1100", -- C
             X"A1" when "1101", -- d
             X"86" when "1110", -- E
             X"8E" when "1111", -- F
             X"FF" when others; -- Default: all segments off (invalid input)
```

معادل هر عدد در سون سگمنت که در مرحله اول در سوال اول بدست آمد

end DataFlow;

مرحله ۲:

```
inSelect <= "0101", "0110" after 5 sec, "1000" after 10 sec;
inDigit  <= "0000", "0101" after 2 sec, "1001" after 4 sec, "1101" after 6 sec;
```



مرحله ۳:

```
=====
*                               Advanced HDL Synthesis                               *
=====

Advanced HDL Synthesis Report

Macro Statistics
# ROMs                               : 1
16x8-bit ROM                         : 1
```

استفاده از رام ۸×۱۶ به منظور نگهداری از مقادیر معادل هر عدد در سون سگمنت

Final Report			
Final Results			
RTL Top Level Output File Name	:	main.ngc	
Top Level Output File Name	:	main	
Output Format	:	NGC	
Optimization Goal	:	Speed	
Keep Hierarchy	:	No	
Design Statistics			
# IOs	:	20	
Cell Usage :			
# BELS	:	8	
# LUT4	:	7	
# VCC	:	1	
# IO Buffers	:	20	
# IBUF	:	8	
# OBUF	:	12	
Device utilization summary:			
Selected Device : 3s400pq208-4			
Number of Slices:	4	out of	3584 0%
Number of 4 input LUTs:	7	out of	7168 0%
Number of IOs:	20		
Number of bonded IOBs:	20	out of	141 14%

همانطور که از تعداد بیت های موجود در سیگنال های ENTITY مشخص هست، ما ۸ ورودی و ۱۲ خروجی و مجموعه ۲۰ ورودی/خروجی داریم.

از ۷ تا LUT استفاده شده است که مقدار خیلی کمی است و تقریباً درصد از منابع LUT را اشغال کرده است.

مرحله ۴:

```

NET "inDigit[3]" LOC = p29 ;
NET "inDigit[2]" LOC = p31 ;
NET "inDigit[1]" LOC = p33 ;
NET "inDigit[0]" LOC = p34 ;

NET "inSelect[3]" LOC = p9 ;
NET "inSelect[2]" LOC = p10 ;
NET "inSelect[1]" LOC = p11 ;
NET "inSelect[0]" LOC = p12 ;

NET "outSelect[3]" LOC = p130 ;
NET "outSelect[2]" LOC = p128 ;
NET "outSelect[1]" LOC = p126 ;
NET "outSelect[0]" LOC = p125 ;

NET "out7Seg[7]" LOC = p131 ;
NET "out7Seg[6]" LOC = p132 ;
NET "out7Seg[5]" LOC = p133 ;
NET "out7Seg[4]" LOC = p135 ;
NET "out7Seg[3]" LOC = p137 ;
NET "out7Seg[2]" LOC = p138 ;
NET "out7Seg[1]" LOC = p139 ;
NET "out7Seg[0]" LOC = p140 ;

```