



۱. مطالب مورد نیاز

آنچه برای حل تمرینات این درس مورد نیاز است عبارتند از:

۱. آشنایی با زبان طراحی سخت‌افزار VHDL/Verilog به عنوان زبان مورد استفاده برای طراحی سیستم مرجع.
۲. آشنایی با زبان System Verilog به عنوان زبان مرجع برای پیاده‌سازی تمرینات.
۳. آشنایی و تسلط بر مفاهیم اولیه و مطرح شده در کلاس در خصوص طراحی یک بستر به منظور انجام درستی‌یابی سخت‌افزاری.

۲. سیستم مرجع مورد استفاده

سیستم مورد استفاده ما در این تمرین یک پیاده‌سازی از SDRAM به همراه BUS آن است که هدف ما درستی سنجی عملکرد این سیستم است. کد وریلاگ این سیستم به همراه توضیحاتی درباره آن در این [لینک](#) در دسترس است.

۳. روند گام‌های پروژه

تمرین ارائه شده دارای ۵ گام است که از دید اجرایی دارای تسلسل بوده و بایستی با رعایت اولویت تعیین شده، انجام داده شوند. تمرین بر روی یک مدار طراحی شده تکیه دارد که اطلاعات آن در اختیار شما قرار داده می‌شود. گام‌های ارائه شده در این تمرین به صورت اجمالی به شرح زیر است:

۱. شناسایی و بررسی دیزاین مرجع و استخراج سناریوهای وریفیکشن.
۲. طراحی یک بستر تولید Stimuli برای سناریوهای استخراج شده و اعمال آن بر سیستم.
۳. طراحی یک بستر تولید Stimuli های تصادفی و اعمال آن بر سیستم.
۴. طراحی مدل طلایی (Golden Model) سیستم مورد بحث و اندازه‌گیری code coverage.
۵. تکمیل بستر درستی‌یابی و افزودن واحدهای موثر دیگر به آن. در این گام، هدف اصلی افزودن واحدهای Checker و Scoreboard به واحد stimuli است.

جزئیات هر گام

مرحله اول: شناسایی سیستم‌های پیش نیاز

- در مورد سیستم مرجع تحقیق کنید و نتایج خود را گزارش کنید. کدها را بررسی کنید و توضیحات گیت هاب را مطالعه کنید. ورودی‌ها و خروجی‌های سیستم را بیان کنید.
- ورودی و خروجی‌های هر یک از ماژول‌های پیاده‌سازی داده شده را بررسی کنید و حدس خود را در مورد کارکرد آن ماژول بیان کنید (آن ماژول چه کار می‌کند!).



- با توجه به مراحل که تا به اینجا انجام داده‌اید سناریوهایی که برای وریفیکشن این دیزاین به ذهن شما می‌رسد را به همراه تست کیس‌های مربوطه بیان کنید.
- در مدلسیم دیزاین را کامپایل کرده و یک ورودی ساده به آن دهید (تست بنچ) و نتایج آن به همراه تحلیل شکل موج‌های تاپ مایجول گزارش کنید.

مرحله دوم: پیاده سازی واحد Stimuli Generator

- با توجه به مراحل که در تمرین گذشته انجام دادید و شناختی که تا به حال در مورد سیستم به دست آورده‌اید. سعی کنید سناریوهای وریفیکشن خود را گسترش دهید و برای هر کدام تست کیس‌های مربوطه را بیان کنید.
- از این سناریوها **corner case** ها را مشخص کنید.
- در این مرحله باید برای سناریوها و زیر سناریوهای مشخص شده یک واحد **Stimuli Generator** پیاده‌سازی نمایید. این واحد باید توانایی آماده‌سازی سناریو برای سیستم را داشته باشد. خروجی این مرحله فایل **determenstic_stimuli_genrator sv** است که ورودی‌ها مربوط به سناریوها را آماده می‌کند و به سیستم ما اعمال می‌کند.

مرحله سوم: پیاده سازی واحد Stimuli Generator تصادفی

- در این مرحله بایستی برای سیستم مورد بحث، واحد **Stimuli Generator** را به گونه‌ای تغییر دهید که بتواند سناریوهای درستی یابی را به صورت خودکار و با الگوهای تصادفی (نیمه تصادفی) تولید نماید. خروجی این مرحله فایل **random_stimuli_genrator sv** است که ورودی‌های تصادفی را آماده می‌کند و به سیستم ما اعمال می‌کند.

مرحله چهارم:

طراحی واحد Golden Model

- در گام‌های قبلی شما سناریوهایی را نوشتید که به واسطه آن بتوان عملکرد قسمت‌هایی از سیستم را مورد بررسی قرار داد. با تکمیل شدن این واحد، نوبت به طراحی **Golden Model** می‌رسد. در این تمرین، باید مایجولی را طراحی نمایید که با زبان ساده شما، عملکرد سیستم را شبیه‌سازی نماید. در این شبیه‌سازی باید اطلاعات تولید شده توسط **Stimuli** را به این واحد نیز تحویل دهید تا این واحد نیز همانند سیستم مورد بحث و همزمان با زمان‌بندی آن عمل نماید. در حالتی که طراحی درست باشد، خروجی‌های این واحد باید از دید زمان‌بندی و اطلاعاتی دقیقاً مشابه سیستم مورد بحث باشد. در طراحی این واحد مهم برآورده شدن نیازهای زمان‌بندی و عملیاتی است ولی نحوه نگارش آن می‌تواند با طراحی اصلی بسیار متفاوت باشد.



▪ خروجی: واحد Golden Model

پیاپیاده‌سازی تکنیک‌های تعیین پوشش Coverage

شرح: با استفاده از مفاهیم بیان شده در کلاس و نیز استفاده از ابزارهای زبان System Verilog و Modelsim در بستر طراحی شده خود، میزان پوشش ایجاد شده را بررسی و گزارش نمایید. در این تمرین دستورات استفاده شده بسیار تعیین کننده خواهد بود.

▪ خروجی: تعیین میزان Coverage Code در سیستم طراحی شده.

□ مرحله چهارم: طراحی واحدهای Checker و Scoreboard

شرح: در این قسمت باید آخرین قسمت پازل بستر درستی یابی را طراحی نمایید. در تمرینات پیشین، قسمت‌هایی طراحی نمودید که به واسطه آن توانستید عملکرد مدار DUV را شبیه‌سازی نمایید (Golden Model)، قسمتی را طراحی نمودید تا بتوانید ورودی‌های مورد نیاز خود را به ساختاری که طراحی نموده‌اید، ارسال نمایید (Stimuli). تاکنون همه قسمت‌های مهم را طراحی نموده‌اید. در این تمرین، آخرین قسمت پازل را باید طراحی نمایید. هدف از این تمرین، طراحی قسمتی است که بتواند ایرادات کشف شده در سیستم را آشکار نموده و تشخیص دهد. طبیعی است که این تشخیص باید با مقایسه خروجی‌های تولید شده از دو قسمت Golden Model و DUV انجام شود. شما باید خروجی گلدن مدل را با خروجی دیزاین مقایسه کنید از نظر زمان و خروجی.

۴. زمان تحویل

گام	مدت انجام	مهلت ارسال گزارش
۱	۱۴ روز	۴ آبان
۲	۲۱ روز	۲۵ آبان
۳	۱۴ روز	۹ آذر
۴	۲۱ روز	۳۰ آذر
۵	۲۱ روز	۲۱ دی



۵. یادآوری‌های عمومی

- امکان ایجاد تغییرات جزئی در گزارش نهایی انتهای نیمسال با توجه به تغییرات احتمالی در گام‌های بعدی وجود دارد.
- تمامی سؤالات خود را در گروه تلگرامی درس بیان کنید.
- این پروژه تحویل حضوری نیز خواهد داشت.
- در صورت کشف تقلب نمره منفی ۱۰۰ برای هر دو طرف تقلب برای آنها در نظر گرفته می‌شود.
- تمامی فایل‌های خود را به صورت rar یا zip فشرده کنید و با فرمت زیر تحویل دهید.

[name] [student number] [Project-PhaseNumber].rar