Descrierea EDFFTR in Verilog

`timescale 1ps / 1ps

module EDFFTR ( input wire RN, // Reset asincron (activ pe '0') input wire E, // Enable input wire D, // Intrare de date input wire CK, // Semnal de ceas output reg Q, // Ie?irea principal? output wire QN // Ie?irea inversat? );

// Ie?irea complementar? este negarea lui Q  
assign QN = ~Q;  
  
// Parametri generici pentru timpi dinamici  
parameter tpLH\_CK\_Q = 498; // Timp de propagare CK ? Q (ns -> ps)  
parameter tpHL\_CK\_Q = 660; // Timp de propagare CK ? Q (ns -> ps)  
parameter tpLH\_CK\_QN = 808; // Timp de propagare CK ? QN (ns -> ps)  
parameter tpHL\_CK\_QN = 644; // Timp de propagare CK ? QN (ns -> ps)  
parameter tSETUP = 515; // Setup time pentru D înainte de CK (ns -> ps)  
parameter tHOLD = 886; // Hold time pentru D dup? CK (ns -> ps)  
  
always @(posedge CK or negedge RN) begin  
 if (!RN) begin  
 Q <= #tpHL\_CK\_Q 1'b0; // Reset pe Q  
 end else if (E) begin  
 Q <= #tpLH\_CK\_Q D; // Transfer? D la Q  
 end  
end  
  
specify  
 // Specifica?ii pentru timpii de setup ?i hold  
 $setup(D, posedge CK, tSETUP);  
 $hold(posedge CK, D, tHOLD);  
endspecify

endmodule

Simulare EDFFTR Verilog

`timescale 1ps / 1ps

module Test\_EDFFTR;

reg RN, E, D, CK; // Semnale de intrare  
wire Q, QN; // Semnale de ie?ire  
  
// Instan?ierea modulului EDFFTR  
EDFFTR #(  
 .tpLH\_CK\_Q(498),  
 .tpHL\_CK\_Q(660),  
 .tpLH\_CK\_QN(808),  
 .tpHL\_CK\_QN(644),  
 .tSETUP(515),  
 .tHOLD(886)  
) uut (  
 .RN(RN),  
 .E(E),  
 .D(D),  
 .CK(CK),  
 .Q(Q),  
 .QN(QN)  
);  
  
// Generarea semnalului de ceas  
initial begin  
 CK = 0;  
 forever #500 CK = ~CK; // Perioada ceasului: 1 ns (500 ps pentru fiecare tranzi?ie)  
end  
  
// Testare comportament  
initial begin  
 // Resetare ini?ial?  
 RN = 0; E = 0; D = 0;  
 #1000 RN = 1; // Activare reset dup? 1 ns  
  
 // Test cu Enable activ  
 #1000 D = 1; E = 1; // D = 1, E = 1  
 #1000 D = 0; // Schimbare pe D  
   
 // Test pentru timpi de setup ?i hold  
 #800 D = 1; #300; // Setup time = 515 ps  
 #1000 D = 0; #100; // Hold time = 886 ps  
  
 // Finalizare simulare  
 #5000 $stop;  
end

endmodule

