

پروژه پایانی درس طراحی کامپیوتری سیستم های دیجیتال

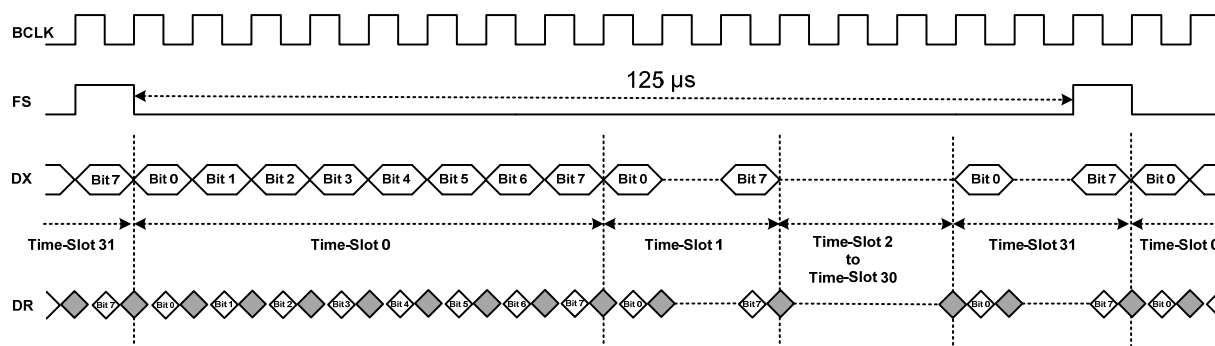
موعد تحویل : سه شنبه ۱۴۰۰/۴/۲۹

۱. مقدمه

هدف از انجام این پروژه، آشنایی کامل با چگونگی طراحی و پیاده سازی یک سیستم دیجیتال با استفاده از زبان توصیف سخت افزاری VHDL می باشد. سیستم پایه ای که برای این پروژه در نظر گرفته شده است، یک جمع کننده صدای دیجیتال می باشد. در این سیستم دو ورودی دیجیتال صدا به صورت مجزا و با فرمت A-Law وارد سیستم می شود. پس از آنکه صداها با یکدیگر جمع شدند، به فرمت μ -Law تبدیل شده و به خروجی دیجیتال ارسال می گردند.

۲. آشنایی با باس ST-BUS

صدای آنالوگ از طریق IC به نام CODEC به فرم دیجیتال تبدیل می شود. CODEC با فرکانس 8KHz از صدای آنالوگ نمونه برداری می کند. هر نمونه، یک داده ۸ بیتی می باشد که CODEC آنرا به صورت سریالی (بیت به بیت)، بر روی باس سنکرون (Synchronous) استاندارد به نام ST-BUS، به بیرون ارسال می کند. در هر Frame این باس، ۳۲ داده ۸ بیتی (مجموعاً ۲۵۶ بیت داده) به صورت سریالی دریافت/ارسال می گردد. بنابراین با یک باس ST-BUS به طور همزمان می توان ۳۲ صدای دیجیتال متفاوت را ارسال/دریافت نمود. اصطلاحاً گفته می شود که ST-BUS دارای ۳۲ عدد Time-Slot می باشد و هر Time-Slot شامل ۸ بیت داده می باشد. شماره های Time-Slot ها به ترتیب از صفر شروع شده و به ۳۱ ختم می شود. این باس استاندارد دارای چهار سیگنال مهم به نام های BCLK، FS، DX و DR می باشد. BCLK مخفف Bit Clock می باشد و کلاک باس ST-BUS برای انتقال اطلاعات می باشد. فرکانس این کلاک برابر 2.048MHz می باشد. FS مخفف Frame Synchronization می باشد و از آن برای مشخص نمودن ابتدای Frame ها استفاده می شود. این سیگنال هر 125 μ s یک بار فعال شده و به مدت یک کلاک فعال باقی می ماند. بعد از فعال شدن سیگنال FS، اولین Time-Slot (شماره صفر) قرار می گیرد. داده های ارسالی بر روی DX ارسال شده و داده های دریافتی نیز از طریق DR دریافت می شوند. نحوه دریافت و ارسال اطلاعات با استفاده از این باس در شکل ۱ نشان داده شده است.



شکل ۱: فرمت باس ST-BUS

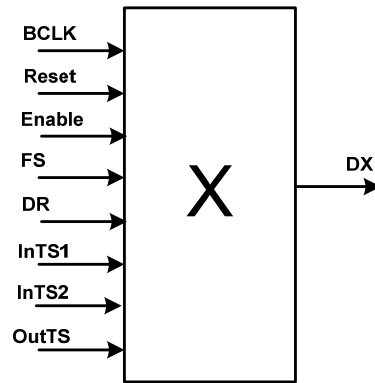
همانطور که در شکل ۱ مشخص است ارسال داده از طریق DX روی لبه های بالارونده BCLK انجام می شود اما دریافت داده از طریق DR روی لبه پایین رونده BCLK انجام می شود.

معمولاً باس ST-BUS بین چند منبع مختلف به اشتراک گذاشته می شود و به هر منبع یک یا چند Time-Slot اختصاص داده می شود. بدیهی است که هر منبع، هم برای ارسال اطلاعات و هم برای دریافت اطلاعات، فقط باید از Time-slot های مختص به خودش استفاده نماید. به همین منظور هر منبع پس از آنکه داده های ارسالی اش را بر روی Time-Slot مربوط به خودش روی باس DX قرار داد، باید باس DX را برای سایر Time-Slot ها در حالت high-Impedance یا float یا 'Z' قرار دهد، زیرا این امکان وجود دارد که منبع دیگری آن Time-Slot را Drive نماید.

۳. تعریف پروژه

ماجول مورد نظر در این پروژه به یک باس ST-BUS متصل می باشد. در روی دو Time-Slot مختلف ورودی DR باس ST-BUS، دو صدای دیجیتال متفاوت قرار داده شده است. این صداها به فرمت A-Law می باشند. ماجول مورد نظر باید صداهای ورودی را از حالت A-Law به شکل Linear تبدیل نموده و با هم جمع نماید. سپس نتیجه حاصله را به فرمت μ -Law تبدیل نموده و آنرا بر روی یکی از time-Slot های DX قرار دهد. شماره Time-Slot های ورودی و همچنین شماره Time-Slot خروجی، به عنوان سه ورودی مجزا به ماجول مورد نظر داده می شود. لازم است که خروجی ماجول فقط برای Time-Slot مشخص شده فعال باشد و برای سایر Time-slot ها در حالت High-Impedance قرار داده شود.

علاوه بر موارد فوق، ماجول مورد نظر دارای یک ورودی Enable نیز می باشد. هر زمان که Enable یک باشد، ماجول فعال بوده و عملیات مورد نظر را انجام می دهد و هر زمان که این سیگنال ورودی صفر باشد، عملیات متوقف شده و باس خروجی High-Impedance می گردد. در شکل شماره ۲ Black-Box ماجول مورد نظر نشان داده شده است.



شکل شماره ۲ : Black-Box ماجول

کد Entity ماجول توصیف شده فوق، در شکل شماره ۳ نشان داده شده است.

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
--
ENTITY X IS
    PORT
    (
        BCLK      : IN  STD_LOGIC;
        Reset     : IN  STD_LOGIC;
        Enable    : IN  STD_LOGIC;
        FS        : IN  STD_LOGIC;
        DR        : IN  STD_LOGIC;
        InTS1     : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
        InTS2     : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
        OutTS2    : IN  STD_LOGIC_VECTOR(4 DOWNTO 0);
        DX        : OUT STD_LOGIC
    );
END X;
-- Input time-slot #1
-- Input time-slot #2
-- Output time-slot

```

شکل شماره ۳ : کد Entity ماجول

۴. نحوه تحویل پروژه

در تحویل پروژه لازم است گزارشی از نحوه طراحی و پیاده سازی ماجول مورد نظر، تاپپ شده تحویل داده شود. در این گزارش تمامی Data-path و Controller های ماجول ترسیم شده و لازم است به طور دقیق شرح داده شوند. در این پروژه نیازی به سنتز کد نوشته شده نیست و شبیه سازی کد ها کفایت می کند.