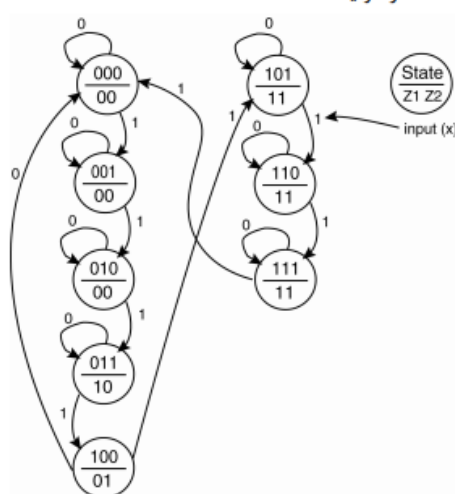


برای FSM نشان داده شده در شکل زیر :



الف) مدار FSM را در سطح گیت طراحی کنید.

ب) کد Verilog برای مدار قسمت الف بنویسید و با نوشتن testbench صحت عملکرد مدار را بررسی کنید.

ج) حداکثر فرکانس clock را با توجه به جدول زیر مشخص کنید:

| پارامتر | زمان |
|--------------|--|
| TcktoQ | 100ps |
| Tsetup | 100ps |
| تاخیر هر گیت | $(50ps + n * 50ps)$ (n: تعداد ورودیها) |
| | |

د) تاخیرهای بالا را در کد قسمت ب وارد کرده و نتایج را بررسی کنید.

ه) برای FSM بالا کد Verilog در سطح RTL را بنویسید و با اعمال testbench قسمت ب صحت عملکرد مدار را بررسی کنید.

و) کد بالا را به کمک نرم افزار ISE سنتز کرده و مدار خروجی سنتز را نمایش دهید.

ز) کد بالا را طوری تغییر دهید که مدار به صورت pipeline پیاده سازی شود. مرحله و را تکرار کنید.

ح) برای کاهش AREA در کد قسمت ز چه تغییراتی می توان اعمال کرد؟

اختیاری ط) کد قسمت ه را بر روی برد FPGA پیاده سازی کرده و نتایج واقعی را گزارش کنید.