

**گزارش کار اول**

**عنوان گزارش :**

پیاده سازی d-flip flop ، jk-flip flop و t-flip flop

**استاد:**

**مریم محبتی**

**گروه کلاس :**

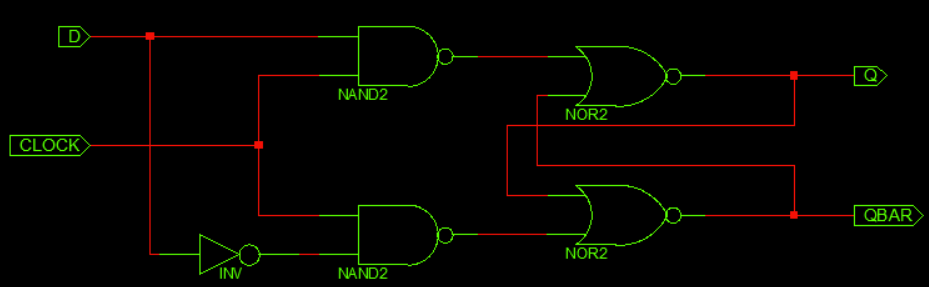
08

**گروه انجام دهنده :**

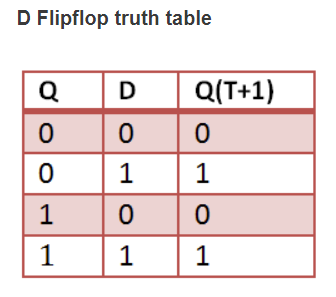
علیرضا اسلامی خواه ، فرزان رحمانی ، ریحانه هاشم زاده

بررسی D FlipFlop :

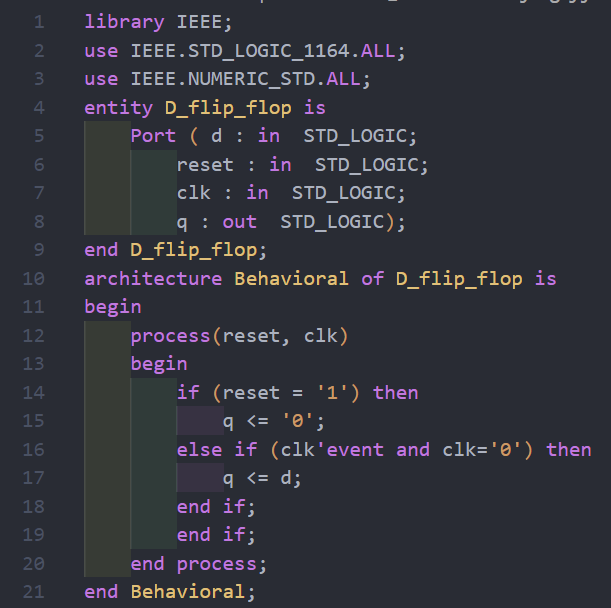
در این فلیپ فلاپ d که با استفاده از کلاک پالس داده میشود اگر 1 باشد فلیپ فلاپ روی set و اگر 0 باشد روی clear تغییر حالت میدهد. ابتدا به بررسی مداری آن میپردازیم:



سپس جدول صحت آن را نگاه میکنیم :



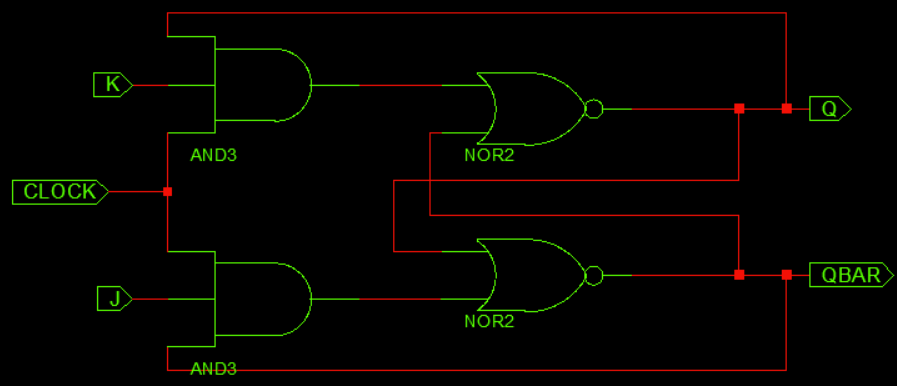
و در انتها هم به بررسی کد آن میپردازیم:



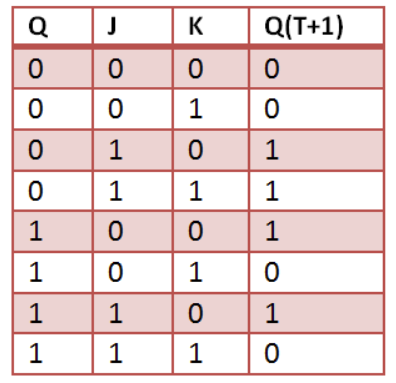
بررسی JK Flipflop :

در این فلیپ فلاپ ورودی های j و k مانند دکمه های set و reset در فلیپ فلاپ عمل میکنند.

شماتیک jk flipflop :

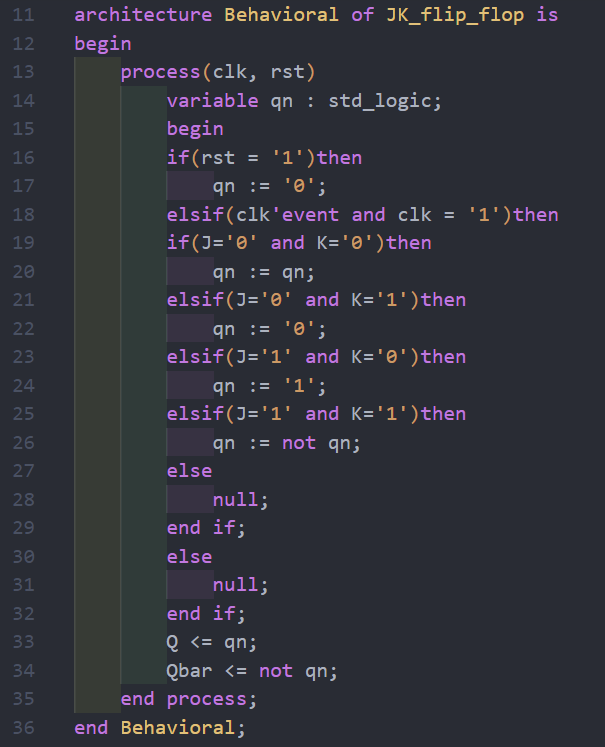


و جدول صحت آن:



بررسی کد پیاده سازی :

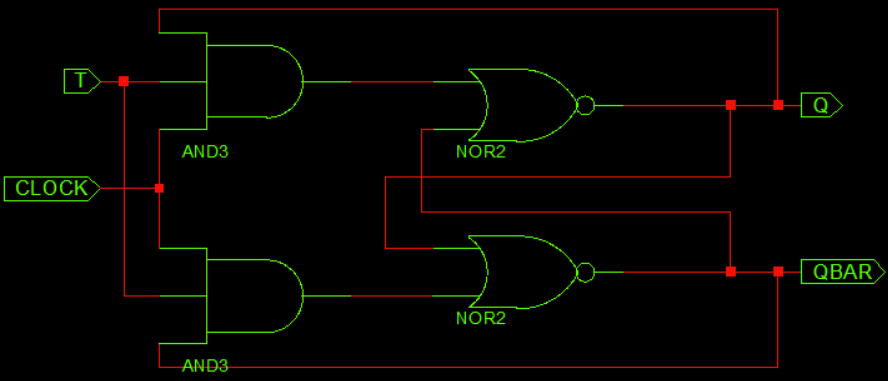
که در این کد به ترتیب k , clk , rst ورودی های ما و q,qbar خروجی های ما میباشند.



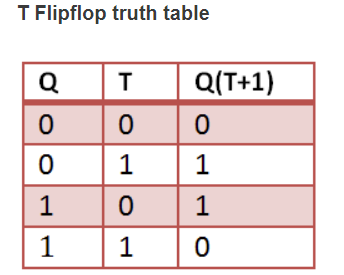
بررسی T FlipFlop :

این فلیپ فلاپ یک نسخه تک ورودی از فلیپ فلاپ jk میباشد. خروجی این فلیپ فلاپ با هر پالس کلاک toggle میکند.

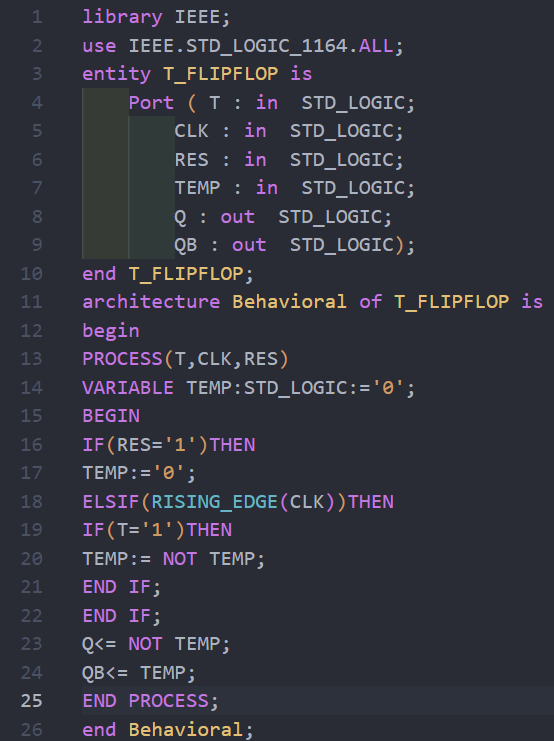
بررسی شماتیک این فلیپ فلاپ :



بررسی جدول صحت:

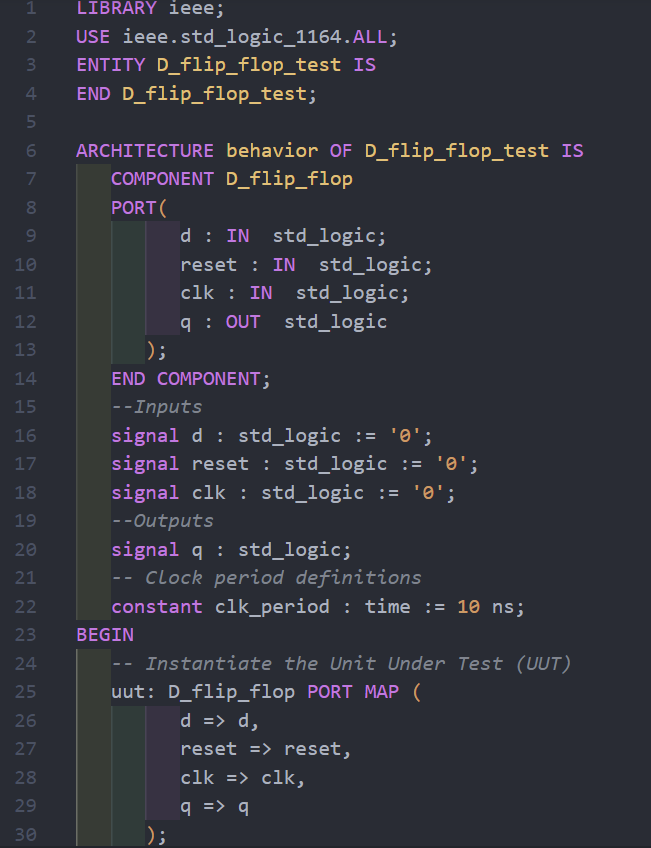


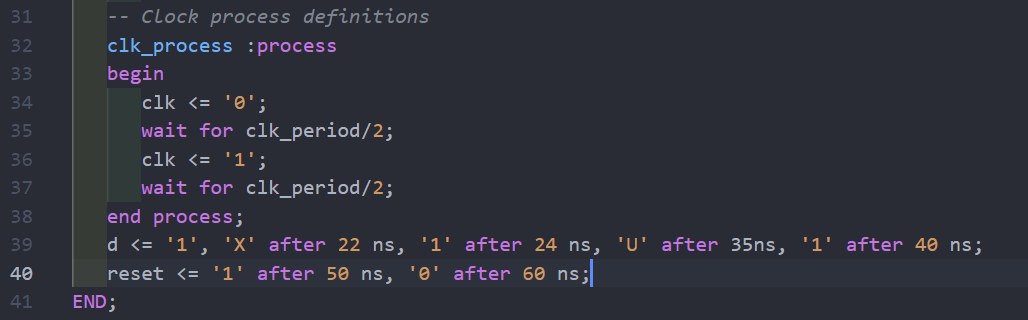
بررسی کد این فلیپ فلاپ :



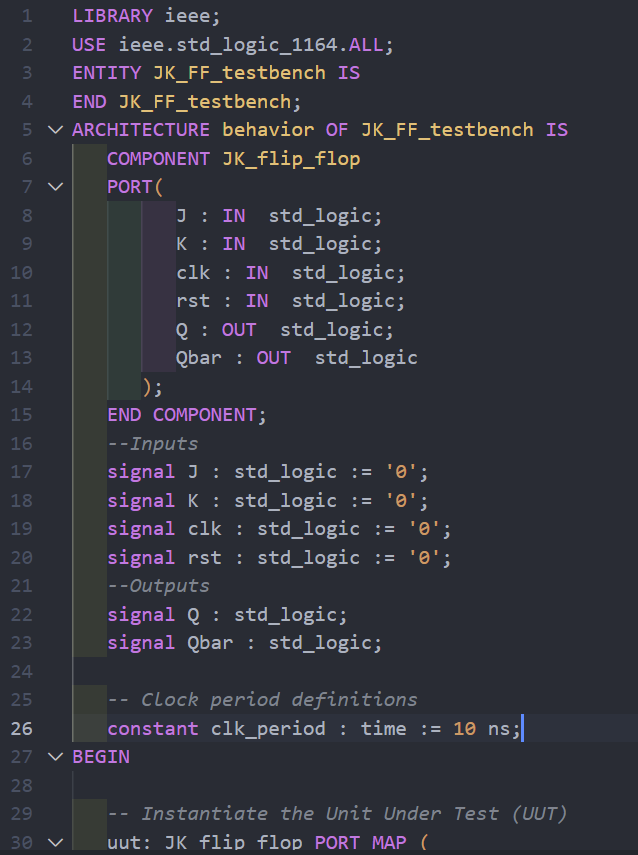
همانطور که مشاهده میشود این فلیپ فلاپ حساس به لبه بالا رونده میباشد.

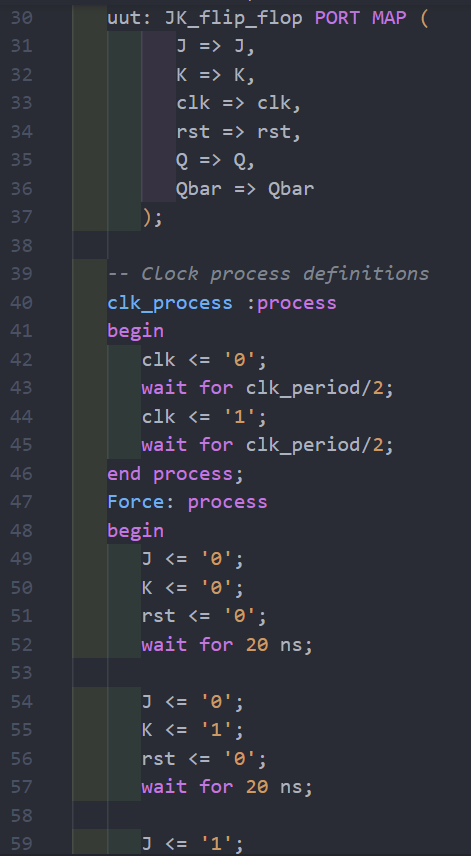
حال نوبت به تست کردن مدار های مربوطه میباشد. که به ترتیب برای تست کردن d flipflop کد زیر را با استفاده از نرم افزار زایلینیکس پیاده سازی کردیم.

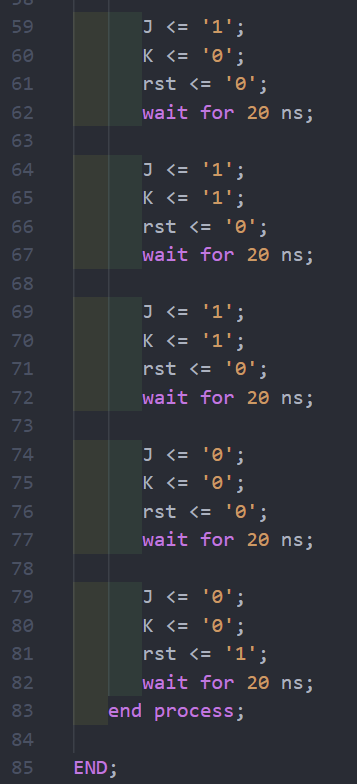




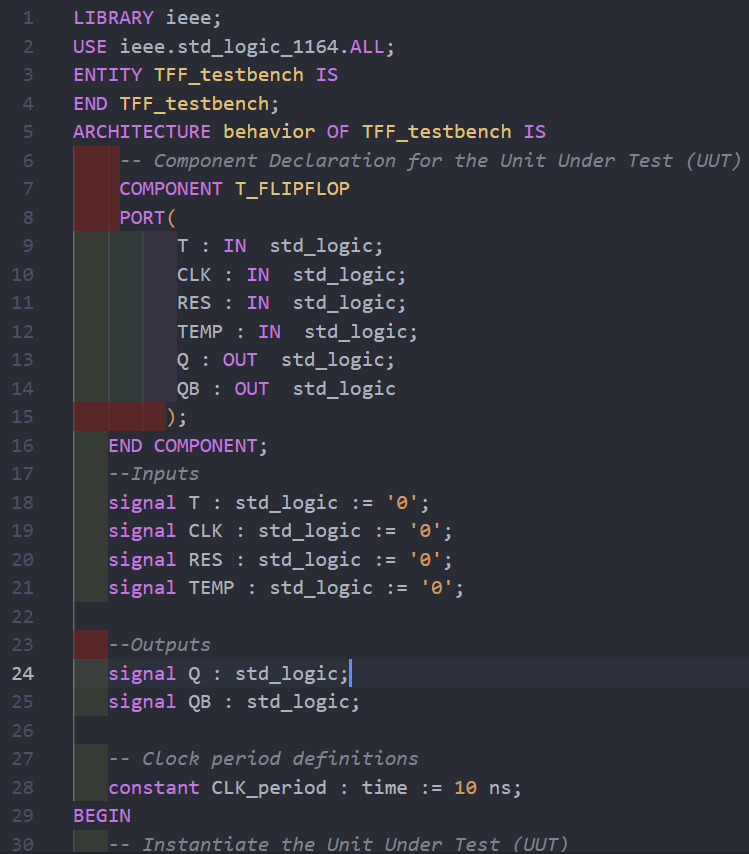
تست jk flip flop :

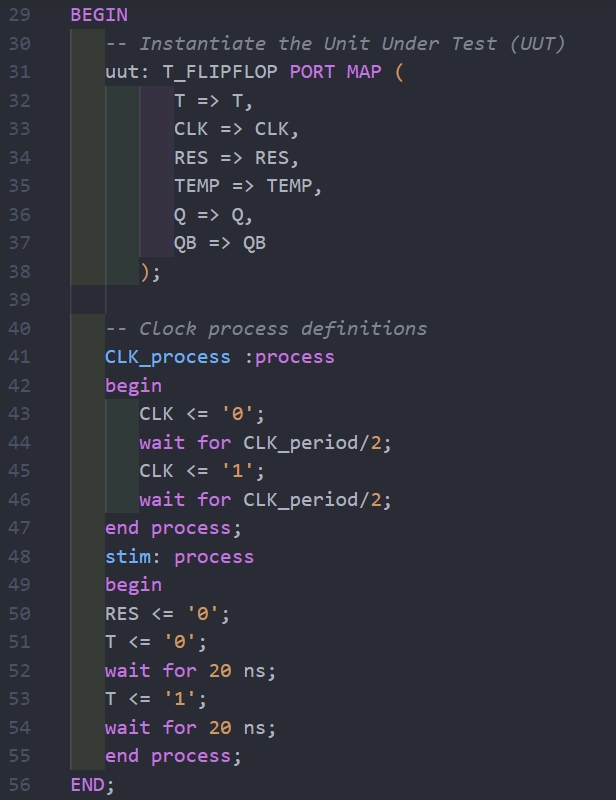




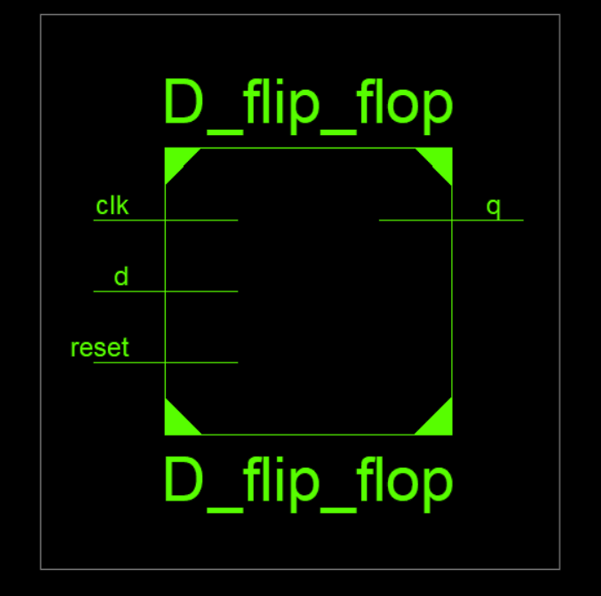


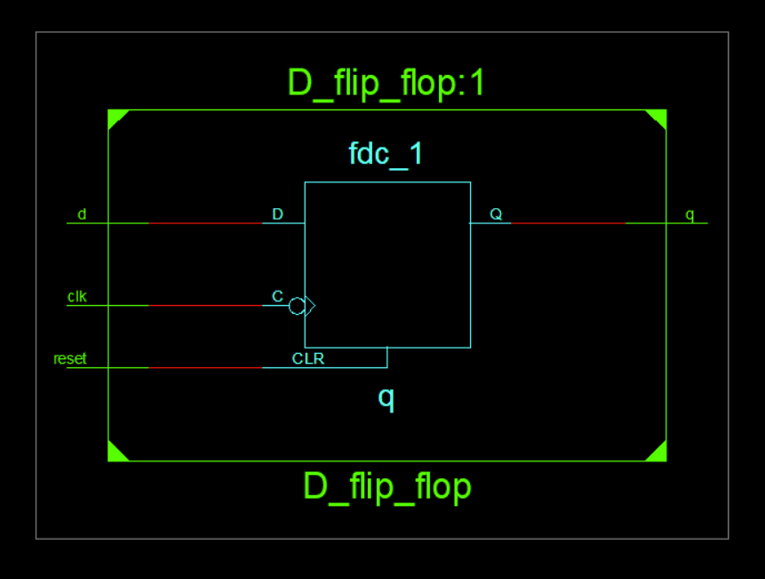
تست t flipflop :

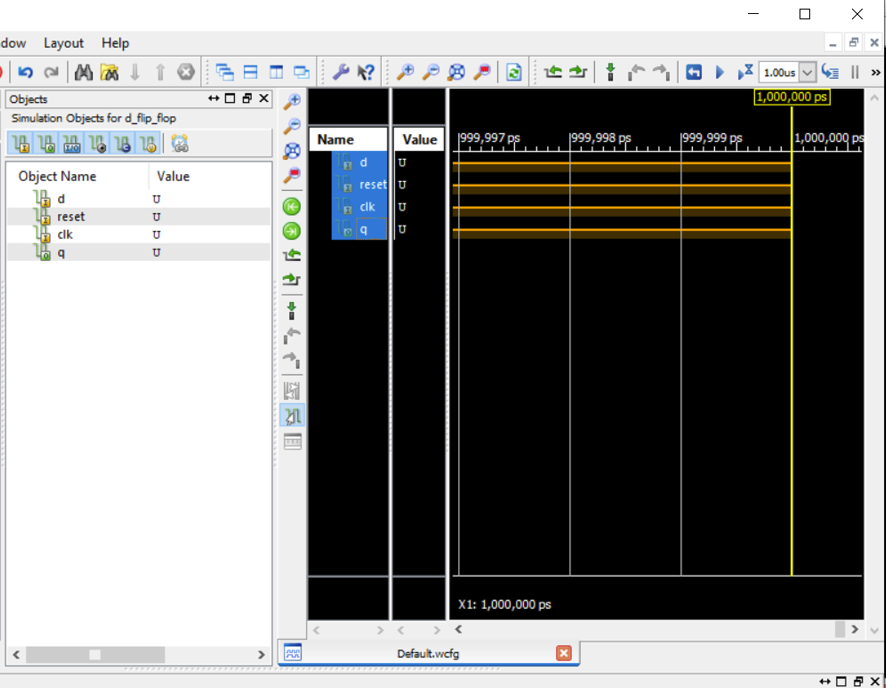




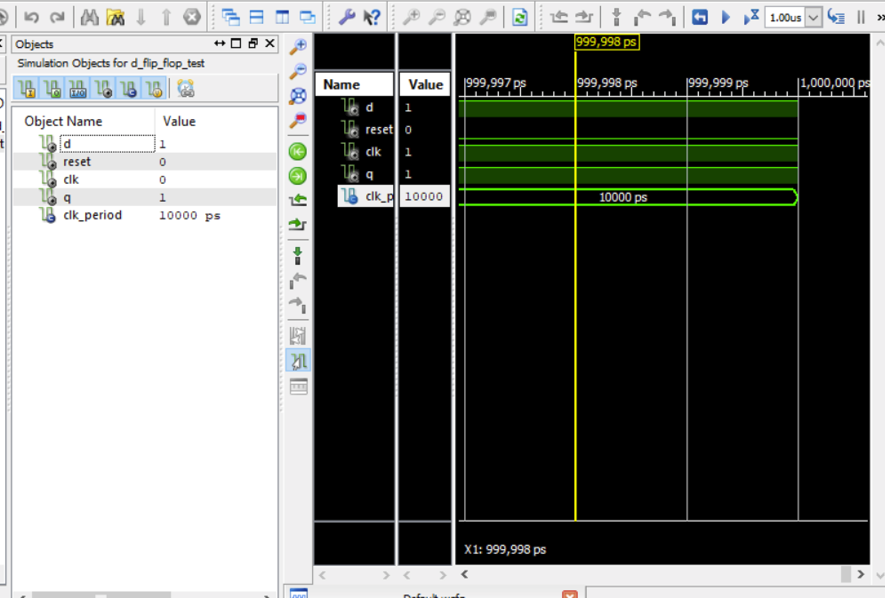
در ادامه تصاویری از شماتیک کلی فلیپ فلاپ ها و نتایج ران کردن آنها در زایلینکس ارائه میدهیم.



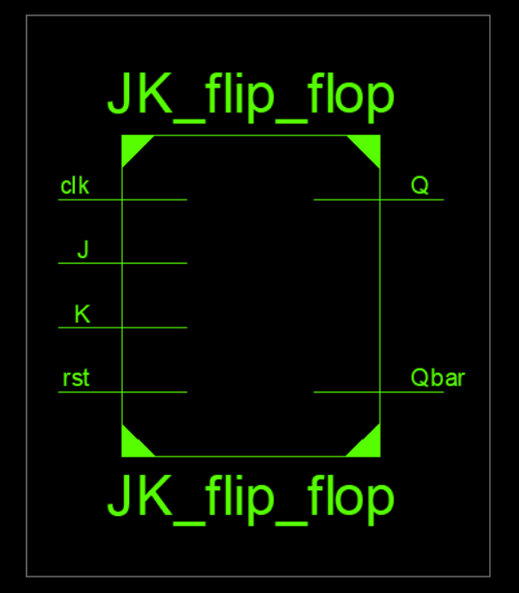


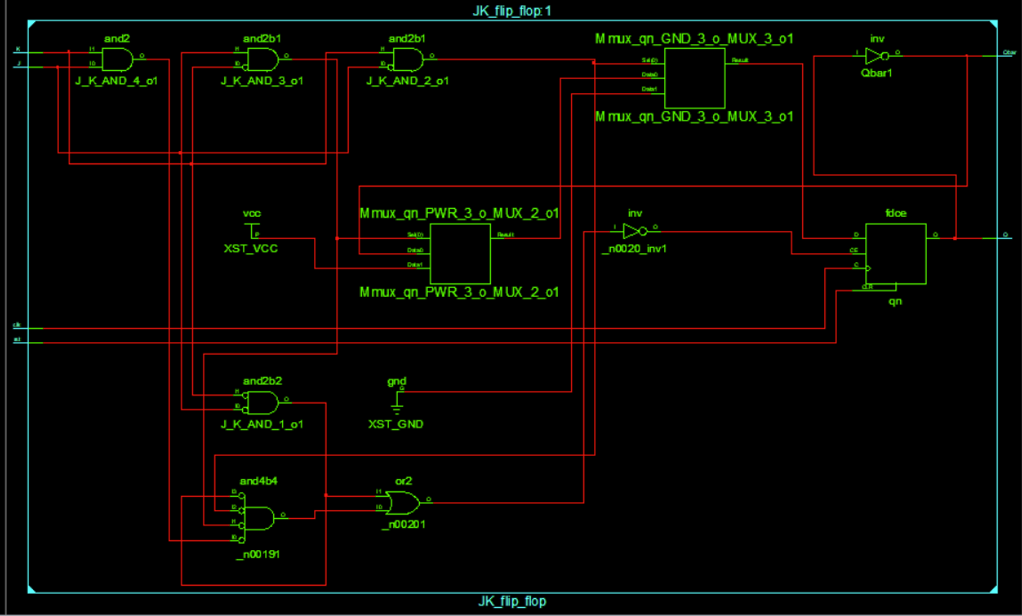


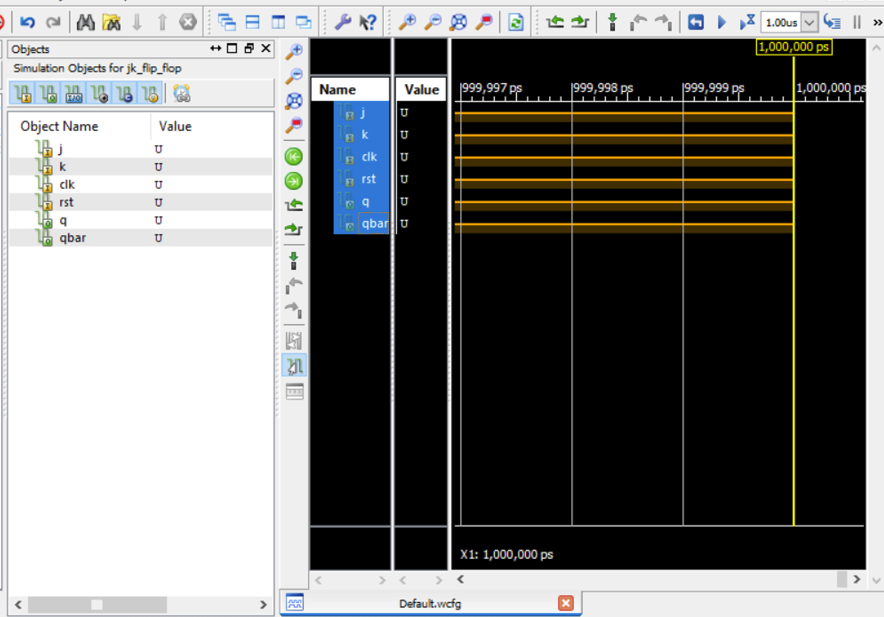
شکل 1 1 برای مدار d flip flop



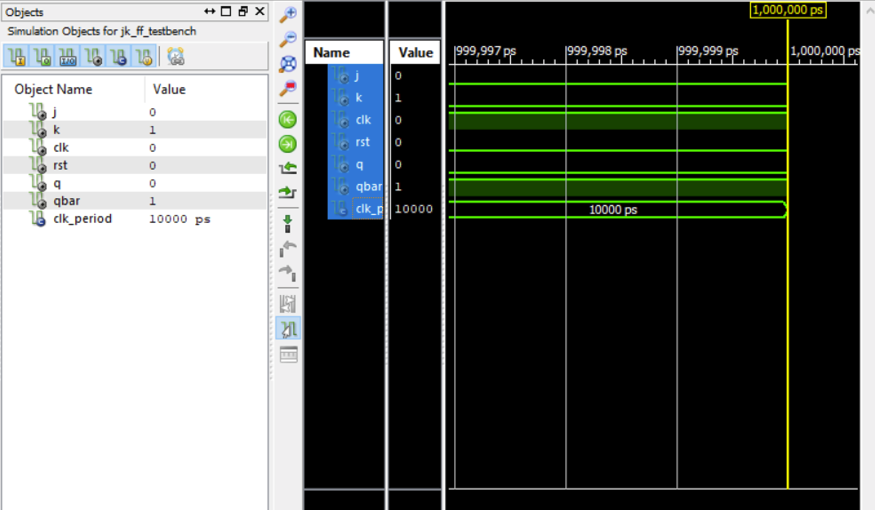
شکل 1 2 تست dflip flop



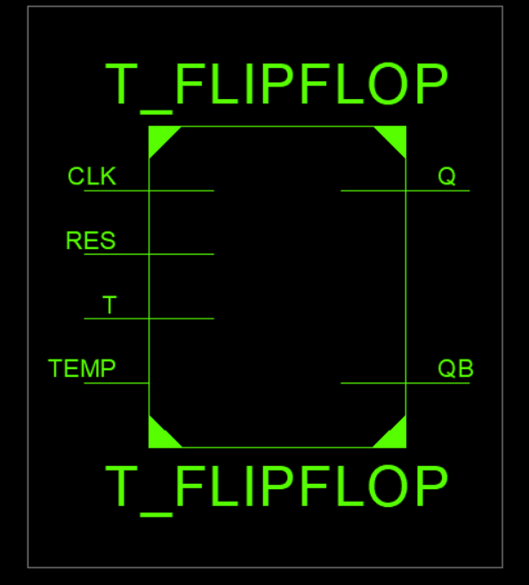


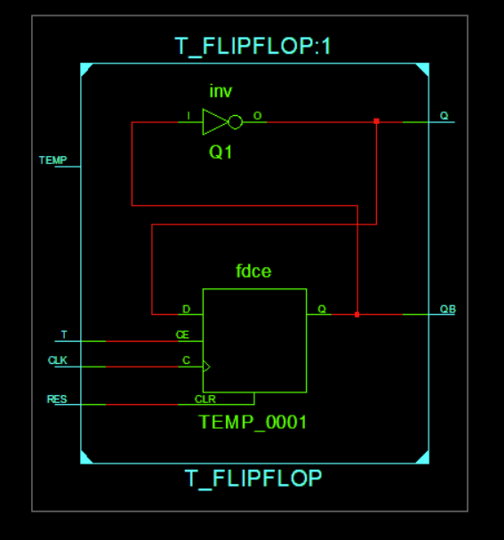


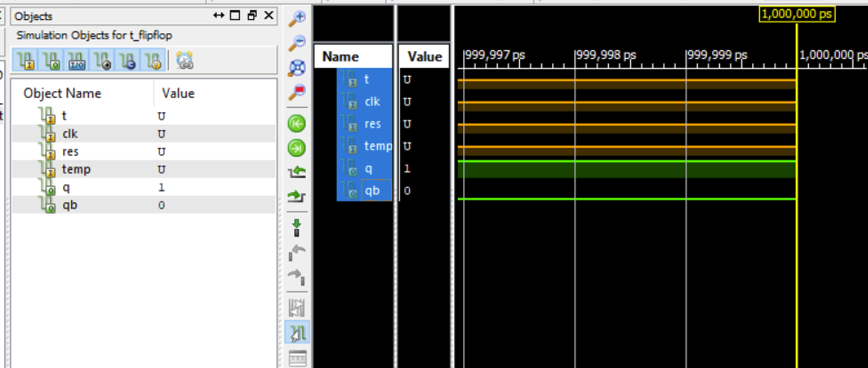
شکل 1 3 برای jk flip flop



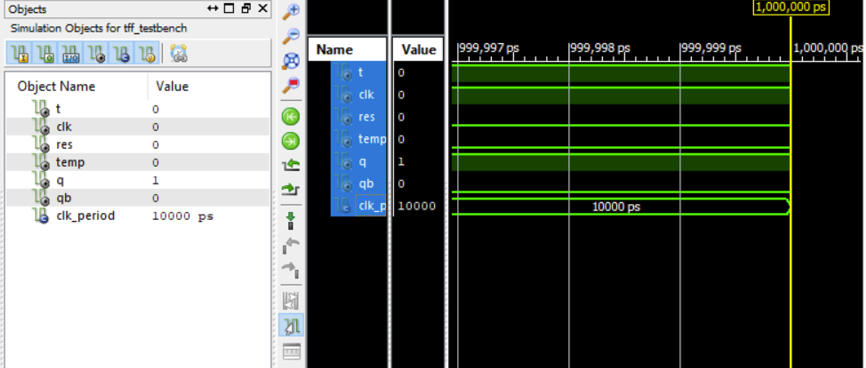
شکل 1 4 تست jk flipflop







شکل 1 5 برای t flip flop



شکل 1 6 تست t flip flop