第5章 触发器 Flip-Flop (FF)

· 组合逻辑电路:

基本单元 — 逻辑门 — 无记忆功能

数字系统中, 信息 — 处理/存储

── 记忆器件或记忆电路

• 时序逻辑电路:

基本单元 — FF — 记忆

触发器定义:

能储存一位二进制信息的基本单元。记忆元件

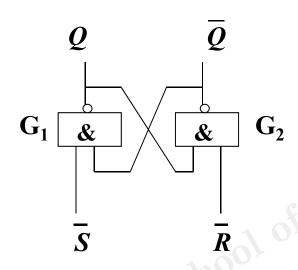
§5.1 电平触发的触发器 Level Triggered Latch

§ 5.1.1 与非门构成的基本RS-FF

基本RS (Reset-Set) 触发器是一种电平触发的触发器,其电路结构是各种触发器中最简单的一种,同时也是其他复杂电路结构的一个组成部分。通常将这类简单结构的触发器成为锁存器 (Latch)。

1. 与非门构成的基本RS-FF

(1) 电路



Note:
$$\begin{cases} \overline{S} \sim Q \\ \overline{R} \sim \overline{Q} \end{cases}$$

两个与非门交叉耦合

输入: \overline{S} Set 置位端

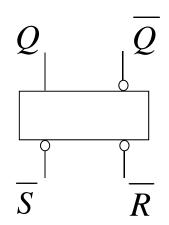
 \overline{R} Reset 复位端

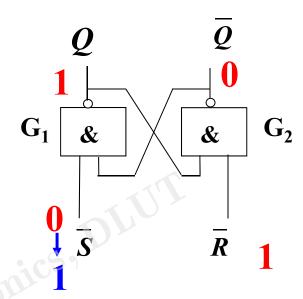
输出: $Q=1, \overline{Q}=0$ "1" 态

 $Q=0, \overline{Q}=1$ "0" 态

定义: 触发器的状态为 Q

符号





- (2) 工作原理 (State ~ Input)
- ① $\overline{S} = 0$, $\overline{R} = 1$ G_1 锁住 Q=1, $\overline{Q}=0$ Set (置1)

如果 \overline{S} 转成 1, 因为 $\overline{Q} = 0$, G_1 锁住, Q = 1

 $\overline{S} = \overline{R} = 1$ 保持原状态: No-change (NC)

触发器保持其目前的状态 (记忆功能)

$$\overline{S} = 1, \overline{R} = 0$$

G₂ 锁住

$$\bar{Q}=1$$
, $Q=0$ Reset (置0)

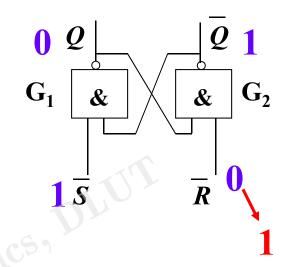
如果 转换成 1,

$$Q = 0$$
, G_2 锁住

$$\bar{S} = \bar{R} = 1$$

$$\bar{S} = \bar{R} = 1$$

保持 $Q = 0$



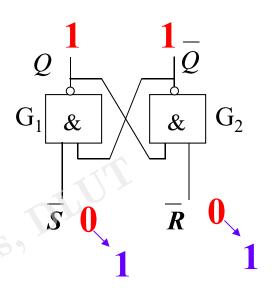
<u> </u>	S	_ R	Q	$ar{Q}$	FF 状态	
	0	•				
	0	1	1	0	Set (1)	S : 置1端
	1	0	0	1	Reset (0)	- R: 置0端
	1	1	NC	NC	Set (1) Reset (0) No-Chang	ge 保持

$$\mathbf{3} \stackrel{\overline{}}{=} \overline{R} = 0, \qquad Q = \overline{Q} = 1,$$

强制为逻辑高电平

当 $\overline{R},\overline{S}$ 同时从 0变到1

此时要看逻辑门的延迟时间 t_{pd} :



都是稳定状态,但不知是哪种。在 \overline{S} \overline{R} 同时从0变到1时,状态不定。

2. RS-FF的功能描述

状态和变量

 Q^{n+1} 下一时刻稳定状态 Q^n 目前的稳定状态 输入变量 (对RS-FF为 \overline{S} \overline{R})

描述逻辑关系 的方法包括:

状态转移真值表(状态表) Truth Table 状态方程(特征方程) State/Characteristics Table 状态转移图和激励表 State Diagram and Transition Table

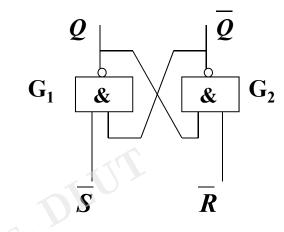
波形图(时序图)Waveform (Timing Diagram)

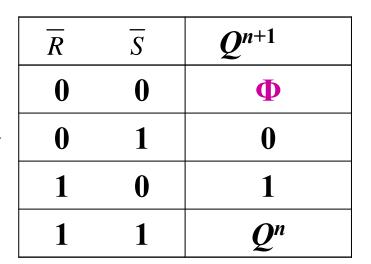
基本 RS-FF功能描述

(1) 功能表

真值表

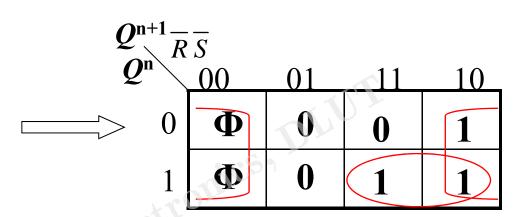
\overline{R}	\overline{S}	Q^n	Q^{n+1}
0	0	0	Ф
0	0	1	Φ
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1





(2) 状态方程 (特征方程)

\overline{R}	\overline{S}	Q^n	Q^{n+1}
0	0	0	Ф Ф
0	0	1	Φ
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1



状态方程 (特征方程)

$$\begin{cases} Q^{n+1} = \overline{\overline{S}} + \overline{R}Q^n \\ \overline{S} + \overline{R} = 1 \end{cases}$$

注意: $将 \overline{R}$ 和 \overline{S} 看作整体输入信号

符号上面的横线表示低电平有效

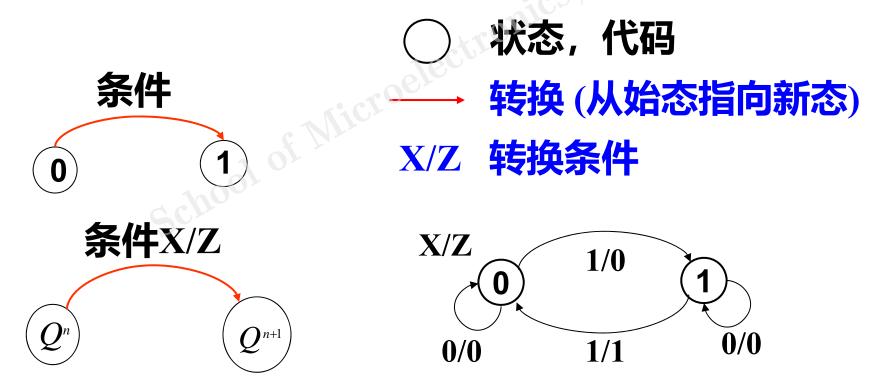
不同时为0

(3) 状态图与状态表

组合电路:真值表 - 输入与输出关系

时序电路:状态图—状态转换及转换条件

状态图 用图形表示输出状态转换的条件和规律



激励表

列出已知状态转换和所需要的输入条件的表称为激励表。 激励表是以现态 Q^n 和次态 Q^{n+1} 为变量,以对应的输入 \overline{R} \overline{S} 为函数的关系表。

表示在什么样的激励下,才能使现态 Q^n 转换到次态 Q^{n+1} 。

$$Q^n \longrightarrow Q^{n+1}$$

\overline{R}	$\overline{\overline{S}}$	Q^n	Q^{n+1} Φ
0	0	0	Φ
0	0	1	Φ
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

基本 RS-FF转换表

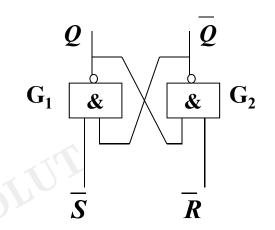
输出转换	FF 输入		
$Q^n \rightarrow Q^{n+1}$	\overline{R} \overline{S}		
0 0	Ф 1		
0 1	1 0		
1 0	0 1		
1 1	1 Ф		

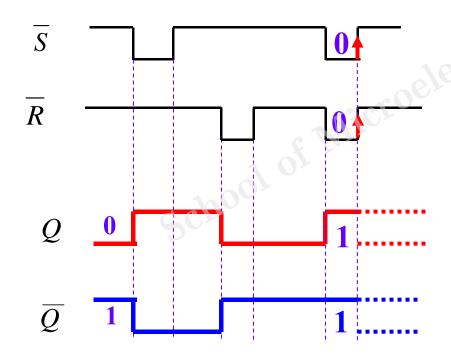
(4) 时序图 (波形图)

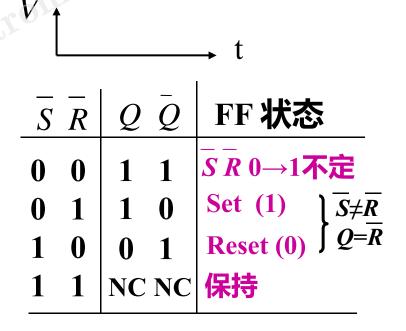
输出波形要对应输入波形。

对应输入画出基本RS - FF输出波形

(初始状态 Q=0)







3. 基本 RS-FF特点

有记忆功能,结构简单,输出信号不受外加信号控制,直接影响于 \overline{R} 、 \overline{S} 。

- (1) 输入信号直接加在输出门上,所以输入信号在全部作用时间里都将全部改变Q、Q的状态。因此,也把R、S称为直接复位端(置0端)和直接置位端(置1端)。
- (2) 状态转换时刻由R、S确定,没有统一的控制信号(时钟, CLK)控制触发器的转换时刻,因此是异步时序电路。
- (3) 由于有输入条件的限制,因此使用的比较少,但是它 是其他各类复杂触发器的基础。

§5.1.2 时钟 FF (同步 FF)

Gated FF (Synchronous FF)

在数字系统中,为协调各部分动作,需要某些FF在同一时刻动作。引入一同步信号,使这些 FF 只有在同步信号到达时才按输入信号改变状态。同步信号被称时钟脉冲信号。

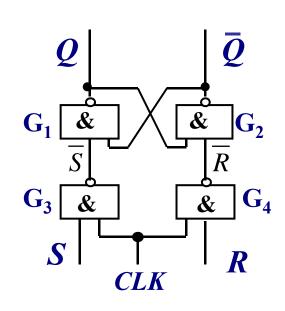
时钟触发器(Gated-Latch)的状态只允许在时钟脉冲CLK=1时发生改变。从触发方式上,时钟触发器和基本RS触发器都属于电平触发的触发器(Level Triggered Latch)。

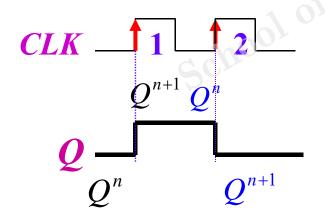
CLK 信号: Clock

CLK 为周期性矩形脉冲波形



1. 时钟 RS-FF (Gated RS-FF)





在基本RS-FF加 G_3 、 G_4 ,只有当 CLK=1, G_3 和 G_4 开门。 当CLK=0, G_3 和 G_4 锁住。

讨论 CLK=1时情况

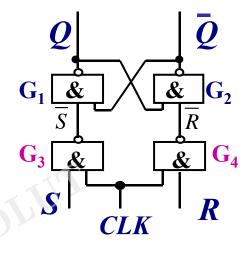
定义:

 Q^n CLK 到来之前 — 原状态 Q^{n+1} CLK 到来之后 — 新状态,次态 对每一个CLK,都有 Q^n , Q^{n+1}

$\overline{S} \overline{R}$	Q \bar{Q}	FF state
0 0	1 1	 S R 0→1不定
0 1	1 0	Set (1)
1 0	0 1	Reset (0)
1 1	NC NC	保持

时钟 RS-FF 真值表

SRQ ⁿ	Q^{n+1}	描述
0 0 0	0	S=R=0
0 0 1	1	$Q^{n+1}=Q^n$
0 1 0	0	
0 1 1	0	R≠S
1 0 0	150	$Q^{n+1}=S$
1 0 1	1	J
1 1 0	$ \mathbf{\phi} $	R=S=1,
1 1 1	$\left \begin{array}{c} \mathbf{\phi} \end{array}\right $	$Q = \overline{Q} = 1$ $S R 1 \rightarrow 0 \phi$



$$\bullet S=R=0$$
 FF 保持 $Q^{n+1}=Q^n$

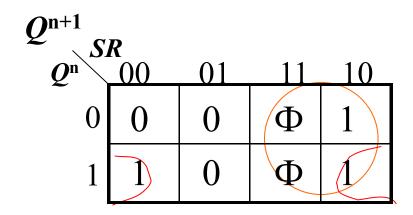
$$S=0, R=1$$
 $G_3=1, G_4=0$
 $Q^{n+1}=0$

•
$$S=1, R=0$$

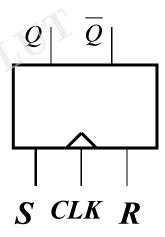
 $G_3=0, G_4=1$ $Q^{n+1}=1$

$$\circ S=1, R=1, Q=\overline{Q}=1,$$
 S 和 R $1\rightarrow 0, Q$ 不确定

输出与输入之间关系







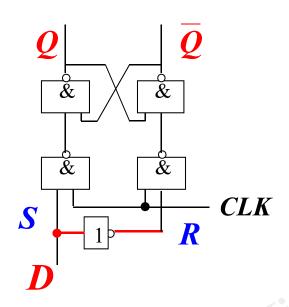
同步RS-FF特征方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ S \cdot R = 0 \end{cases}$$
 (不同时为1)

缺点:

不确定状态

2. 时钟D-FF (Gated D-FF)



$\begin{array}{c|cccc} \hline Q & \overline{Q} & \downarrow & \downarrow \\ \hline Q & \overline{Q} & \downarrow \\ \hline D & CLK & D & CLK \end{array}$

control

在 S 和 R 之间加一个非门, 使 $S \neq R$

S=D, $R=\bar{D}$ 无状态不定

工作原理:

CLK = 0, FF 保持

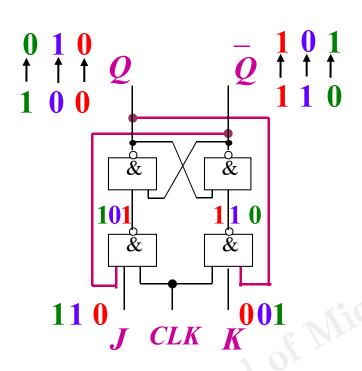
CLK =1, FF 工作

$$\begin{cases} D=1, (S=1, R=0) & Q^{n+1}=1 \\ D=0, (S=0, R=1) & Q^{n+1}=0 \end{cases}$$

同步 D-FF 状态方程:

$$Q^{n+1} = D$$

3. 时钟 JK-FF (Gated JK-FF)



加两条反馈线到输入端

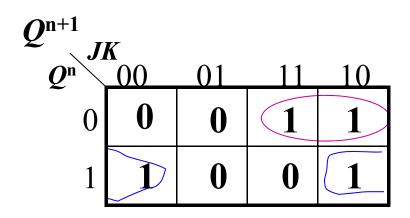
$$S = J\overline{Q}^n$$
, $R = KQ^n$

 Q, \overline{Q} 不同时为1, R S不同时 $1 \rightarrow 0$, 无状态不定

两输入: *J*, *K CLK* = 0, FF 停 *CLK* = 1, FF 工作

JKQ ⁿ	Q^{n+1}	描述
0 0 0	0] <i>J=K</i> =0
0 0 1	1	$\int J=K=0$ $\int Q^{n+1}=Q^n$
0 1 0	0)
0 1 1	0	∫ <i>J≠K</i>
1 0 0	1	$\int Q^{n+1} = J$
1 0 1	1	J
1 1 0	1	<i>J=K</i> =1_
1 1 1	0	$\int Q^{n+1} = \overline{Q}^n$

JK-FF 特征方程



从 RS-FF:

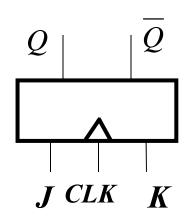
$$Q^{n+1} = S + \overline{R}Q^{n}$$

$$= J\overline{Q}^{n} + \overline{K}Q^{n}Q^{n}$$

$$= J\overline{Q}^{n} + \overline{K}Q^{n}$$

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$



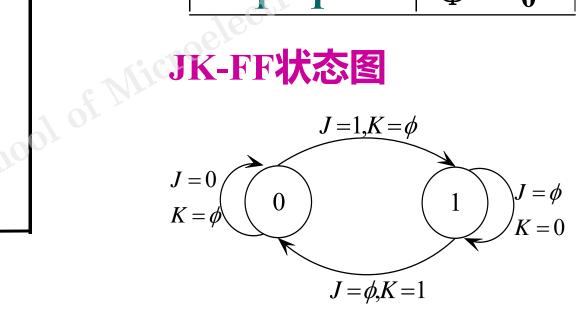


状态表

$\int \! J$	K	$Q^{\rm n}$	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	do
1	1	1	0

JK-FF 激励表

输出转换	FF 输入	
$Q^n \rightarrow Q^{n+1}$	$oldsymbol{J}$	K
0 0	0	Ф
0 1	1	Φ
1 0,099	Φ	1
1:01	Φ	0



4. 时钟T-FF

$$J = K = T$$

$$Q \qquad \overline{Q}$$

$$J \qquad CLK \qquad K$$

$$T \qquad CLK$$

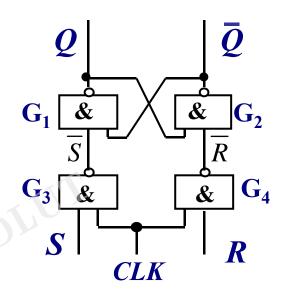
T-FF状态方程:

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n$$

$$\begin{cases} T = 0, \ Q^{n+1} = Q^n \ \text{保持} \end{cases}$$
 $T = 1, \ Q^{n+1} = \overline{Q}^n \ \text{翻转}$

5. 同步触发器的特点

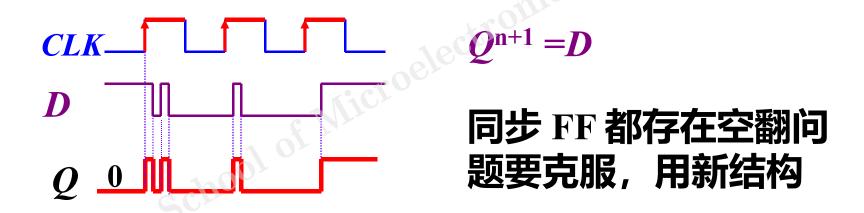
触发器由统一的时钟信号控制工作 ,所以时钟触发器是同步时序逻辑电路 ,也称同步触发器。时钟触发器采用时 钟脉冲信号的高电平完成触发电路的控



制。因此在整个时钟高电平*CLK*=1期间,输入信号都可以影响触发器的状态输出。所以,从触发方式上,时钟触发器也属于电平触发。在*CLK*=1期间,门G₃、G₄开启,如果R、S在*CLK*=1期间多次变化,Q也将随之多次变化,即输出状态不是按照时钟节拍变化。

在 CLK=1期间,FF处于触发状态, Q^{n+1} 随着输入信号 R, S, D, J, K, T 的变化而变化,出现空翻现象。

一个 CLK 周期内,Q 端只能变化一次,变化一次以上称为触发器的空翻。

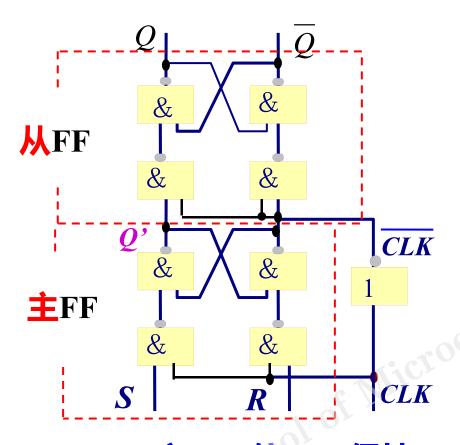


这一缺点限制了此类触发器的应用范围,同时 触发器的抗干扰能力较差。

§5.2 脉冲触发的触发器

§5.2.1 主从RS-FF (Master-Slave RS-FF)

为了克服 FF 的空翻,提高触发器可靠性,希望其状态在每个时钟周期只变化一次。为此,在时钟RS触发器基础上设计了主从RS触发器(Master-Slave RS Flip-Flop)。



两个相同的同步RS-FF 相连,两个CLK之间加一 个非门(一个 FF 工作, 另 一个停止)。

从触发器的状态 Q 为整个触发器的状态。

主触发器的状态为Q'

CLK=0, 主-FF停, Q'保持 \overline{CLK} =1, 从FF开门,

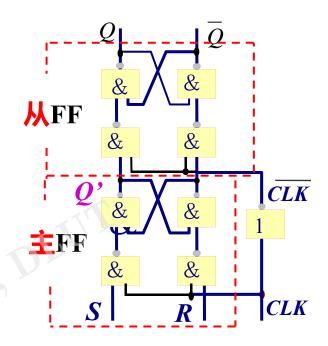
 $\}$:Q'保持 :Q保持

 $\frac{CLK=1}{CLK}=0$, 从 FF 关门 $\stackrel{\cdot}{\sim}$ Q 保持

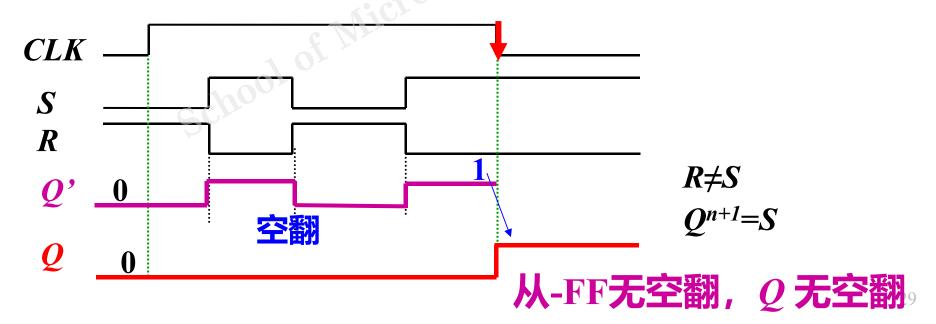
∴在 CLK=0 和 CLK=1期间, Q 保持

在 CLK 从 1 到 0 (CLK 下降沿)的时刻, 主FF内的信息传送到 Q

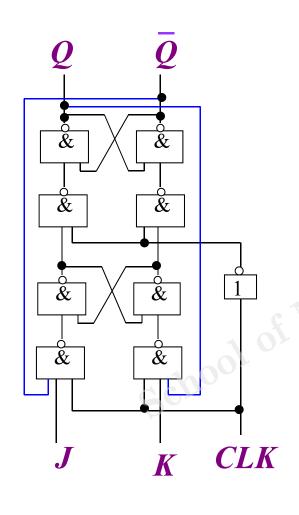
∴主从结构 RS-FF 是在CLK 下降沿 触发的FF



Q 是CLK 有效边沿到达之前的最后信息



§ 5.2.2 主从 JK-FF



在主从RS-FF上引出两条反馈 线构成主从 JK-FF。

主从 JK-FF 是合格产品,无空翻,无状态不定

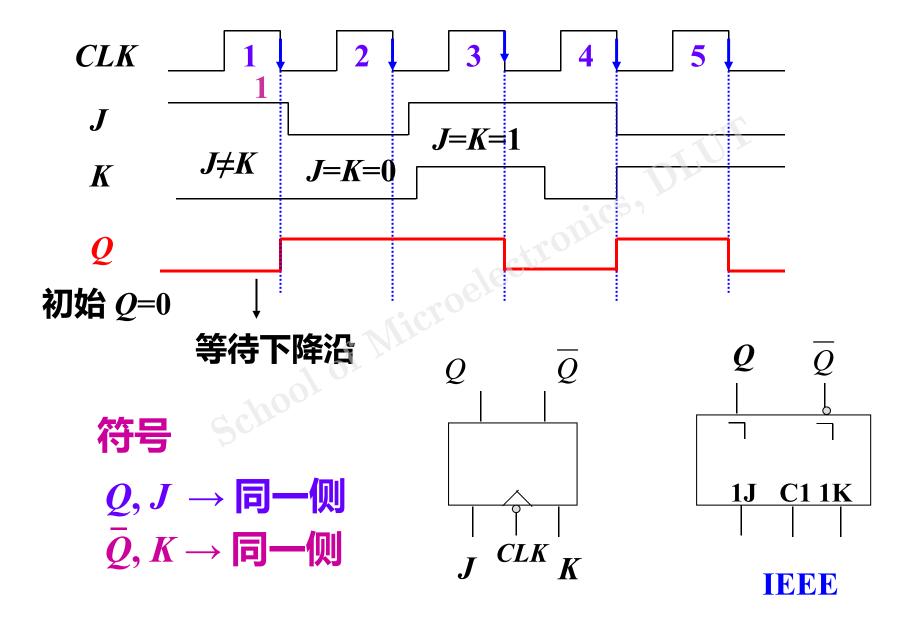
功能描述

主从 JK-FF 在 CLK 下降沿触发。在 $\overline{S}_D = \overline{R}_D = 1$ 条件下, CLK 下降沿到来之前,

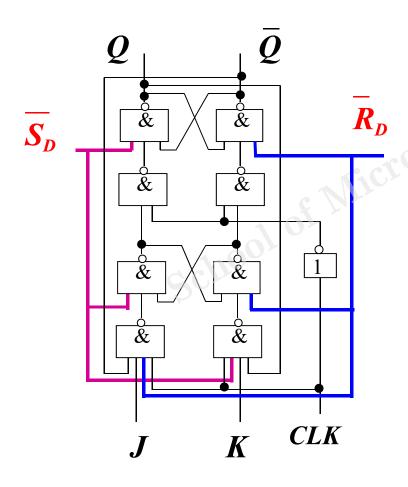
若
$$J=K=0$$
 CLK $Q^{n+1}=Q^n$ 若 $J\neq K$ CLK $Q^{n+1}=J$ $Q^{n+1}=J$

不用考虑 Q' Q^n 为有效边沿前的最后信息

练习



§ 5.2.3 触发器的直接输入



直接置位输入 (Set 1)
$$\overline{S}_D$$
 强制 直接复位输入 (Set 0) \overline{R}_D

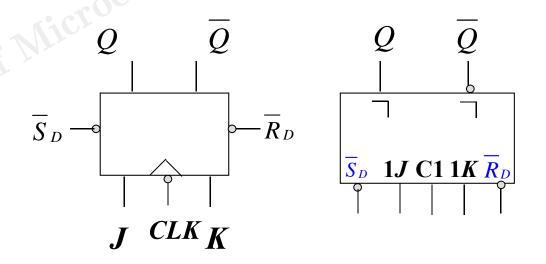
$$\overline{R}_D = 0$$
, $\overline{S}_D = 1$, $Q = 0$
 $\overline{S}_D = 0$, $\overline{R}_D = 1$, $Q = 1$

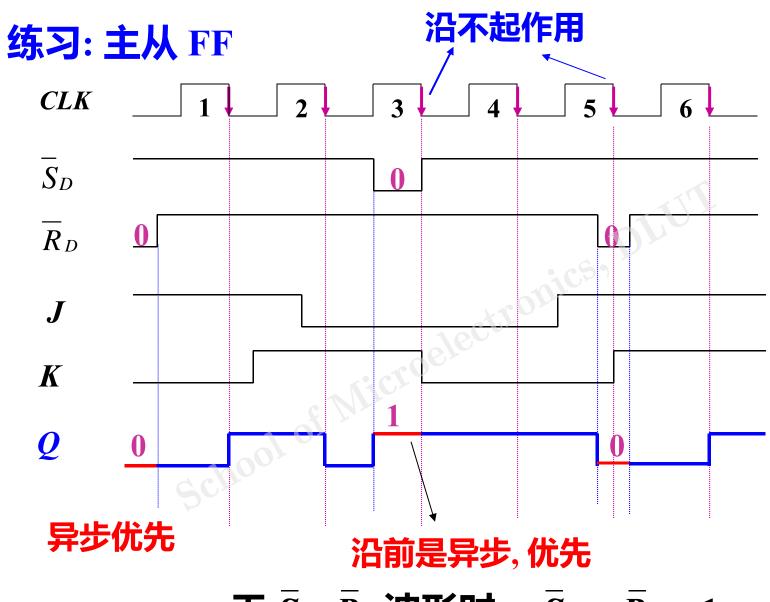
异步输入强制触发器的状态,绝对优先,与 J, K, CLK 等信号无关。

$\overline{S}_D \overline{R}_D$	$CLK J K Q^n$	Q^{n+1}
0 0		不允许
0 1	φφφφ	
1 0	φφφφ	0 \overline{R}_D 直接置 0 (清 0)
1 1		FF 工作

$$\begin{cases} \mathbf{Q}^{\mathbf{n+1}} = \mathbf{J}\mathbf{Q}^{\mathbf{n}} + \mathbf{K}\mathbf{Q}^{\mathbf{n}} \\ \overline{S}_D = \overline{R}_D = 1 \end{cases}$$

$$Q, J, \overline{S}_{\mathrm{D}} \rightarrow$$
 同一侧 $\overline{Q}, K, \overline{R}_{\mathrm{D}} \rightarrow$ 同一侧





无 \bar{S}_D , \bar{R}_D 波形时, $\bar{S}_D = \bar{R}_D = 1$