

§ 3.2 TTL 集成门电路

§ 3.2.1 TTL 与非门 TTL NAND Gates

TTL——Transistor Transistor Logic 晶体管晶体管逻辑

TTL系列 {

- 74: 经典系列
- 74H: 高速系列
- 74S: 肖特基系列
- 74LS: 低功耗、肖特基

TTL 系列典型值

高电平 1: 2.8~3.6 V

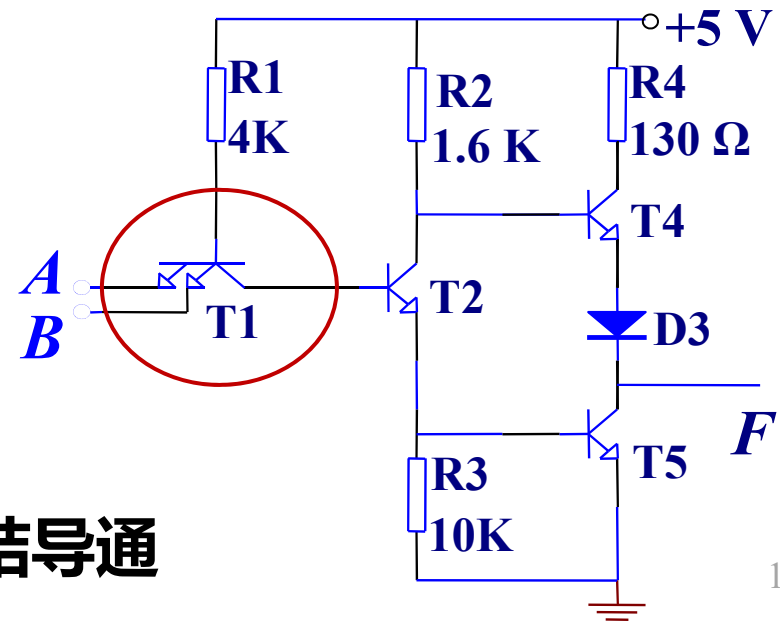
低电平 0: 0~0.3 V

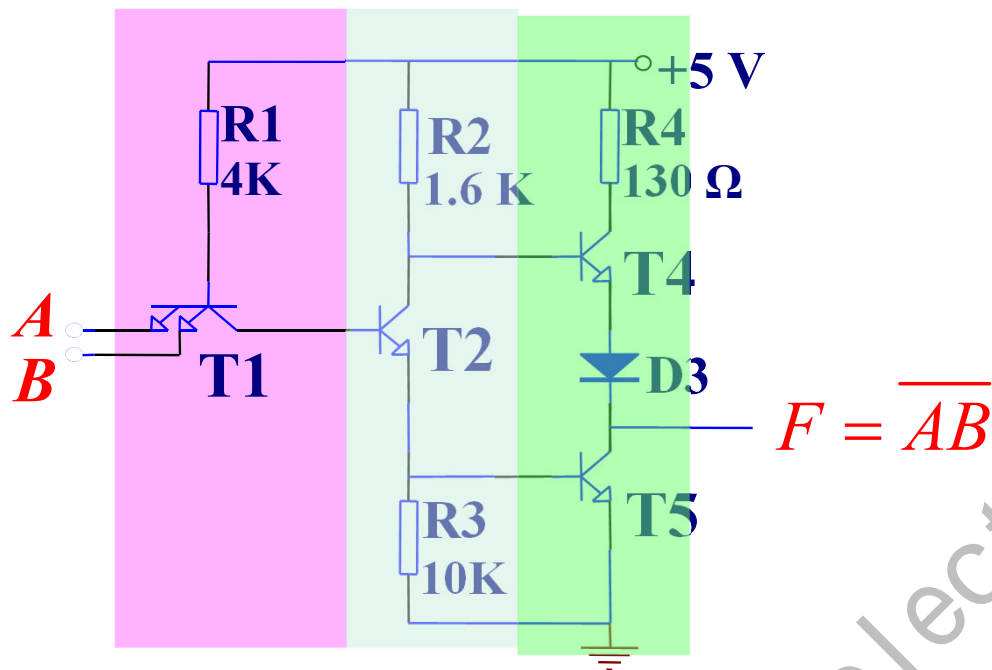
1. 工作原理

$$F = \overline{AB}$$

T1: 两发射极 (多发射极), 两个be结

A、B任意接低电平, 必有一个发射结导通





输入部分: T_1 与门

倒相级: T_2 、 R_2 、 R_3

输出级: R_4 、 T_4 、 D_3 、 T_5

与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

A 或 B 或二者为低, F 为高电平

A 和 B 都为高电平时, F 为低电平

1) 入端有低 (either or both)

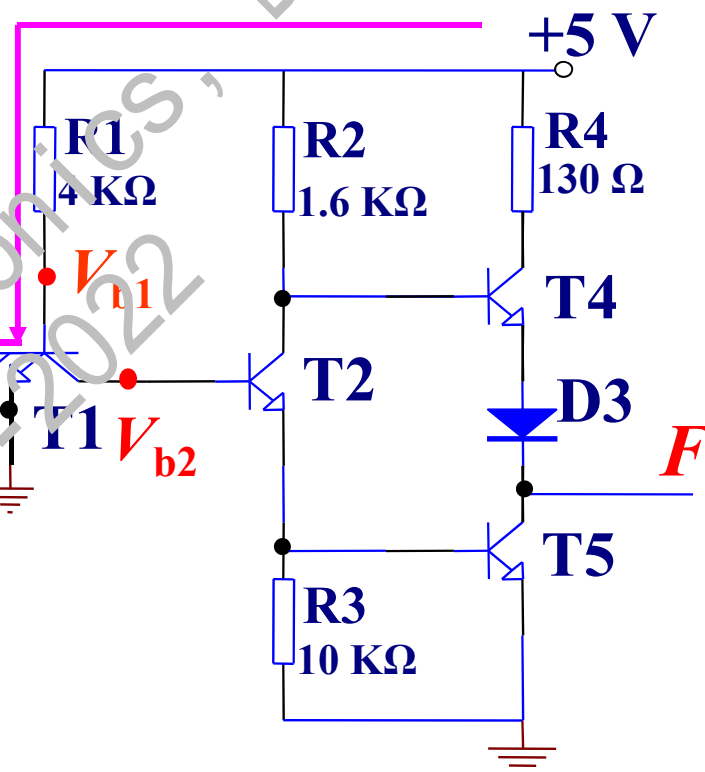
A / B / 二者接地, T1 导通, 电流从 +5 V 电源经 R1 和 T1 到地。

$$I_i = \frac{5 - 0.7}{4 \times 10^3} = 1.1 \text{ mA}$$

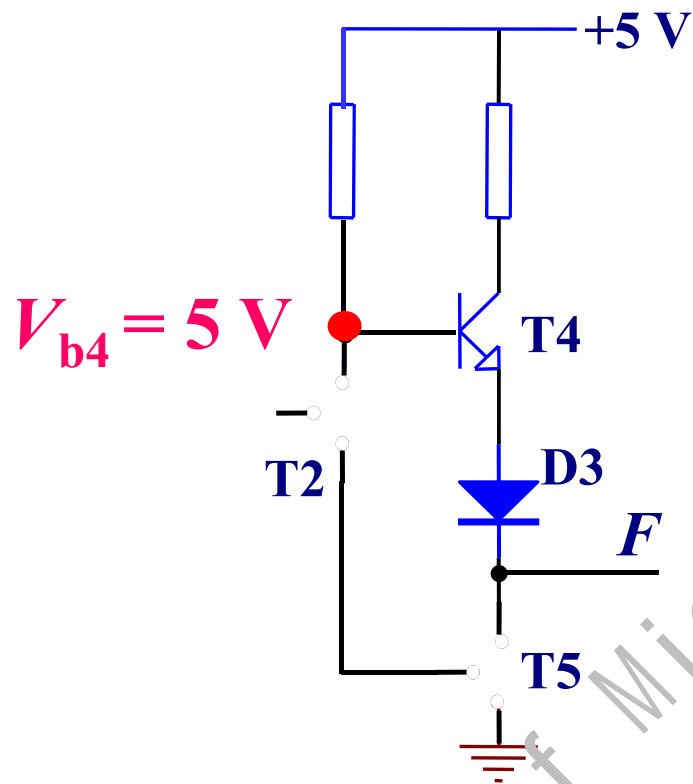
$$V_{b1} = 0.7 \text{ V} \quad V_{e1} = V_{b2} = 0.3 \text{ V}$$

0.3 V 不足以使 $T2_{be}$ 正向导通

$\therefore T2$ 截止, $T5$ 截止



T2、T5 截止 等效电路:



$$V_{b4} \approx 5 \text{ V}$$

输出

$$F = 5 - 0.7 \text{ V} - 0.7 \text{ V} = 3.6 \text{ V}$$

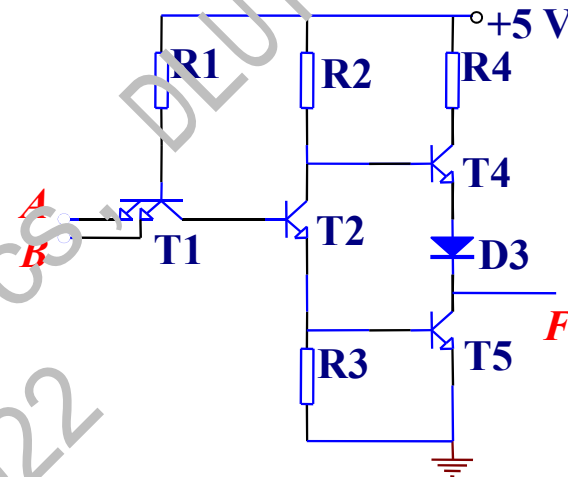
$T4_{be}$

D3

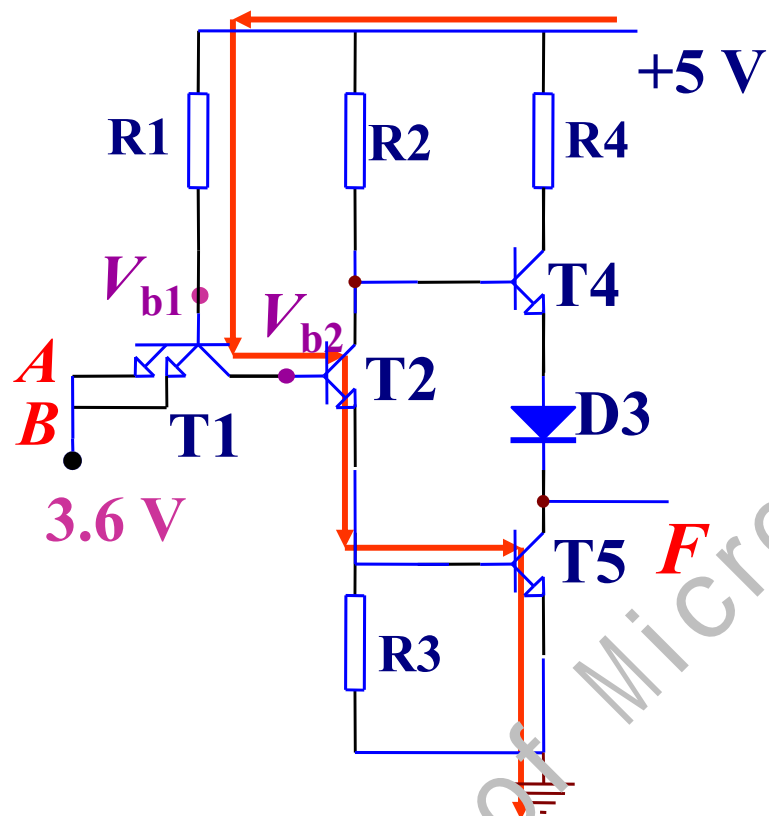
典型高电平

输入端有低电平, 输出为高电平

关门状态



2) 入都为高 (A 和 B 都为高电平) 3.6 V



A 和 B 都是 3.6 V,

T1 导通,

V_{b1} 钳位 4.3 V ($=3.6 + 0.7$),

V_{b2} 钳位 3.9 V ($=3.6 + 0.3$)

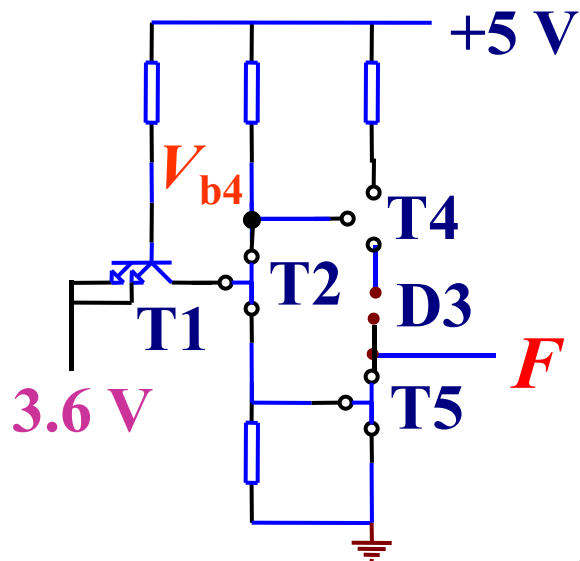
3.9 V 足以正向导通

T2_{be} 和 T5_{be} 结。

∴ T2, T5 导通

电流从 +5 V 电源, 经 T1, T2 和 T5 流向地.

等效电路:



输入全高, 输出低
开门状态

实现与非功能:

$$F = \overline{AB}$$

T2 和 T5导通

$$\begin{aligned} V_{b4} &= V_{be5} + V_{ce2} \\ &= 0.7 + 0.3 = 1.0 \text{ V} \end{aligned}$$

不足以同时
正向导通T4_{be} 和 D3

T4, D3 截止

输出

$$F = V_{ce5} = 0.1 \sim 0.3 \text{ V (低)}$$

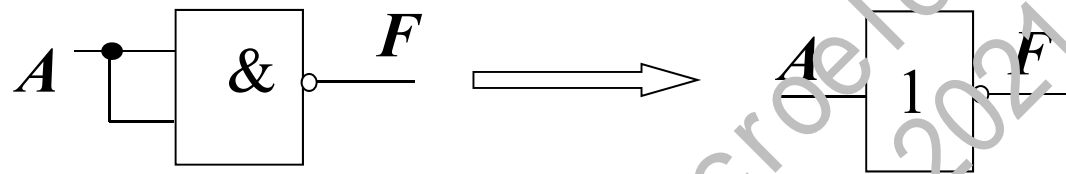
T5 饱和压降

§ 3.2.2 TTL 与非门的电气特性

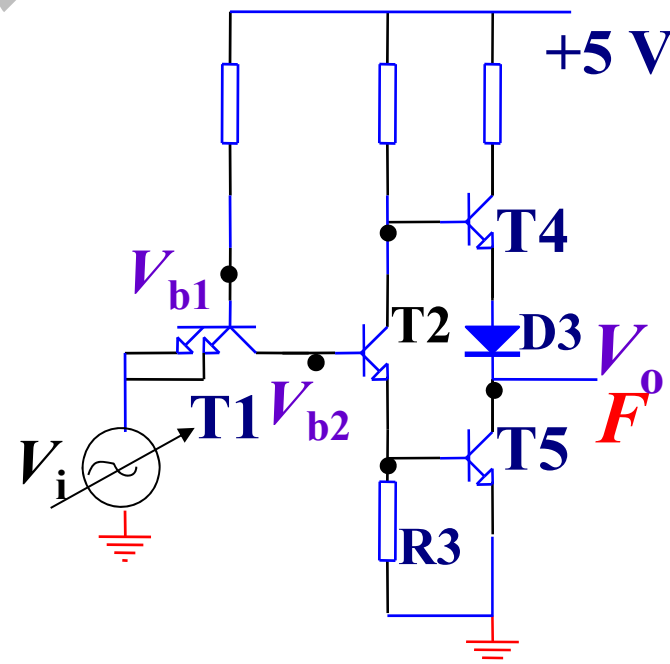
Electrical Properties of TTL NAND Gates

1. 电压传输特性

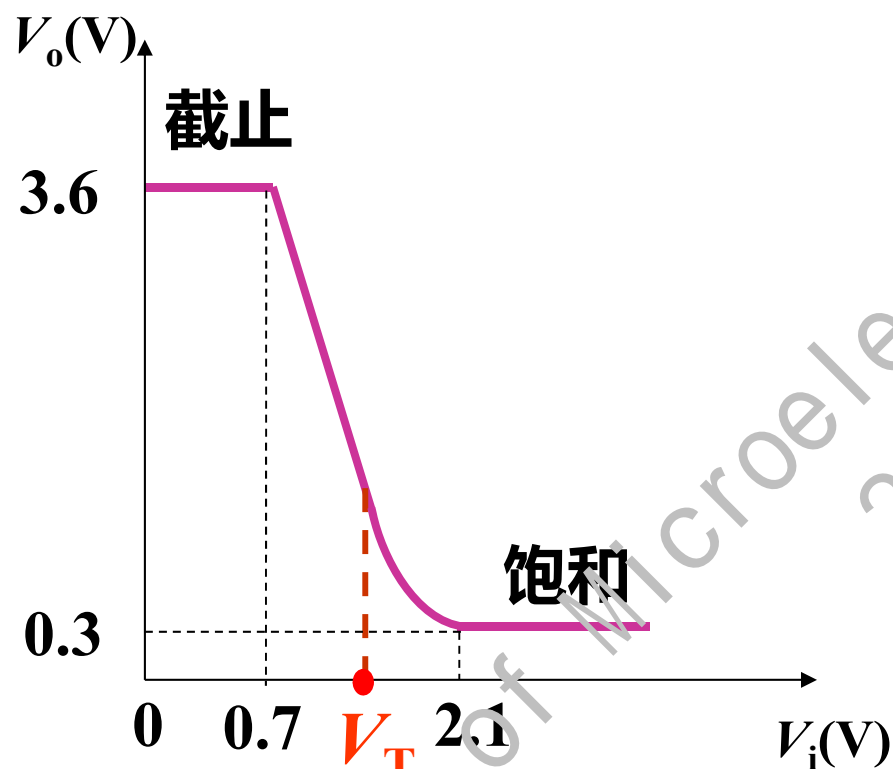
将与非门输入连在一起, 相当于非门



研究当输入 $V_i(A)$ 从低到高时,
输出 $V_o(F)$ 如何从高到低



电压传输特性



TTL 系列典型值

高电平 1: 2.8~3.6 V

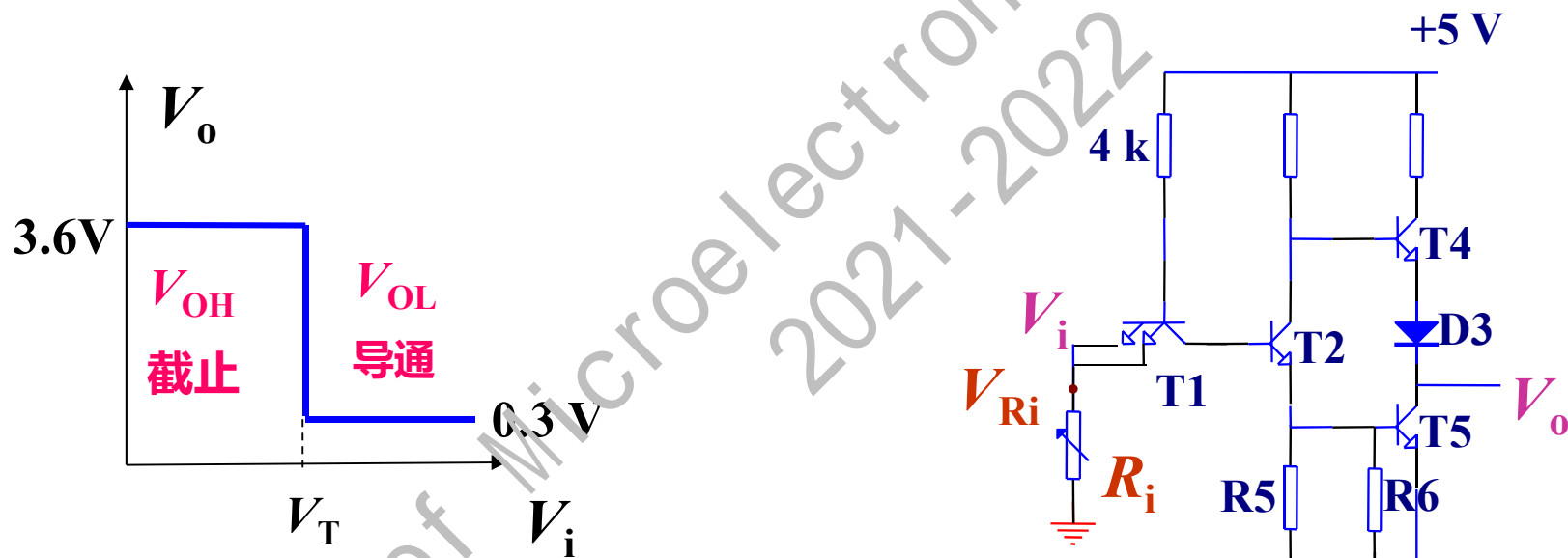
低电平 0: 0~0.3 V

V_T : 阈值电压 (门坎电压)
Threshold voltage
通常取1.4V

Input V_i $\left\{ \begin{array}{ll} V_i < 1.4V & \text{logic 0} \\ V_i > 1.4V & \text{logic 1} \end{array} \right.$

2. 输入负载特性

理想的TTL与非门电压传输特性是:



输入电阻 R_i $V_{Ri} = V_i$

求出当 $V_i = V_T = 1.4V$ 时的输入电阻值 R_T

R_i 小, V_{Ri} 低 \Rightarrow 输入低电平

R_i 大, V_{Ri} 高 \Rightarrow 输入高电平

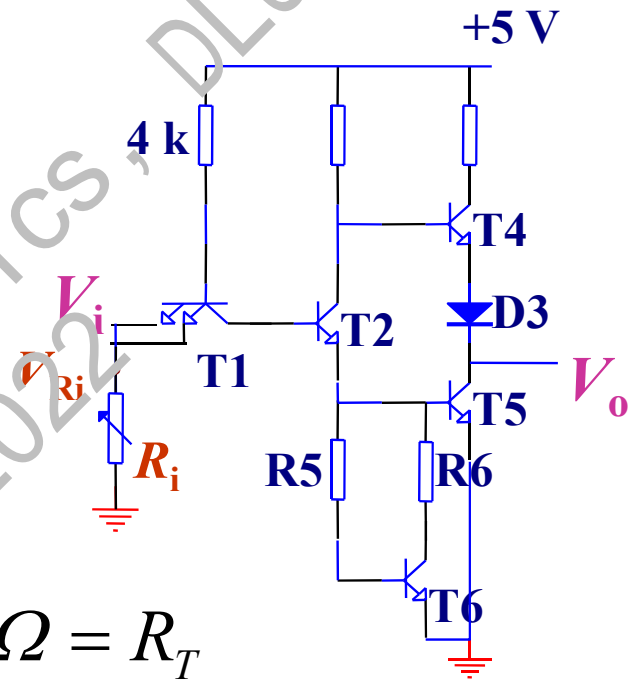
$$V_{Ri} = \frac{R_i}{4 \times 10^3 + R_i} (5 - 0.7)$$
$$= 1.4 \text{ V } (V_T)$$

门坎电压时的 R_i $R_i = 1.9 \text{ k}\Omega \approx 2 \text{ k}\Omega = R_T$

R_T : 门坎电阻

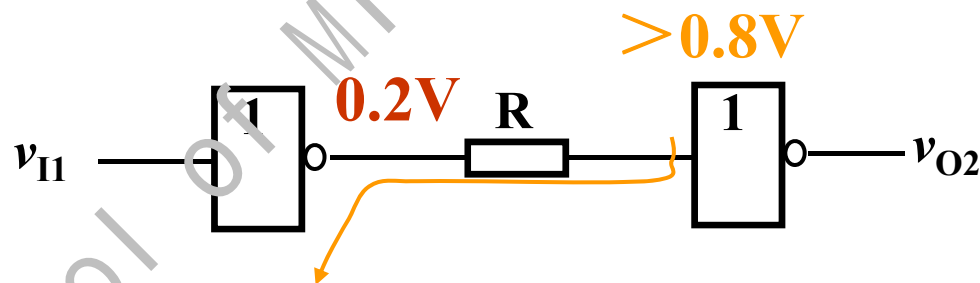
输入电阻

R_i { $R_i < R_T$, 等效于输入低电平 (0)
 $R_i > R_T$, 等效于输入高电平 (1)
 R_i 对地悬空 (∞) 逻辑高电平 (1)

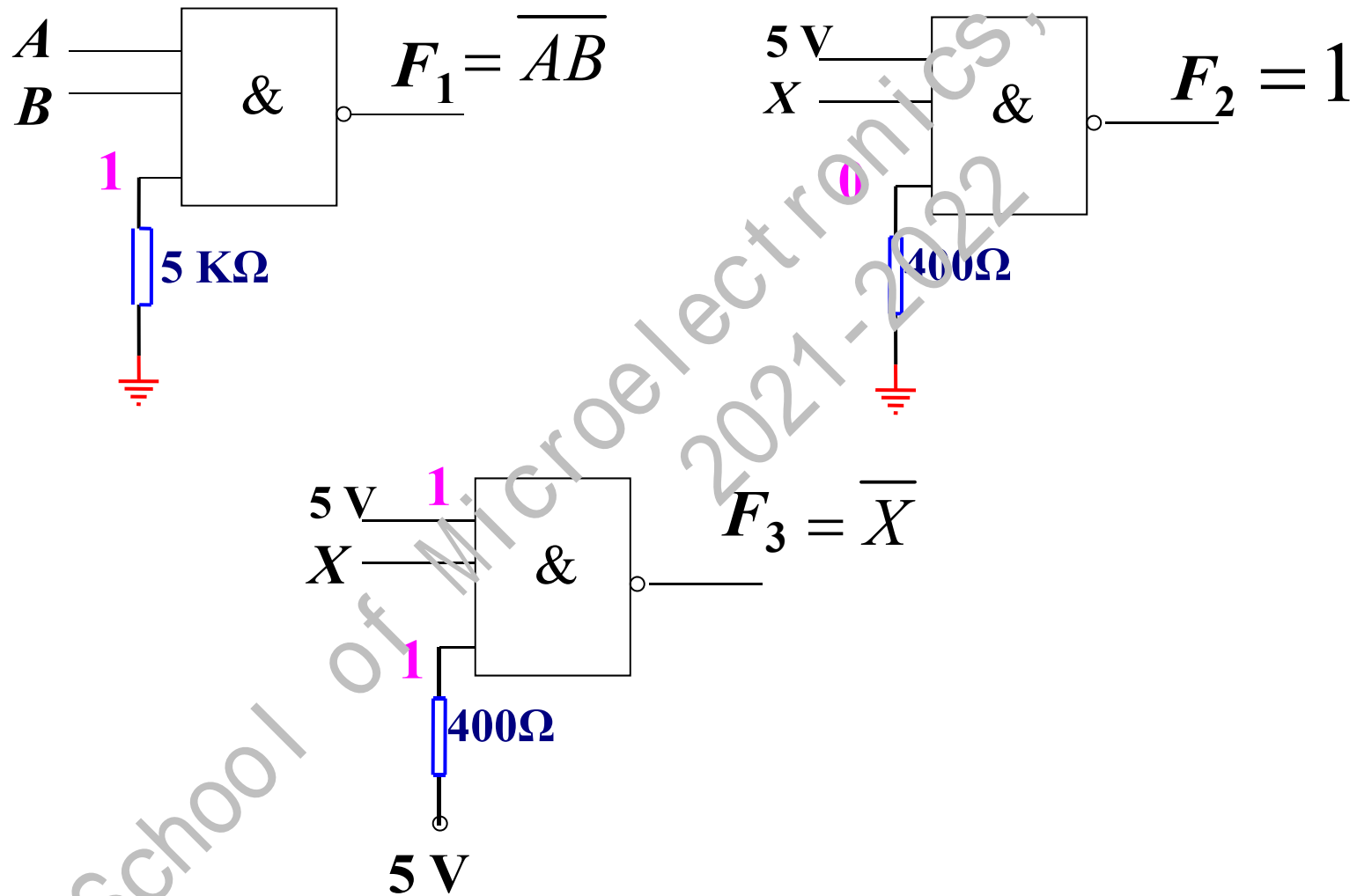


根据上述特性，使用TTL门电路应注意以下两点：

- (1) 悬空相当于接高电平；
- (2) 当输出端通过一个电阻接到下级输入时，当这个电阻 $R \geq 2\text{k}\Omega$ 时，低电平可能无法传送到下级电路。

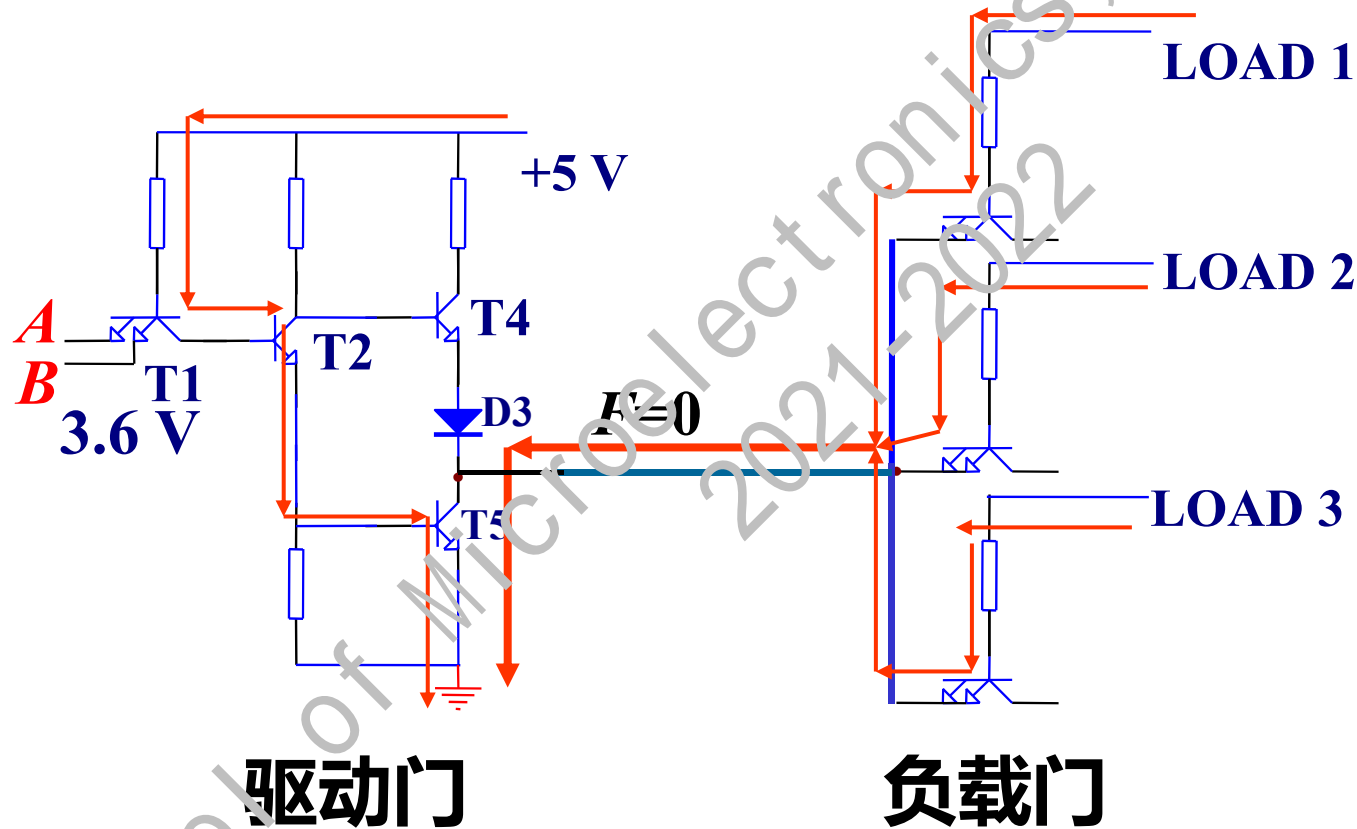


例: TTL 逻辑门



3. 输出特性（带负载能力 - 同类门）

1) 输出低 - 灌流负载



当 $F=0$, 电流从 5 V 电源
经 T1, T2 和 T5 流向地.

负载门:
输入低电平

如果驱动门从每一个负载门接收 1.1 mA (1.6 mA) 灌电流, I_{cs5} 就要升高, 饱和就会变浅, 输出脱离标准低电平。

因此, TTL 不能带过多负载门。驱动门的最大容许灌电流 16 mA。

扇出系数 (Fan-out) :

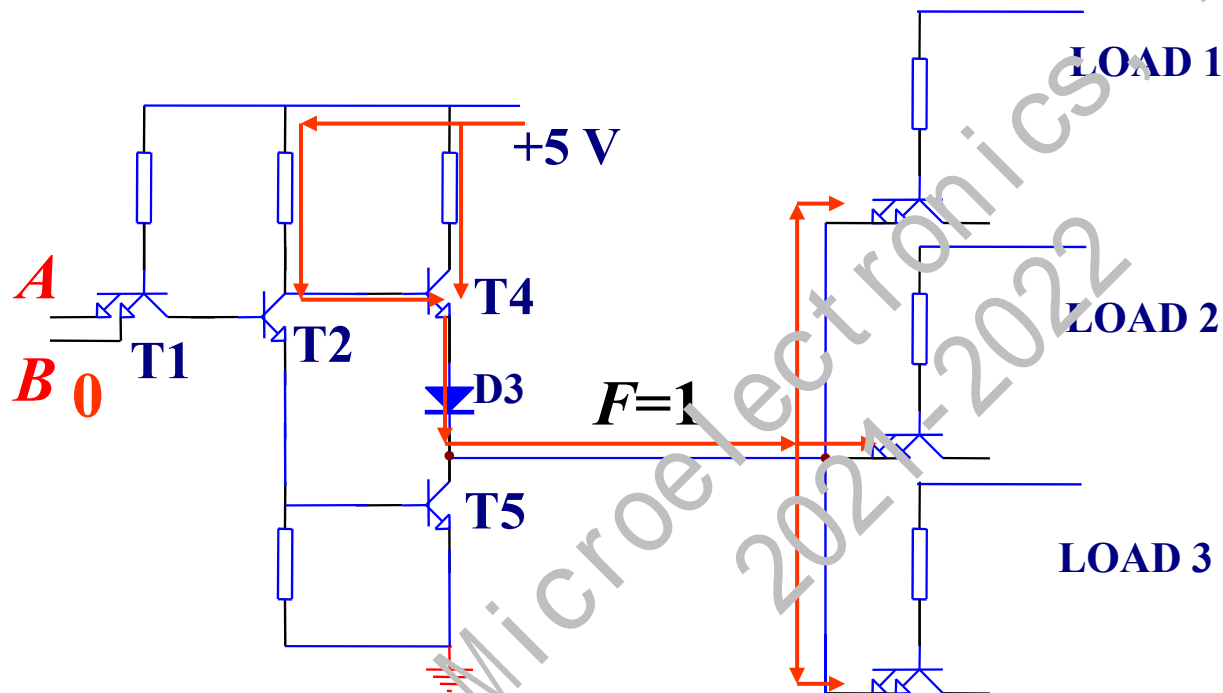
一个输出所能驱动的同类门的最大数目。

$$N = \frac{16 \text{ mA}}{1.6 \text{ mA}} = 10$$

手册上规定:

$$N \leq 8$$

2) 输出高 - 拉流负载



驱动门

负载门

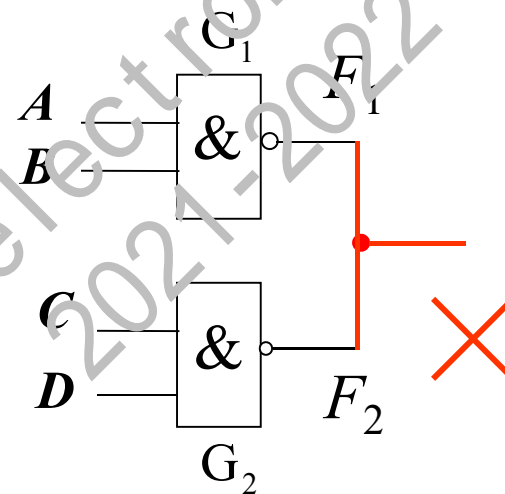
从 F 拉出的电流是负载门 T1 管的反向漏电流。

4. 集电极开路与非门 (OC门, Open Collector)

- “线与” 连接

当需要下面运算时

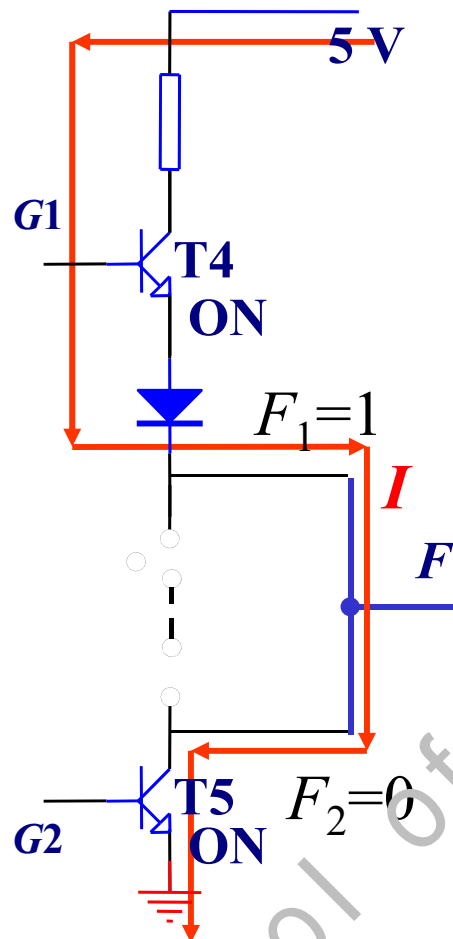
$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$



$$\begin{aligned} F &= F_1 \cdot F_2 \\ &= \overline{AB} \cdot \overline{CD} \end{aligned}$$

普通TTL门电路禁止这种连接方法

原因：



如果 $G1$ 输出高, 而 $G2$ 输出低, 会形成一个很大电流 I 从 $G1$ T4 流向 $G2$ T5

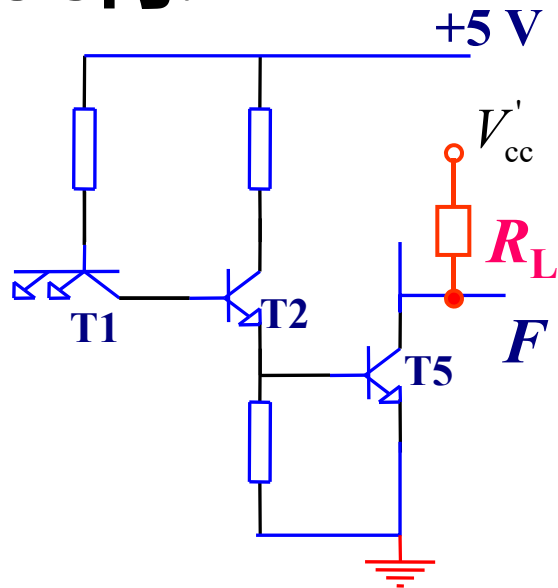
导致:

$G2$ T5 烧毁

输出 F 脱离标准逻辑电平

非 1 非 0, 逻辑错误

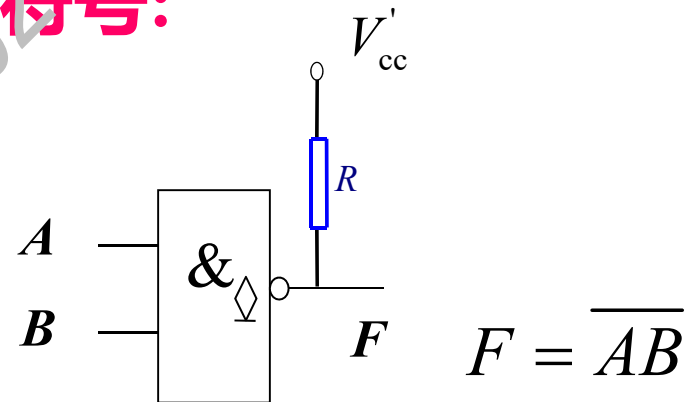
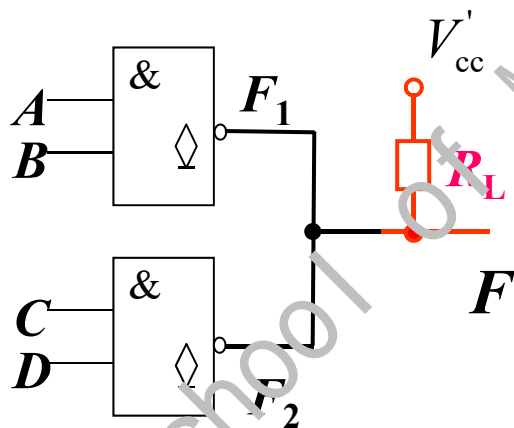
OC门:



集电极开路与非门去掉了
T4 和 D3, 用一个上拉电阻 R_L
替代

选择适当 V'_{cc} 和 R_L 值, 就
可以实现高电平和线与。

OC 门符号:



$$F = \overline{AB}$$

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

§3.3 MOS 逻辑电路

MOS Logic Circuits

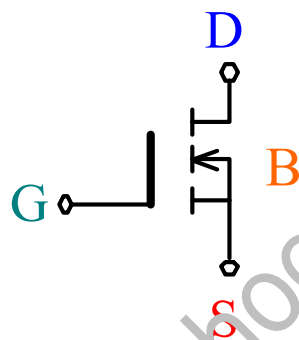
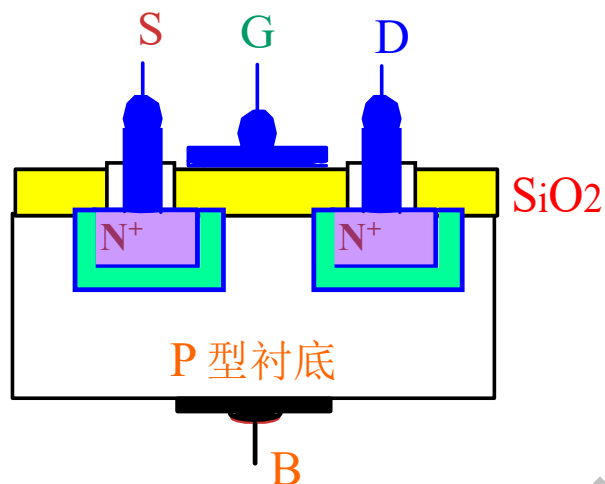
- MOS 逻辑电路的基本单元为MOSFET

金属氧化物半导体场效应晶体管

(Metal-Oxide-Semiconductor Field Effect Transistor , MOSFET)

- MOS管: NMOS PMOS

1.NMOS管的结构和符号

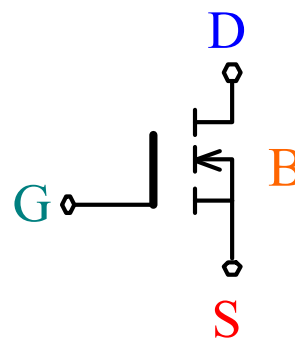
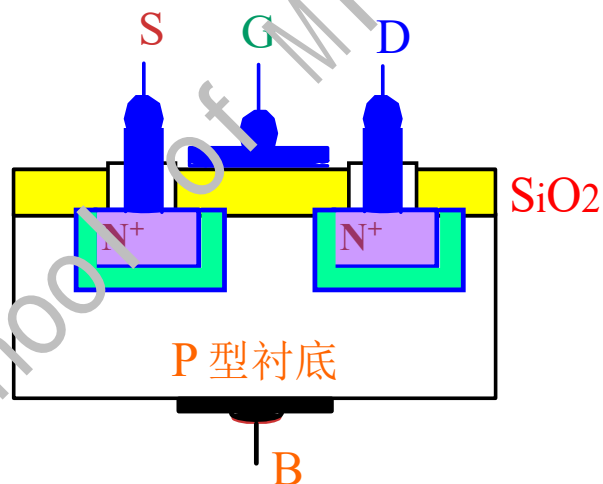


- 取一块P型半导体作为**衬底**，用**B**表示
- 用氧化工艺生成一层SiO₂ 薄膜绝缘层
- 用光刻工艺腐蚀出两个孔
- 扩散两个高掺杂的N型区，从而形成两个PN结
- 从N型区引出电极，一个是**漏极D**，一个是**源极S**
- 在源极和漏极之间的绝缘层上镀一层金属铝作为**栅极G**

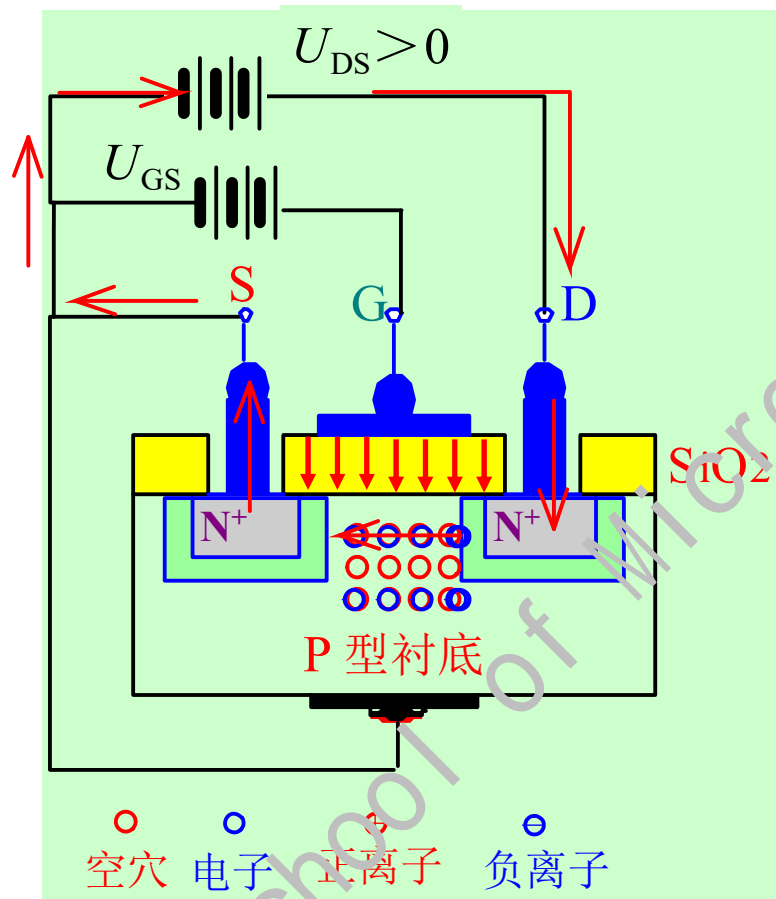
2. MOS管的工作原理

(1) 当 $v_{GS}=0V$ 时

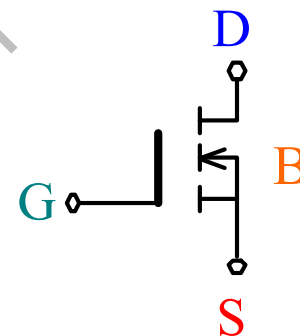
当 $v_{GS}=0V$ 时，漏极D和源极S之间为两个PN结，两端加上电压总有一个PN结反偏，因此，无电流流过， $i_D=0$ 。管子处于截止状态。



2.MOS管的工作原理



(2) 当 $v_{GS} > 0$ 时

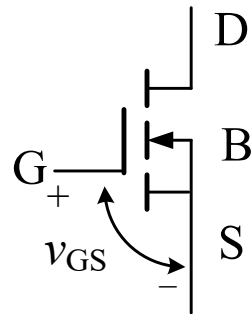


$v_{GS} > 0$ 将在绝缘层产生电场，该电场将 SiO_2 绝缘层下方的空穴推走，同时将衬底的电子吸引到下方，形成导电沟道。

当 $v_{DS} > 0$ 产生有漏极电流 i_D 。这说明 v_{GS} 对 i_D 的控制作用。

3. NMOS管和PMOS管的通断条件

NMOS

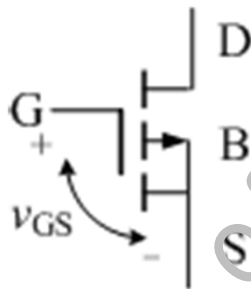


当 $v_{GS} > V_{TN}$ 时导通

当 $v_{GS} < V_{TN}$ 时截止

PMOS

$-E_D$



当 $|v_{GS}| > |V_{TP}|$ 时导通

当 $|v_{GS}| < |V_{TP}|$ 时截止

$$V_T = 2\text{ V} \sim 2.5\text{ V}$$

$$E_D = 5\text{ V} \sim 15\text{ V}$$

4. MOSFET 开关特性

NMOS 开关电路

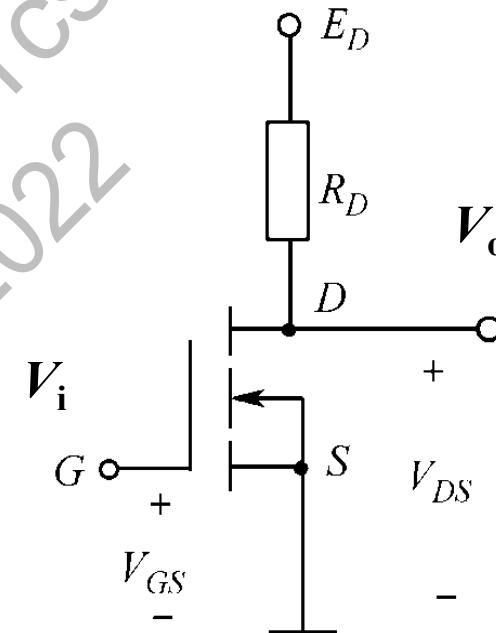
当 $V_i = V_{GS} < V_T$, NMOS 截止

MOSFET 在截止状态的
电阻 R_{OFF}

$$R_{OFF} \geq 10^{10} \Omega$$

MOSFET 的 D - S 结等效于断开

只要 $R_D \ll R_{OFF}$, 输出为高电平: $V_{OH} \approx E_D$



当 $V_i > V_T$, NMOS处于恒流区, NMOS的导通电阻:

$$R_{ON} \sim 1k\Omega$$

只要 $R_D \gg R_{ON}$, 输出为低电平:

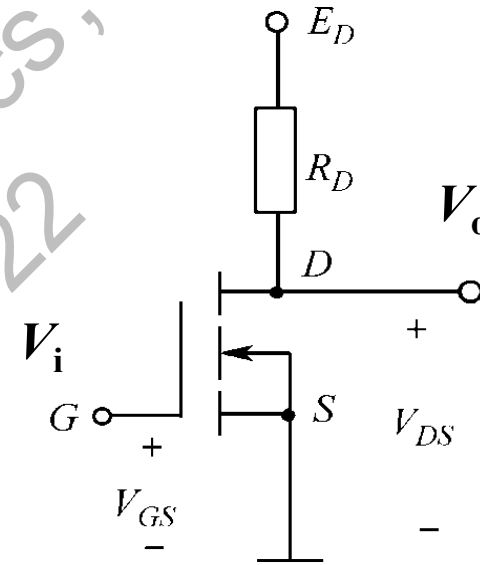
$$V_{OL} \approx 0$$

MOSFET的 $D-S$ 结相当于 短路

输入低电平, MOS 截止, 输出高电平
输入高电平, MOS 导通, 输出低电平

} 非门

NMOS 开关电路

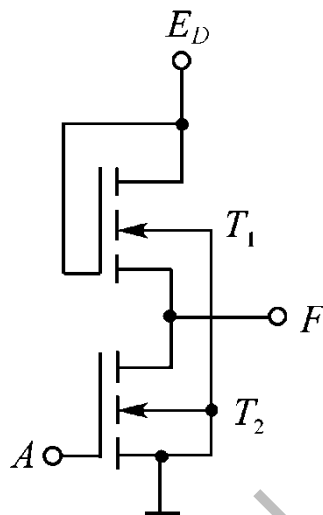


§ 3.3.1 NMOS 门电路

NMOS Gate Circuits

1. NMOS 非门

NMOS 非门含有两个 N-沟 FETs:



负载管

驱动管

T_1 : 负载管

T_2 : 驱动管, 接输入 A

负载管 T_1 栅极接 E_D ,
总是导通: 负载电阻 (有源
负载省面积)

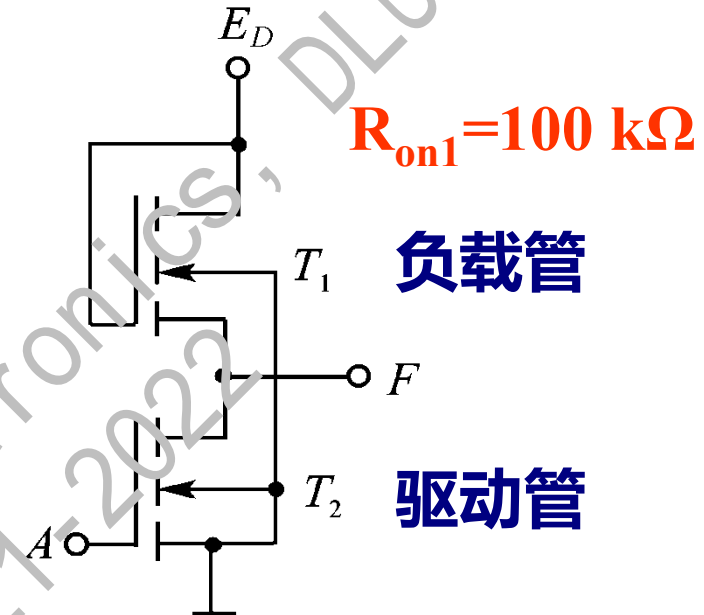
$R_{ON1} = 100 \text{ k}\Omega$

输入 $A = 0$ V (logic 0),

$$V_{GS2} < V_T,$$

T_2 截止,

$$R_{off} \geq 10^{10} \Omega$$



输出:

$$F = \frac{10^{10}}{10^5 + 10^{10}} \times E_D \approx E_D$$

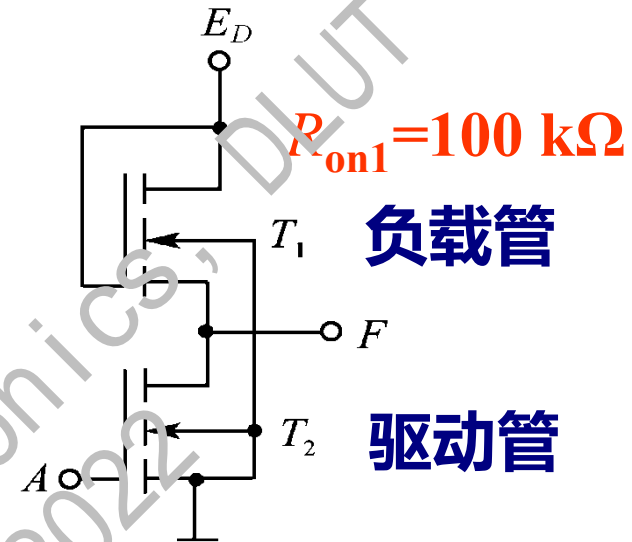
$$F = E_D \text{ (logic 1)}$$

$$\therefore A = 0, F = 1$$

输入 $A = 5\text{ V}$ (logic 1),

$V_{GS} > V_T$, T_2 导通,

$R_{on2} = 1\text{ k}\Omega$



$$F = \frac{R_{ON2}}{R_{ON1} + R_{ON2}} E_D = \frac{1k}{100k + 1k} E_D \approx 0.01 E_D$$

$\therefore F = 0$ (logic 0)

实现逻辑功能

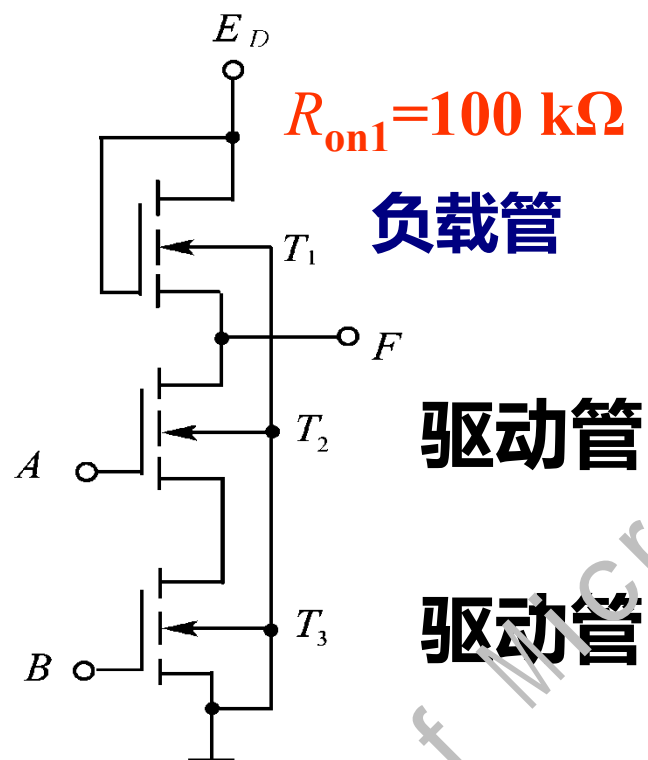
$$F = \overline{A}$$

真值表

A	T_1	T_2	F
0	on	off	1
1	on	on	0

对MOS逻辑门, 根据MOS管导通和截止状态电阻, 用分压法来分析输出逻辑电平的高低

2. NMOS 与非门



∴ 输出 $F = \overline{AB}$

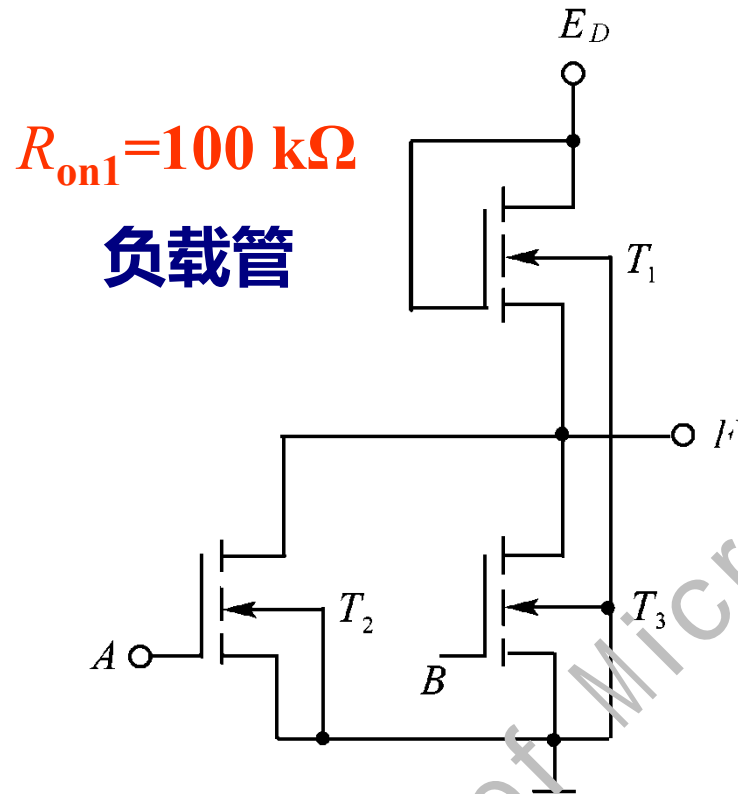
两个驱动管 T_2 和 T_3 串联，输入分别为 A 和 B

输入、输出列于真值表：

A	B	T_1	T_2	T_3	F
0	0	on	off	off	1
0	1	on	off	on	1
1	0	on	on	off	1
1	1	on	on	on	0

两个NMOS驱动管 串联，实现与非关系

3. NMOS 或非门

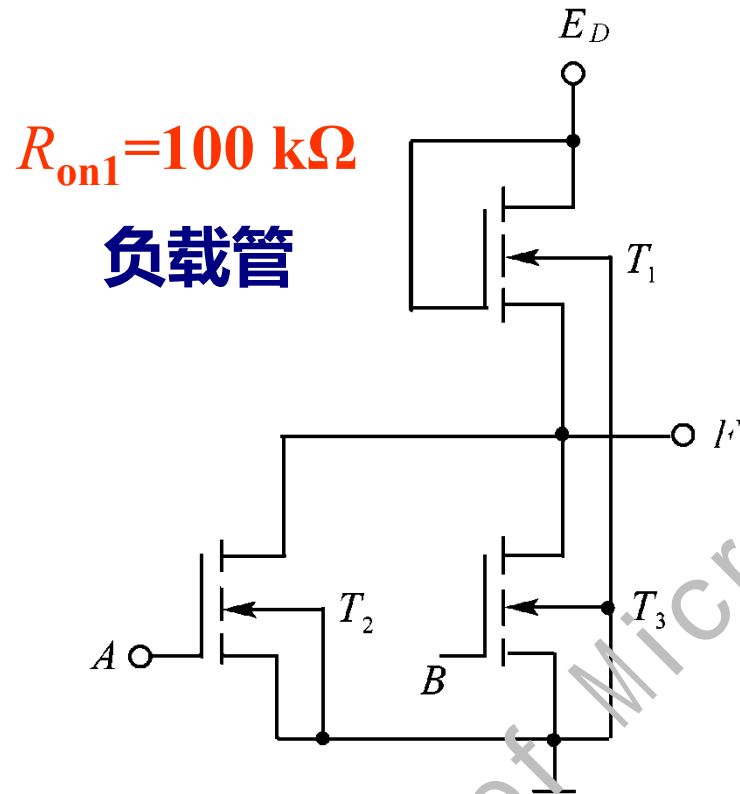


A	B	T_1	T_2	T_3	F
0	0	on	off	off	1
0	1	on	off	on	0
1	0	on	on	off	0
1	1	on	on	on	0

$$\therefore F = \overline{A + B}$$

两个NMOS驱动管
并联，实现或非关系。

3. NMOS 或非门



A	B	T_1	T_2	T_3	F
0	0	on	off	off	1
0	1	on	off	on	0
1	0	on	on	off	0
1	1	on	on	on	0

$$\therefore F = \overline{A + B}$$

两个NMOS驱动管
并联，实现或非关系。

§ 3.3.2 CMOS 门电路 CMOS Gate Circuits

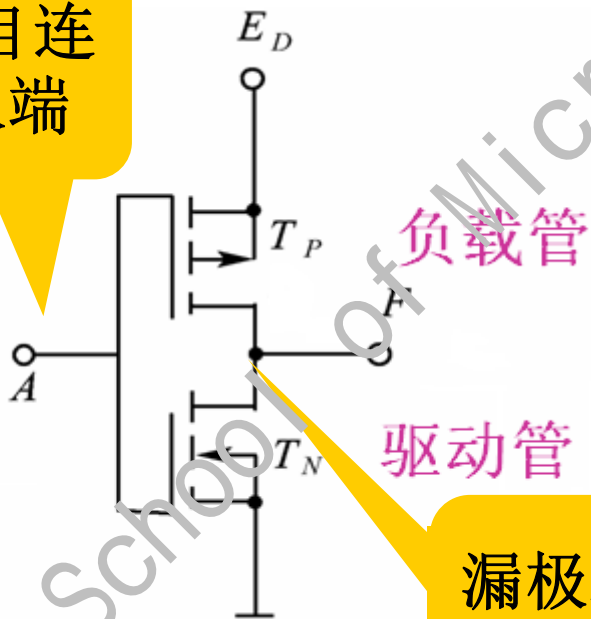
互补型MOS (CMOS: **Complementary**) 逻辑门在一个电路中同时包含PMOS和NMOS。

1. CMOS 非门

PMOS: 负载

NMOS: 驱动

栅极相连
做输入端



漏极相连
做输出端

$$E_D = 10 \text{ V}$$

$$E_D > (V_{TN} + |V_{TP}|)$$

$$V_{TN} = |V_{TP}|$$

大于两门坎电压代数和

$A = 0$, T_N 截止, T_P 导通

$$V_{GSN} < V_{TN},$$

$$V_{GSP} = 0 - E_D = -E_D$$

$$|V_{GSP}| > |V_{TP}|$$

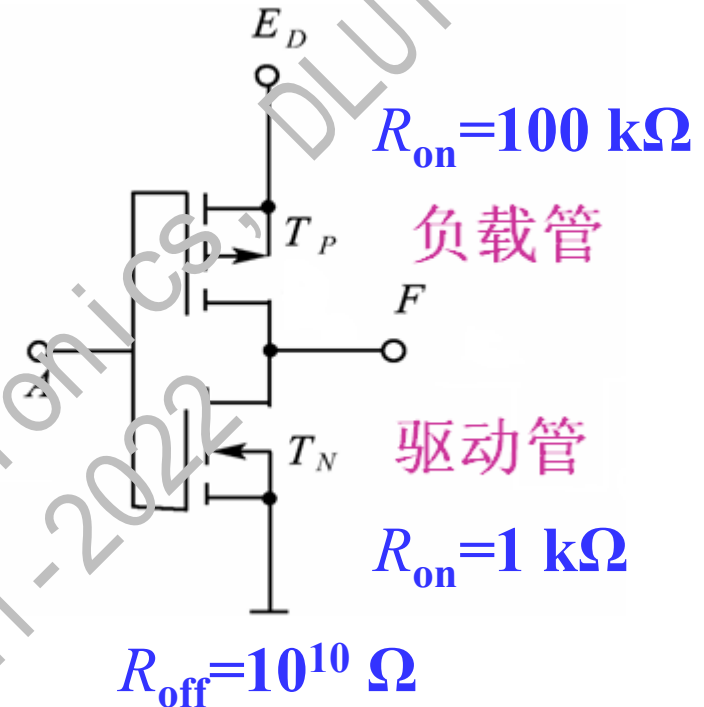
$$F = E_D = 1$$

$A = 1$, T_N 导通, T_P 截止

$$V_{GSP} = E_D - E_D = 0$$

$$< |V_{TP}|$$

$$F = 0$$

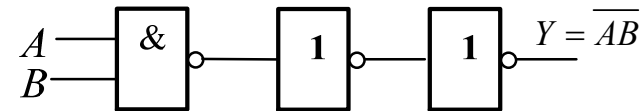
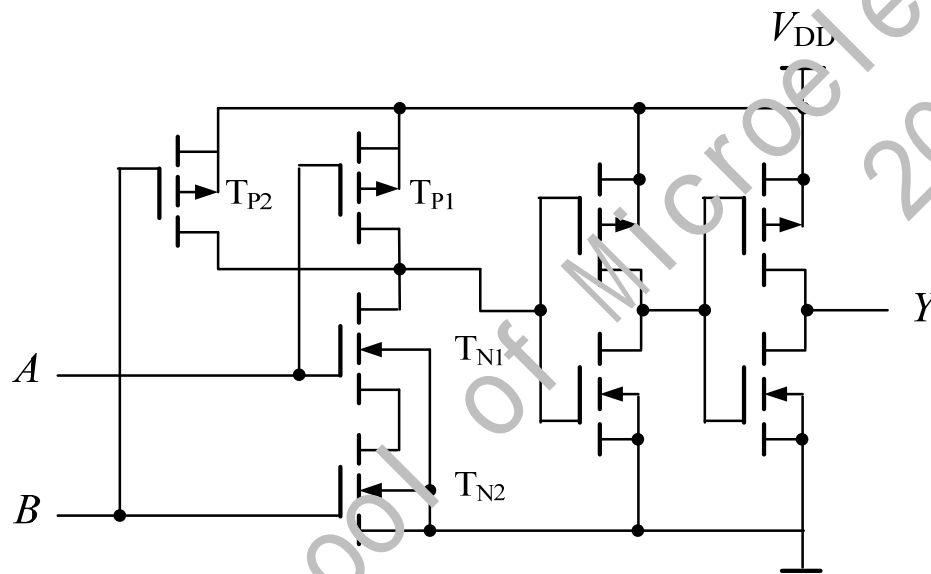


A	T_P	T_N	F
0	on	off	1
1	off	on	0

$$F = \overline{A}$$

带缓冲器的门电路

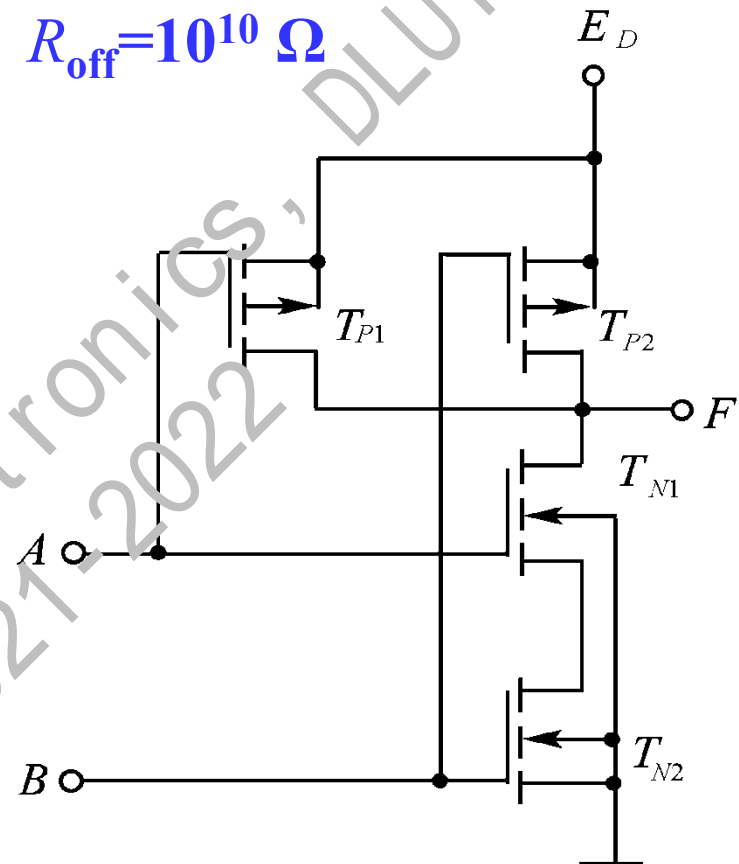
缓冲器 (buffer)是具有一个输入和一个输出的门电路，分正相缓冲器和反相缓冲器。



2. CMOS 与非门

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	F
0	0	off	off	on	on	1
0	1	off	on	on	off	1
1	0	on	off	off	on	1
1	1	on	on	off	off	0

$$R_{\text{off}} = 10^{10} \Omega$$

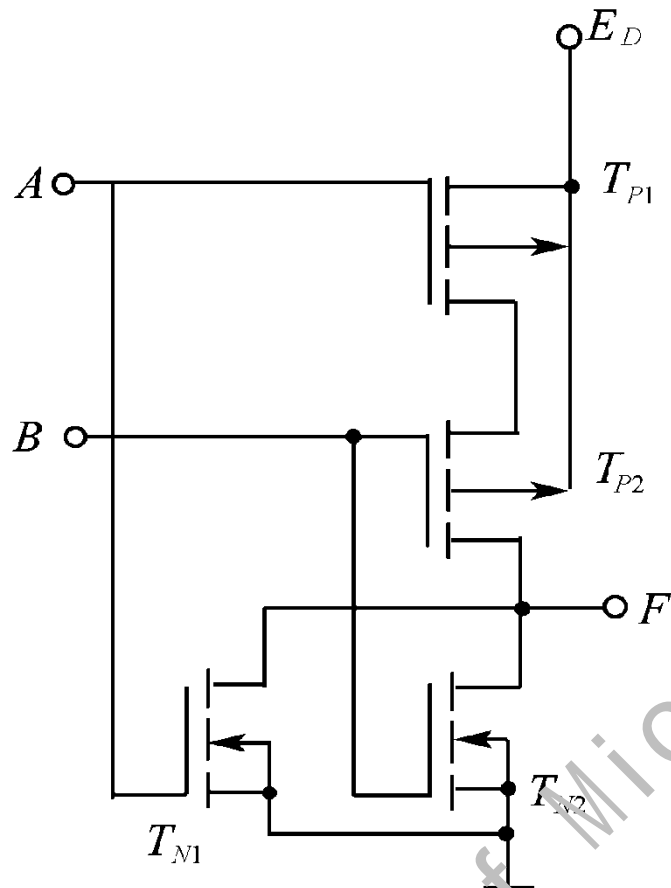


两个驱动管 T_{N1} 和 T_{N2} 串联

两个负载管 T_{P1} 和 T_{P2} 并联

功能: 与非

$$F = \overline{AB}$$



3. CMOS 或非门

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	F
0	0	off	off	on	on	1
0	1	off	on	on	off	0
1	0	on	off	off	on	0
1	1	on	on	off	off	0

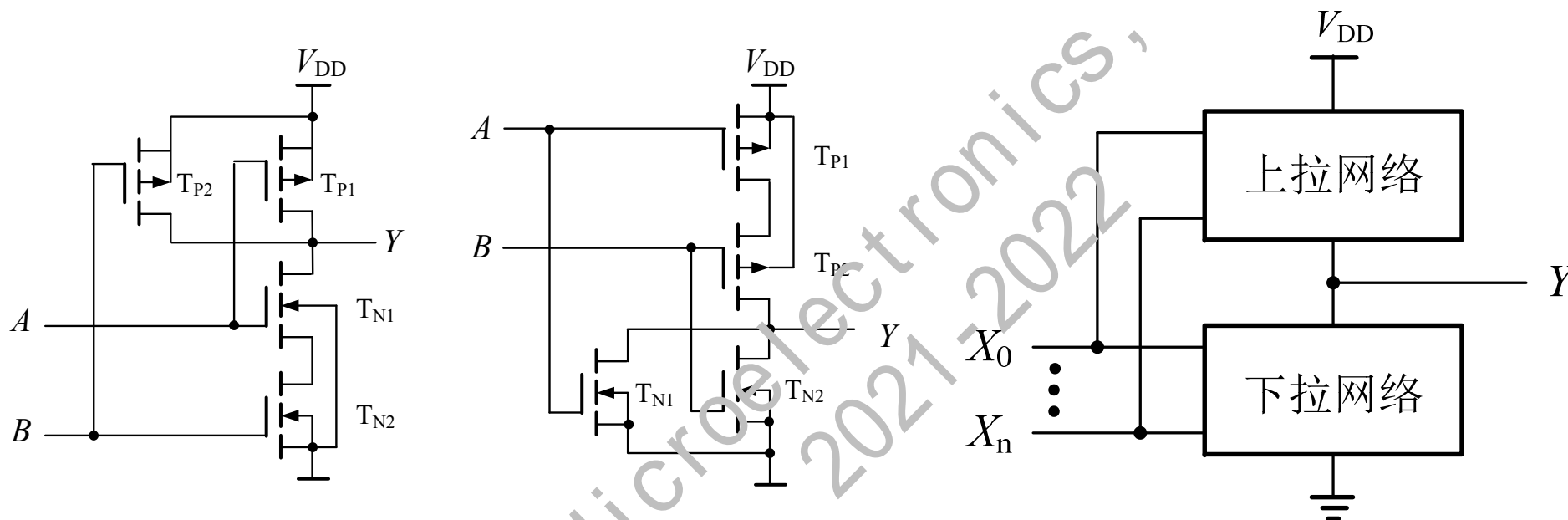
功能: 或非

$$F = \overline{A+B}$$

两 NMOS 并联作为驱动管

两 PMOS 串联作为负载管

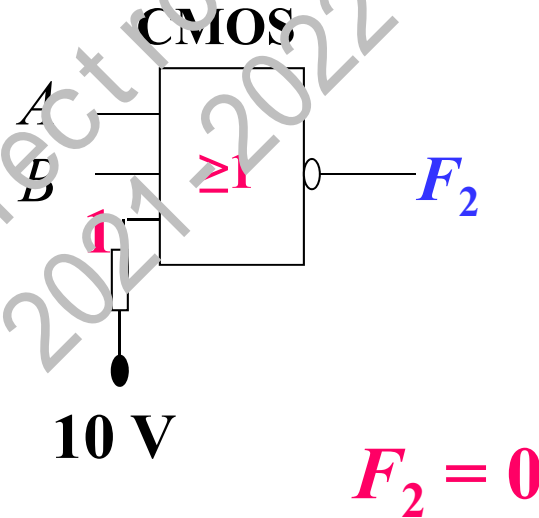
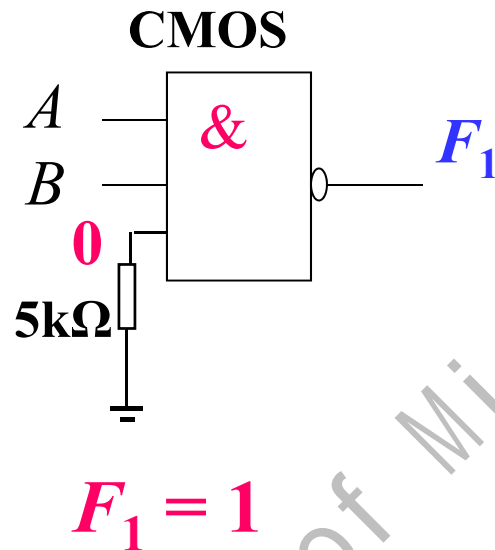
思考：CMOS门电路结构上有什么规律？



- (1) **下拉网络**由**NMOS**管构成，**上拉网络**由**PMOS**管构成
- (2) 上拉网络和下拉网络**相互对偶**
- (3) 每个**输入端**同时加到一个NMOS管和一个PMOS管的栅极
- (4) **NMOS**管串联可实现与，并联可实现或，其输出是该操作的反

输入负载特性

MOS电路输入电阻 $R_{GS} > 10^{10} \Omega$, 所以无论外接电阻多大, 都是: 接地 $\rightarrow 0$, $E_c \rightarrow 1$.

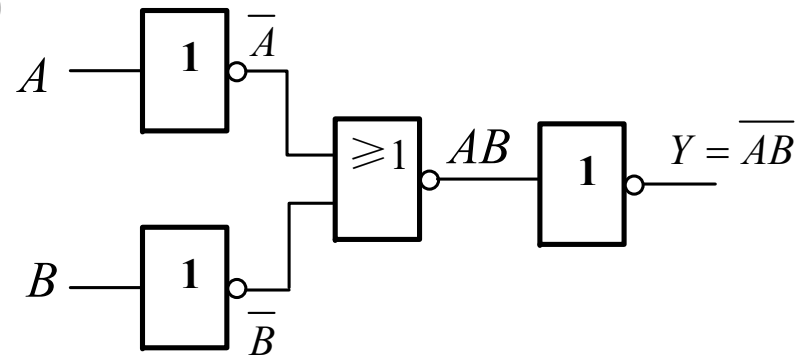
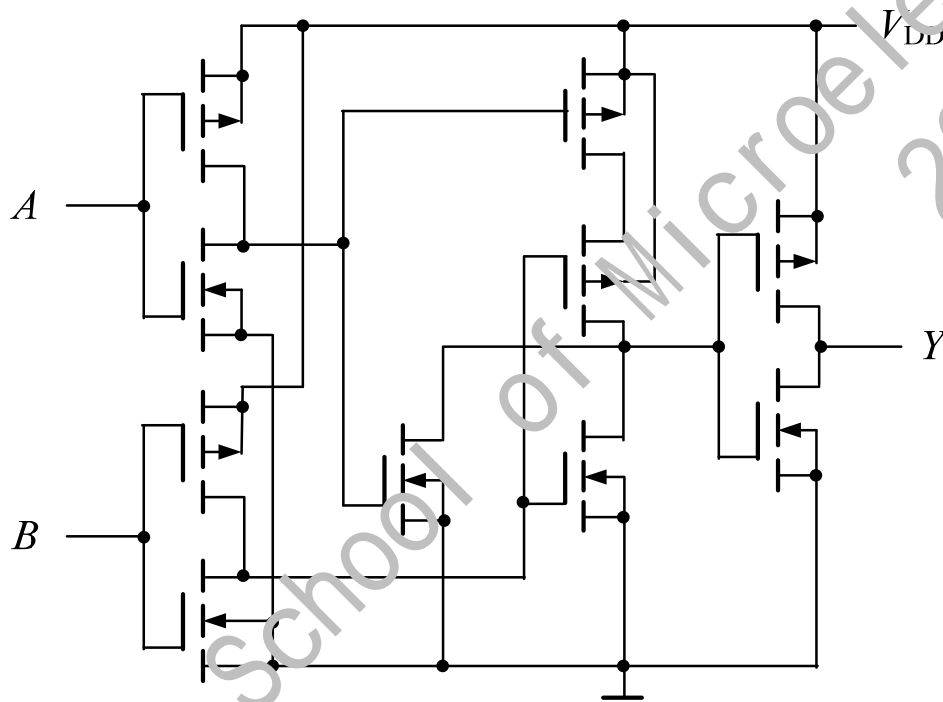


CMOS 电路不用的输入端一定不能悬空 (静电保护)
悬空时入端无电流, 高输入阻抗 ($>10^{10} \Omega$) 会使沟道被静电击穿

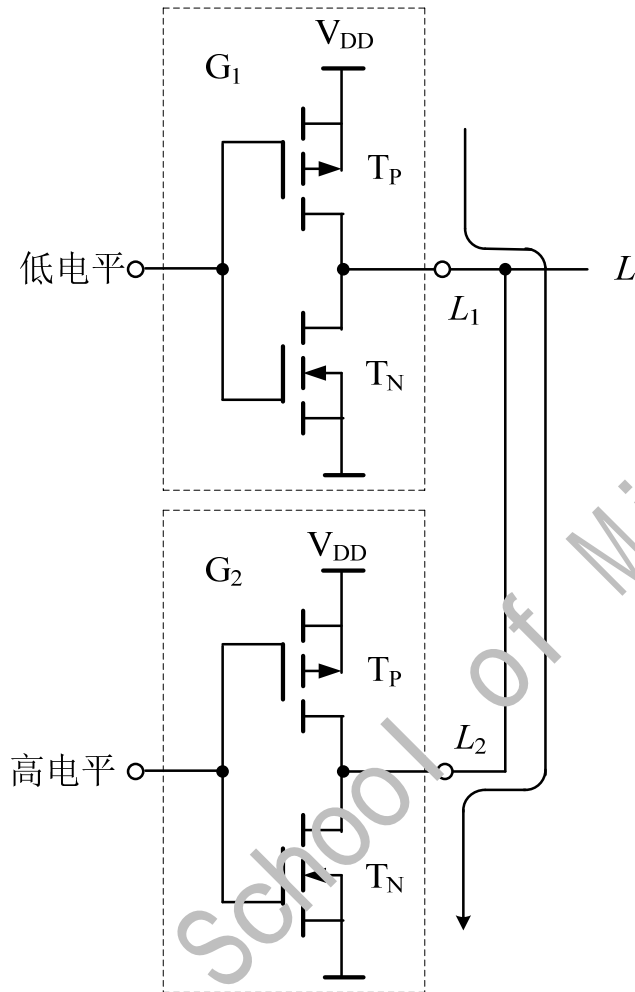
CMOS漏极开路门

门电路的推拉式输出结构

什么是推拉式输出？ 输出级的两只管子轮流导通。

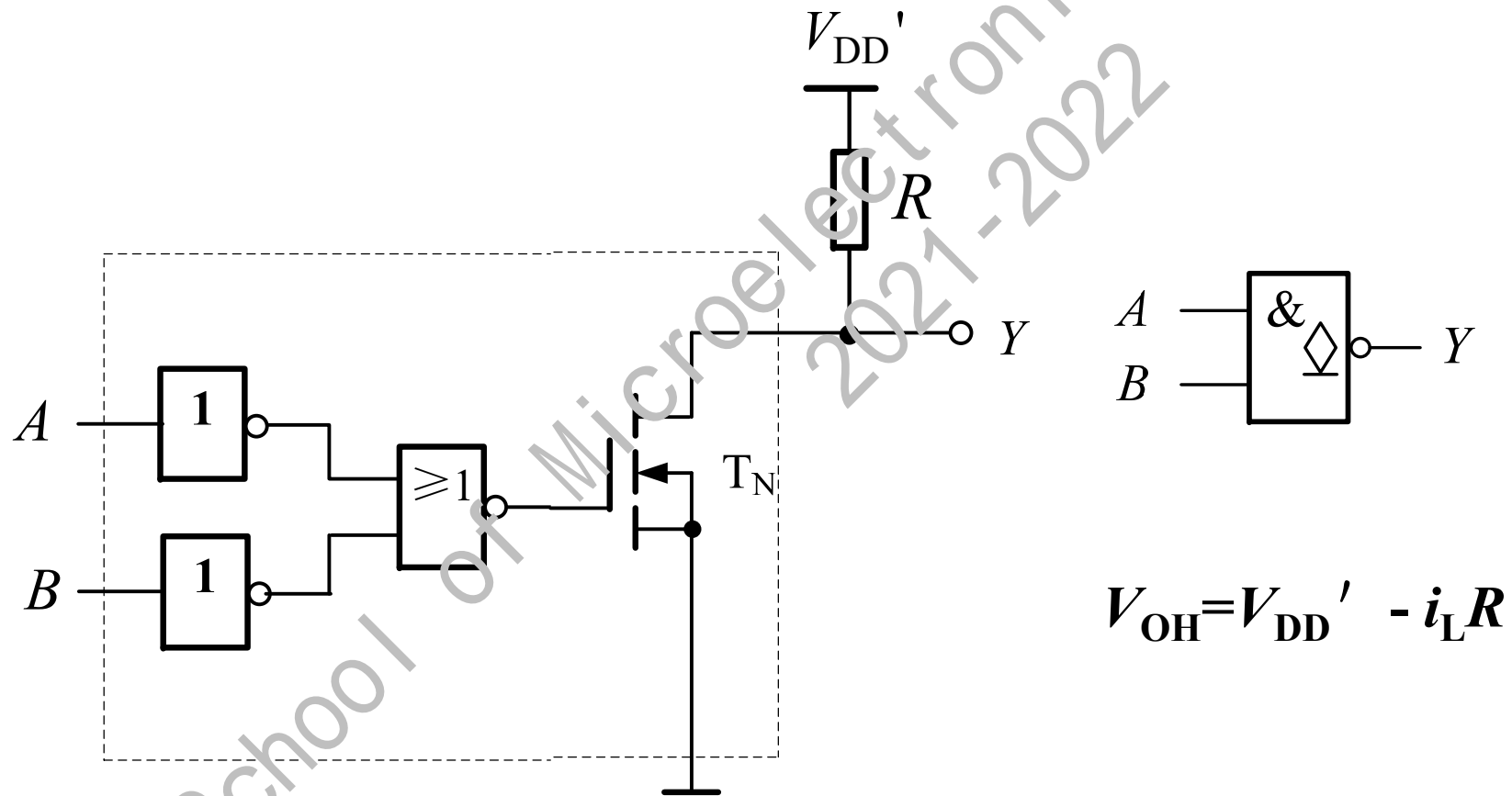


推拉式输出门电路不能线与 (wire-AND)



当 L_1 输出高电平, L_2 输出低电平时, 自 $V_{DD} \rightarrow G_1$ 的 $T_P \rightarrow C_2$ 的 $T_N \rightarrow$ 地形成低阻通路。造成**功耗过大, 输出电平错误**

CMOS漏极开路门 (Open-Drain, OD门)



本章总结

- 理解TTL与非门工作原理，掌握TTL 与非门的电气特性
- 掌握NMOS、CMOS门电路工作原理
- 掌握不同类型门电路对悬空端的处理方式