

第 3 章 逻辑门电路 **Logic Gates**

§ 3.1 分立元件门电路

Discrete Components Logic Gates

§ 3.2 TTL 集成门电路

TTL Integrated Logic Gates

§ 3.3 MOS 逻辑电路

MOS Logic Circuits

§ 3.1 分立元件门电路

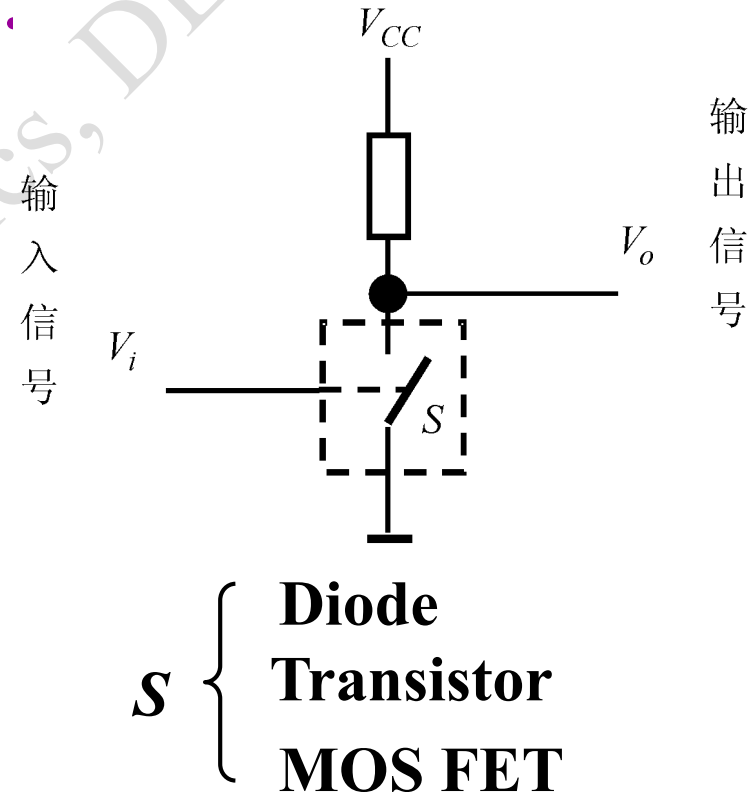
Discrete Components Logic Gates

用电压（电平）表示逻辑高和低：

正逻辑 { 逻辑高 – 高电平
 { 逻辑低 – 低电平

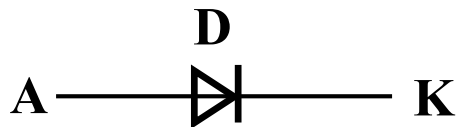
获得高 (logic 1)、低 (logic 0)
输出电平的基本原理：

开关 S	输出电位 V_o
断开	高
接通	低



输入信号 V_i 控制其工作在截止和导通两个状态， S 起开关作用。

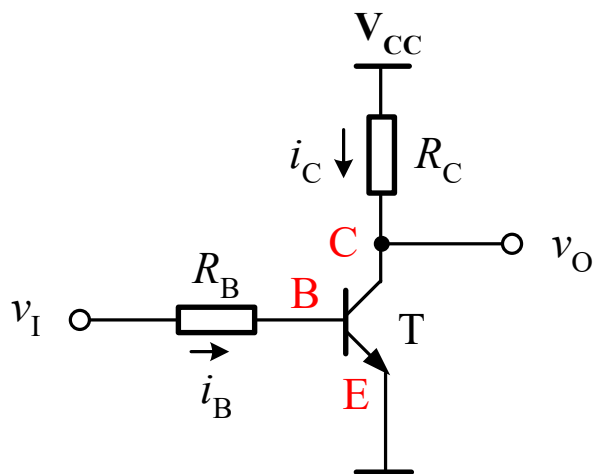
二极管



- 当二极管加**正向电压**时，二极管导通，压降维持在0.7V左右
- 当二极管加**反向电压**时，处于截止状态，只有极微小的电流 I_S (μA 级) 流过

三极管在电路中的三种工作状态：

放大状态、截止状态、饱和状态



- 关的条件（管子截止）

当 v_I 使三极管 $v_{BE} < 0.7V$,
 $i_B \approx 0$, $i_C \approx 0$, $v_O \approx V_{CC}$ 。

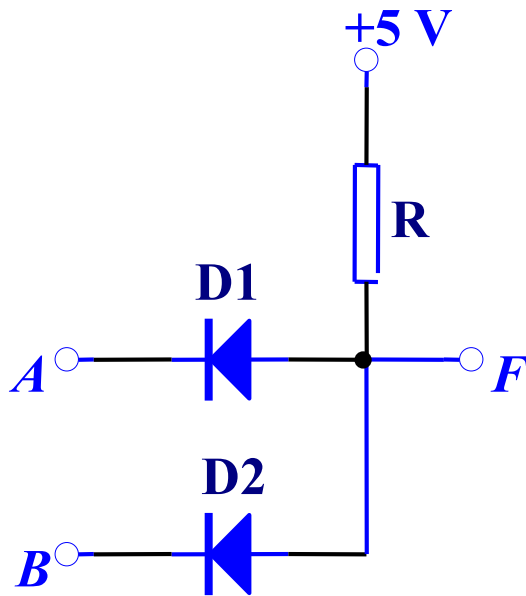
- 开的条件（管子饱和）

当输入 $v_I \geq 0.7V$, 如果

$$i_B > i_{BS} = \frac{i_{CS}}{\beta} = \frac{V_{CC} - V_{CES}}{\beta R_C}$$

定义：低电平0~2V，高电平3~5V

1. 与门 (AND)电路



当 $A=0$ (Low), D1 导通,

D1 钳位 0.7 V, $F = 0.7$ V

→ 0 (Low)

当 $B=0$, or $A=B=0$ 时,

情况相同。(真值表前3行)

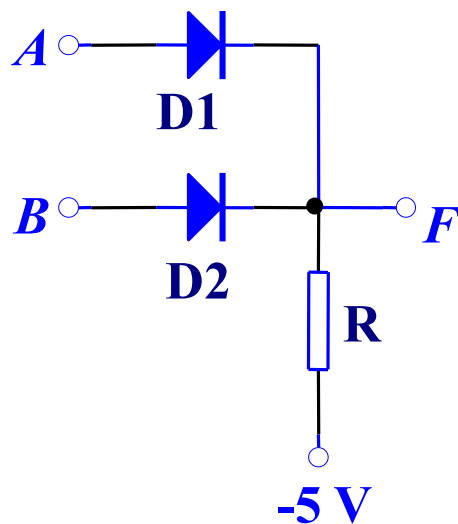
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

$$F = AB$$

当 $A=B=1$ (High, 5 V), D1 和 D2 都截止,

$F=1$ (High, 5 V) (真值表最后1行)

2. 或门 (OR) 电路



当 $A=B=0$ (-5 V, Low),

D1 和 D2 截止, $F=0$ (Low);

当 $A=1$ (High), D1 导通,

$F=1$ (High).

(减0.7 V仍为高电平)

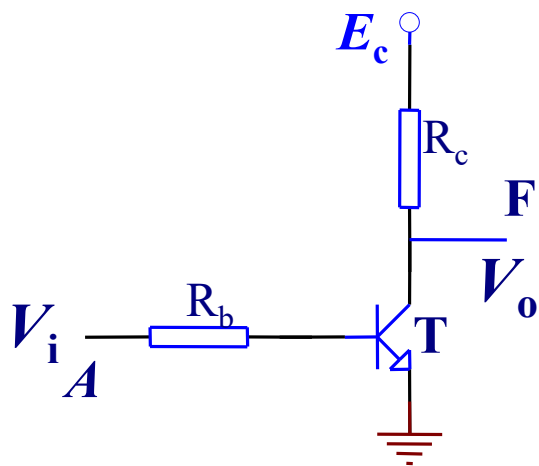
当 $B=1$, or $A=B=1$ 时, 情况相同

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

$$F = A + B$$

3. 非门 (NOT)电路

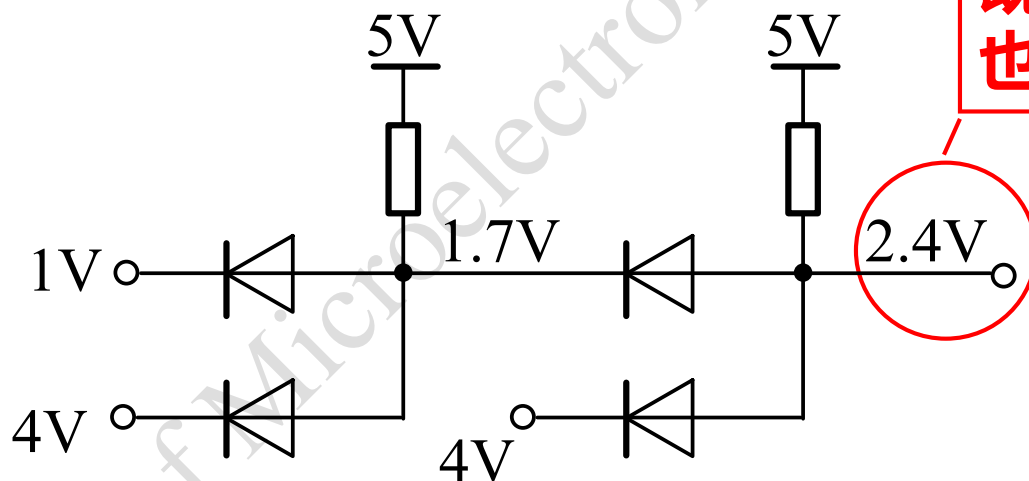
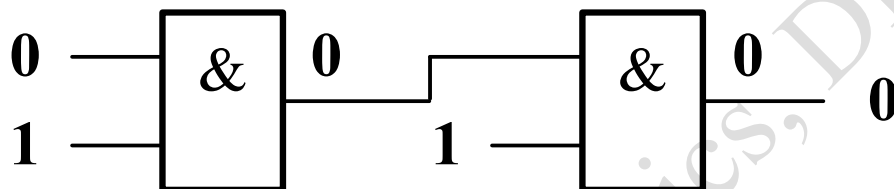
$$F = \overline{A}$$



V_i	V_o
0	E_c (1) T 截止
1	V_{ces} (0) T 导通

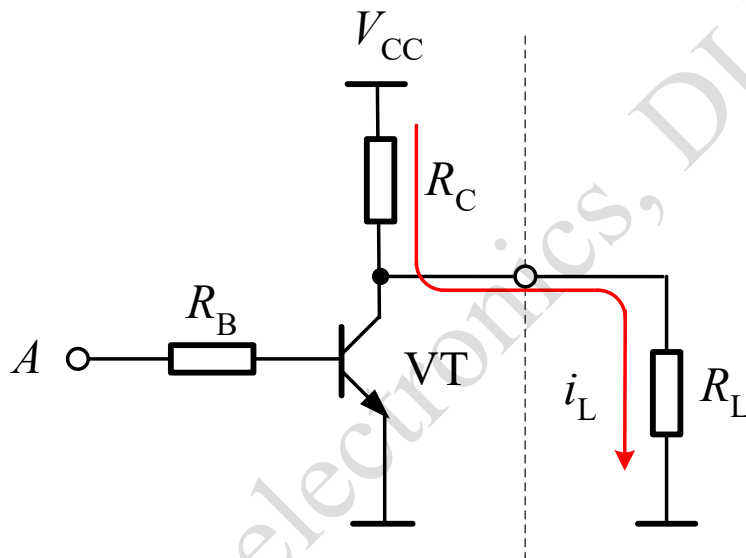
分立元件门电路存在的问题:

(1) 高低电平偏移



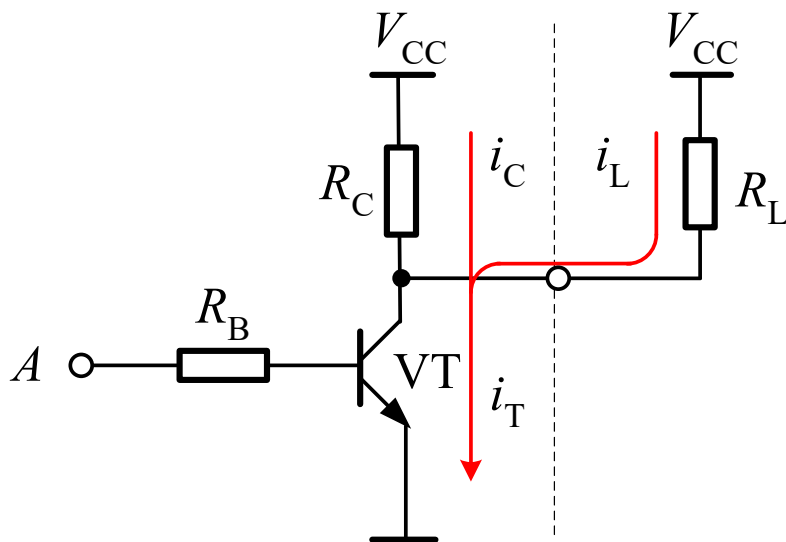
既非高电平
也非低电平

(2) 负载特性差



- 当驱动门输出高电平时

负载电流流过 R_C 将产生压降，使高电平输出电压下降，因此，要求 R_C 越小越好。



各电流之间的关系：

$$i_L + i_C = i_T$$

- 当门电路输出低电平时

i_T 增大将使驱动门低电平输出电压上升。

在 i_T 不变的情况下， i_C 越小，允许灌电流 i_L 越大。因此，要求 R_C 越大越好。

§ 3.2 TTL 集成门电路

§ 3.2.1 TTL 与非门 TTL NAND Gates

TTL——Transistor Transistor Logic 晶体管晶体管逻辑

TTL分4个系列

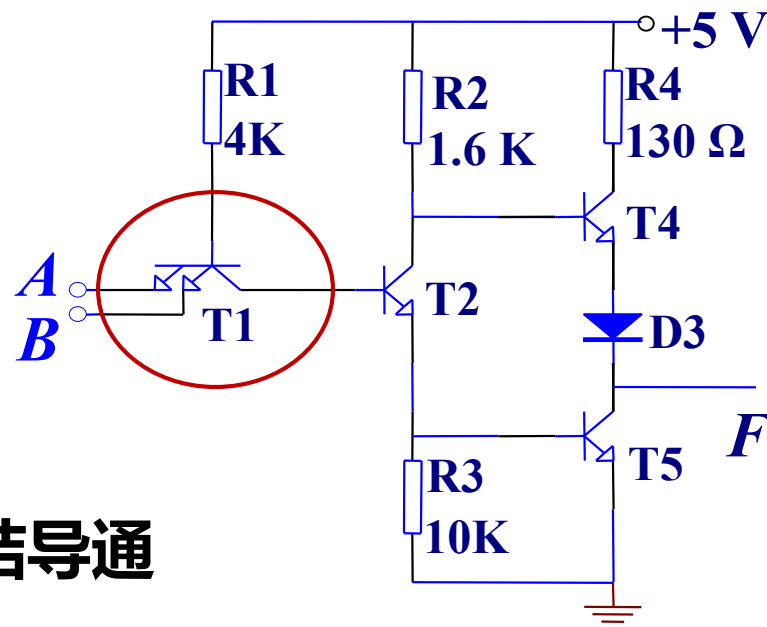
- 74系列：经典系列
- 74H系列：高速系列
- 74S系列：肖特基系列
- 74LS系列：低功耗、肖特基系列

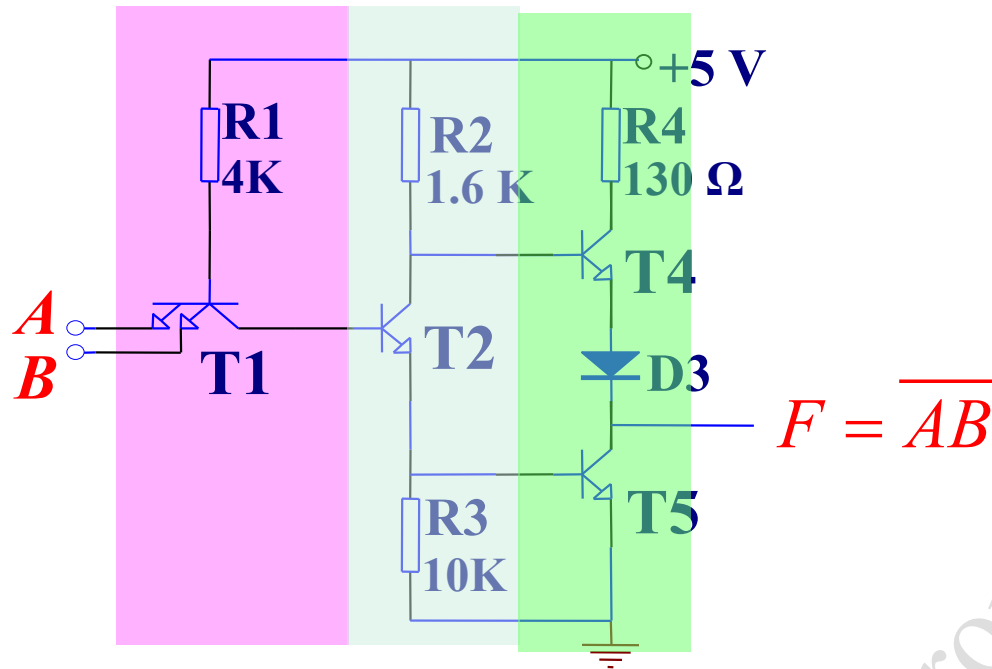
1. 工作原理

$$F = \overline{AB}$$

T1: 两发射极 (多发射极), 两个eb结

A、B任意接低电平，必有一个发射结导通





输入部分：与门。

中间 T_2 、 R_2 、 R_3 组成倒相级。

R_4 、 T_4 、 VD_3 、 T_5 组成输出级。

与非门真值表

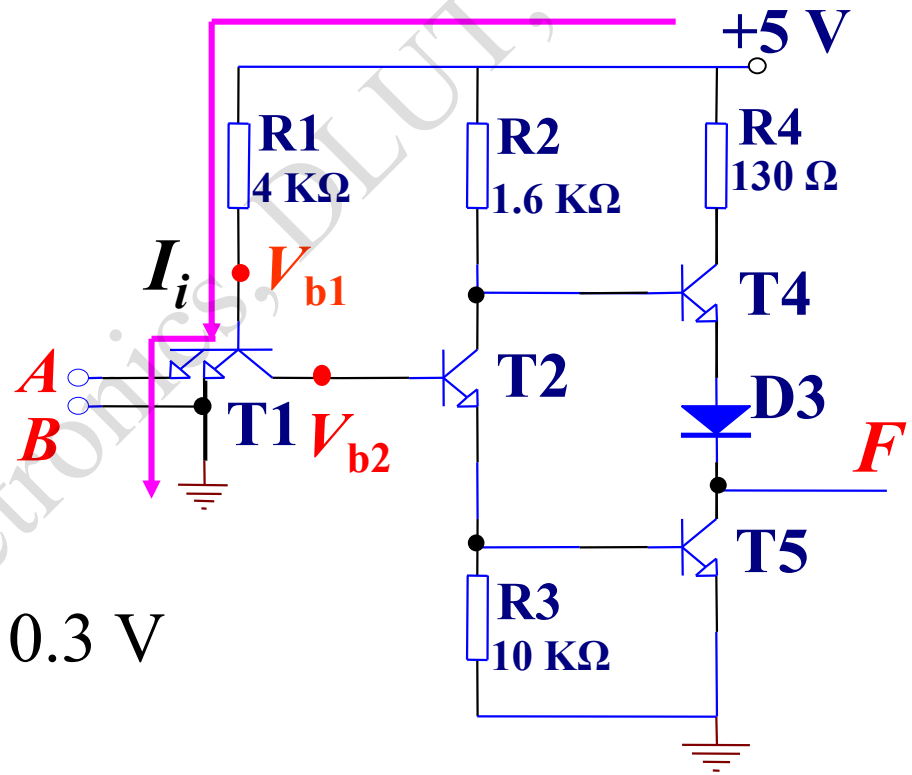
A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

A 或 B 或二者为低, F 为高电平

A 和 B 都为高电平时, F 为低电平

1) 入端有低 (either or both)

**A 或 B 或二者接地，
T1导通，电流从 +5 V
电源经 R1 和 T1 到地。**

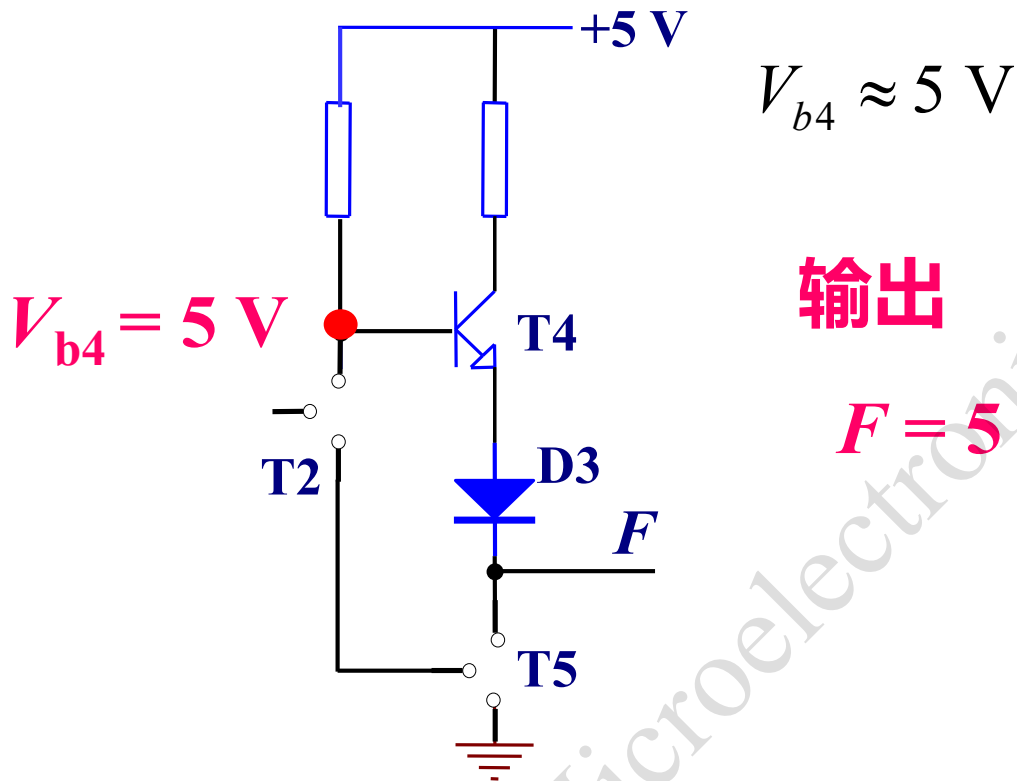


$$V_{b1} = 0.7 \text{ V} \quad V_{c1} = V_{b2} = 0.3 \text{ V}$$

0.3 V 不足以使 $T2_{be}$ 正向导通

\therefore T2 截止， T5 截止

T2、T5 截止 等效电路:



输出

$$F = 5 - 0.7\text{ V} - 0.7\text{ V} = 3.6\text{ V}$$

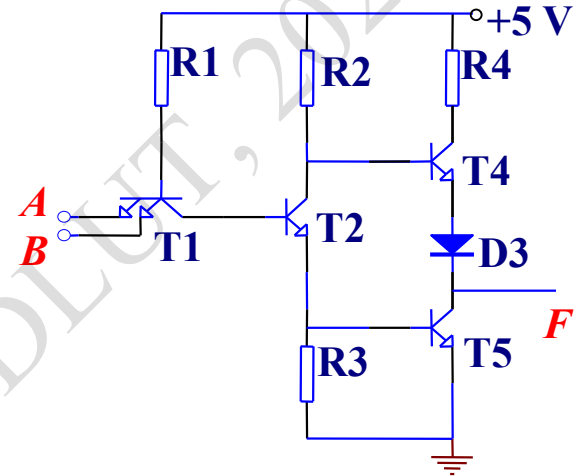
$T4_{be}$

D3

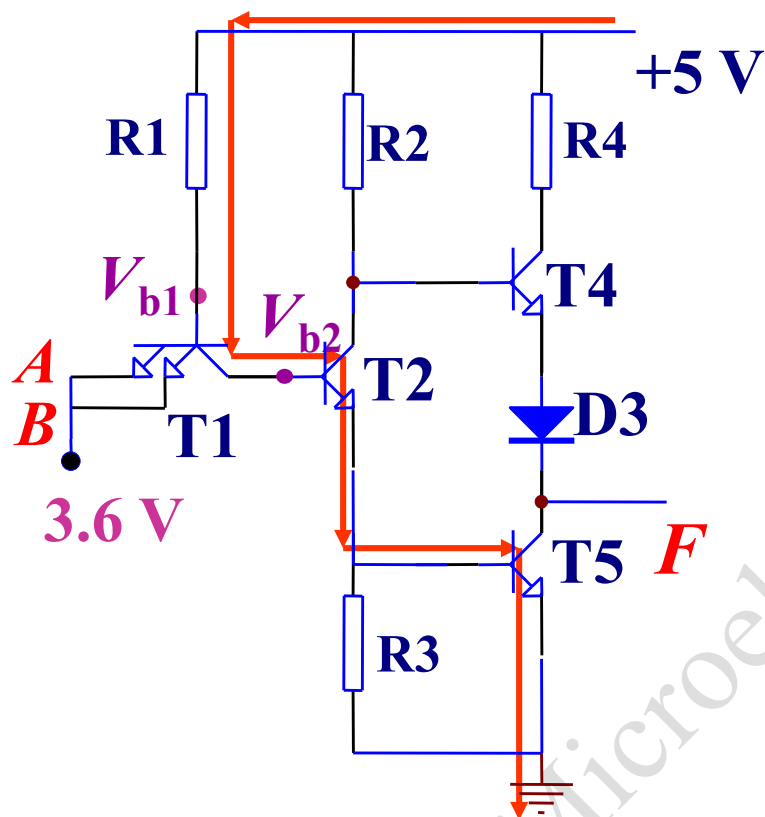
典型高电平

输入端有低电平, 输出为高电平

关门状态



2) 入都为高 (A 和 B 都为高电平) 3.6 V



A 和 B 都是 3.6 V ,

T1 导通，

V_{b1} 钳位 4.3 V (=3.6 + 0.7),

V_{h2} 铂位 3.9 V (=3.6 + 0.3)

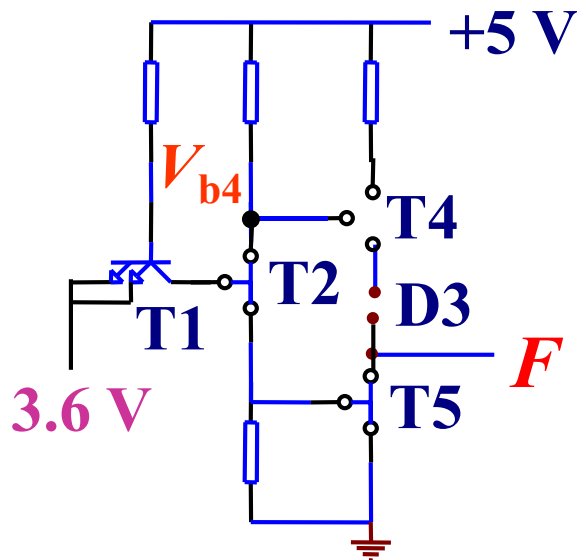
3.9 V 足以正向导通

T2_{be} 和 T5_{be} 结。

∴ T2, T5 导通

电流从 +5 V电源, 经 T1,T2 和 T5 流向地.

等效电路:



输入全高, 输出低
开门状态

实现与非功能:

$$F = \overline{AB}$$

T2 和 T5导通

$$\begin{aligned} V_{b4} &= V_{be5} + V_{ce2} \\ &= 0.7 + 0.3 = 1.0 \text{ V} \end{aligned}$$

V_{b4} 不足以
正向导通 $T4_{be}$ 和 D3

T4, D3 截止

输出

$$F = V_{ce5} = 0.1 \sim 0.3 \text{ V (低)}$$

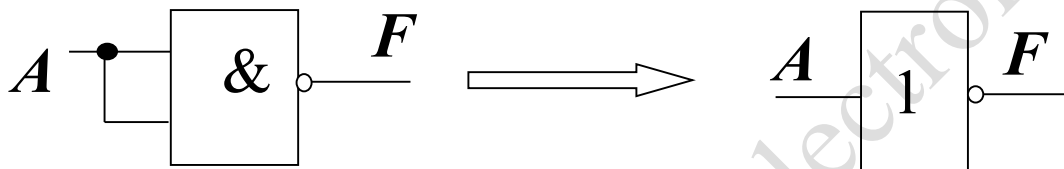
T5 饱和压降

§ 3.2.2 TTL 与非门的电气特性

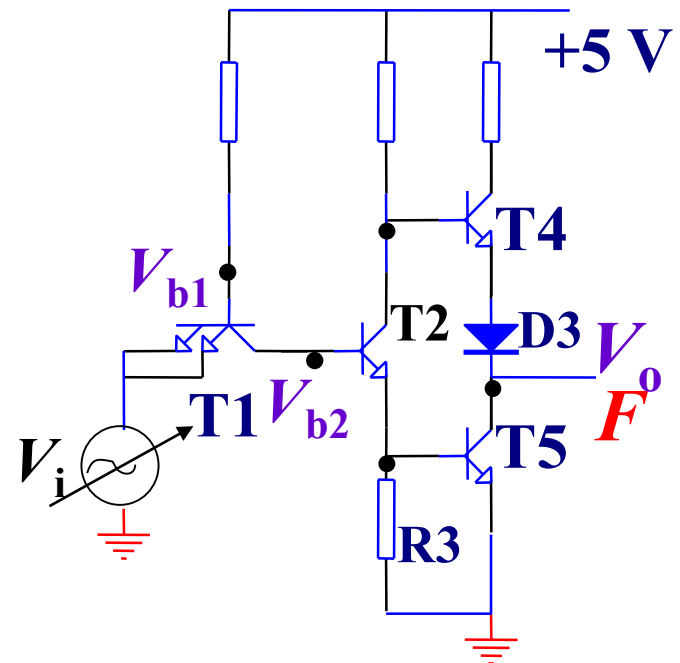
Electrical Properties of TTL NAND Gates

1. 电压传输特性

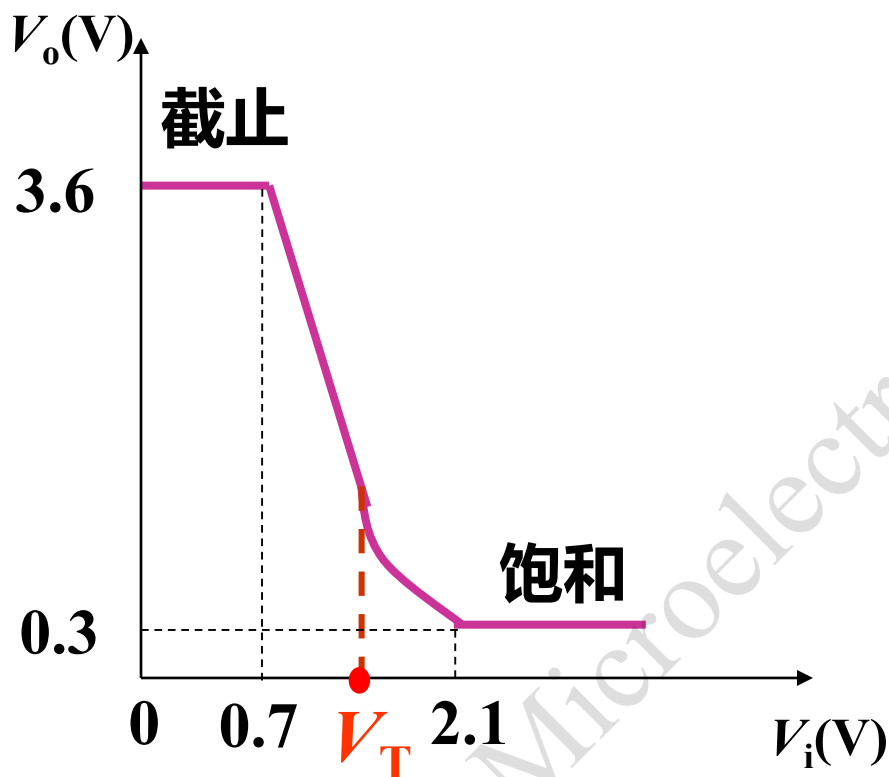
将与非门输入连在一起, 相当于非门



研究当输入 $V_i(A)$ 从低到高时,
输出 $V_o(F)$ 如何从高到低



电压传输特性



TTL 系列典型值

高电平 1: 2.8~3.6 V

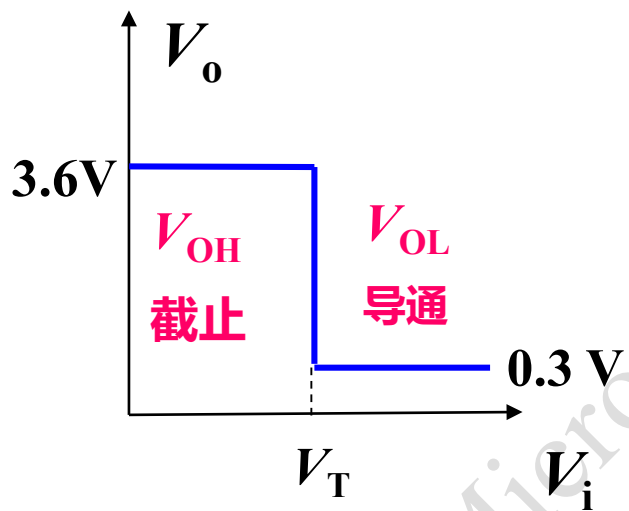
低电平 0: 0~0.3 V

V_T : 阈值电压 (门坎电压)
Threshold voltage
通常取1.4V

Input V_i $\left\{ \begin{array}{ll} V_i < 1.4V & \text{logic 0} \\ V_i > 1.4V & \text{logic 1} \end{array} \right.$

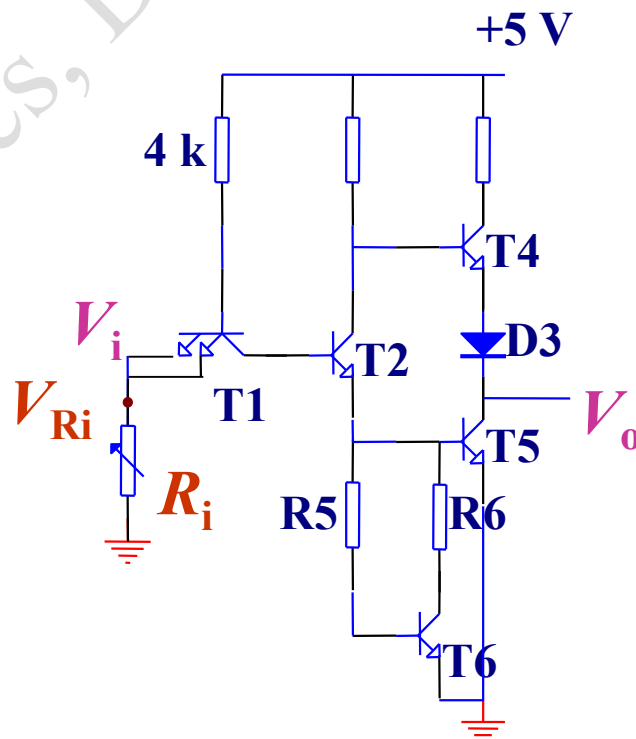
2. 输入负载特性

理想的TTL与非门电压传输特性是:



输入电阻 R_i $V_{Ri} = V_i$

求出当 $V_i = V_T = 1.4 \text{ V}$ 时的输入电阻值 R_T

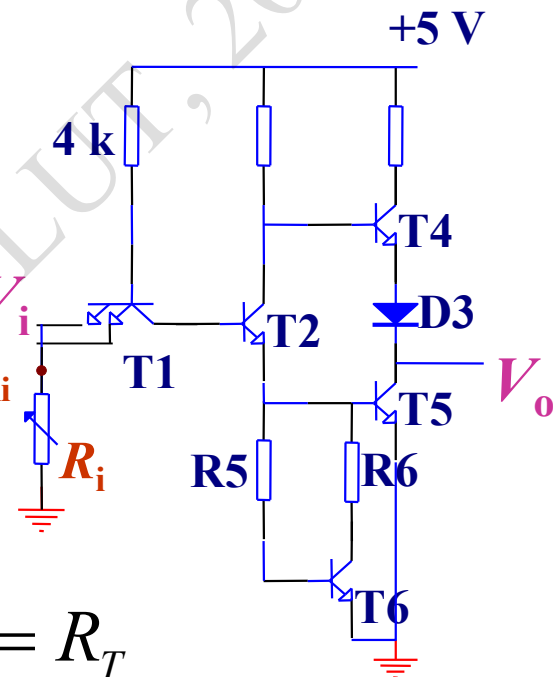


R_i 小, V_{Ri} 低 \Rightarrow 输入低电平

R_i 大, V_{Ri} 高 \Rightarrow 输入高电平

$$V_{Ri} = \frac{R_i}{4 \times 10^3 + R_i} (5 - 0.7)$$
$$= 1.4 \text{ V } (V_T)$$

门坎电压时的 R_i $R_i = 1.9 \text{ k}\Omega \approx 2 \text{ k}\Omega = R_T$



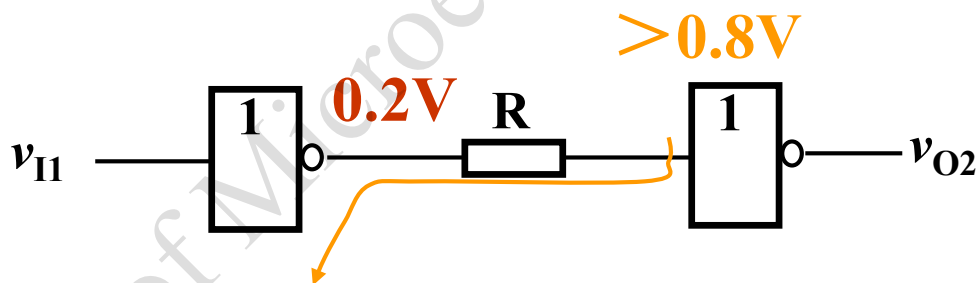
R_T : 门坎电阻

输入电阻 R_i { $R_i < R_T$, 等效于输入低电平 (0)
 $R_i > R_T$, 等效于输入高电平 (1)
 R_i 对地悬空 (∞) 逻辑高电平 (1)

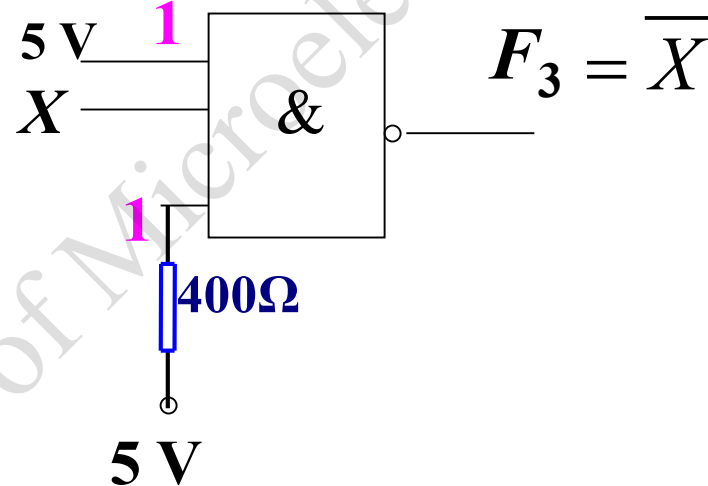
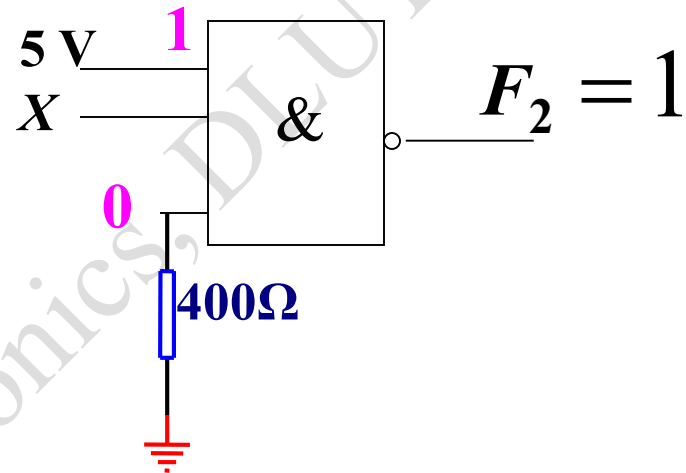
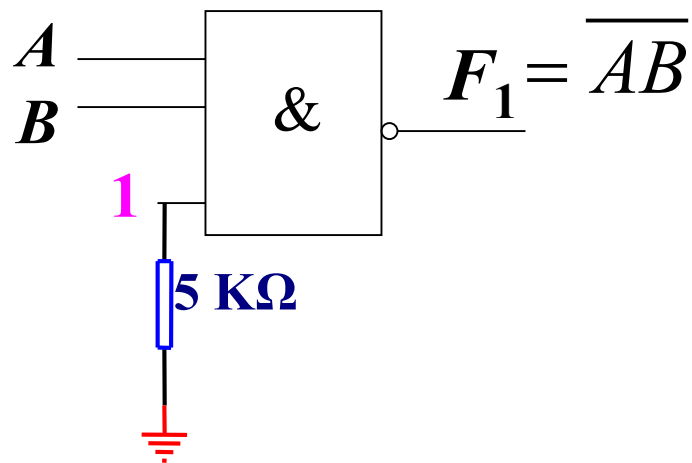
根据上述特性，使用TTL门电路应注意以下两点：

(1) 悬空相当于接高电平；

(2) 当输出端通过一个电阻接到下级输入时，当这个电阻 $R \geq 2\text{k}\Omega$ 时，低电平可能无法传送到下级电路。

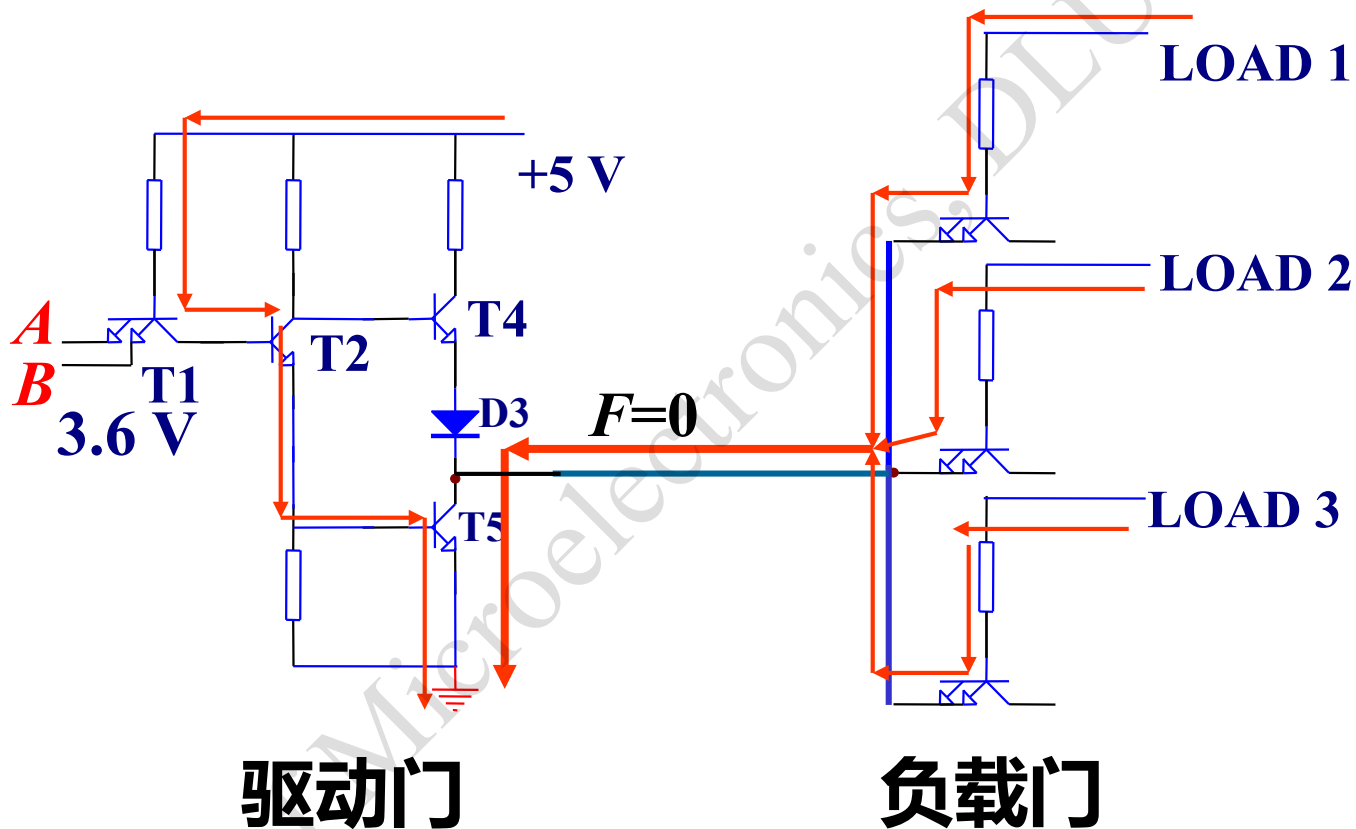


例: TTL 逻辑门



3. 输出特性 (带负载能力 - 同类门)

1) 输出低 - 灌流负载



当 $F=0$, 电流从 5 V 电源经 T1, T2 和 T5 流向地.

负载门： 输入低电平

驱动门:

$$i_{b5} > 0, \quad I_{cs5} = 0,$$

$$\therefore i_{b5} \gg \frac{I_{cs5}}{\beta} = I_{b5}$$

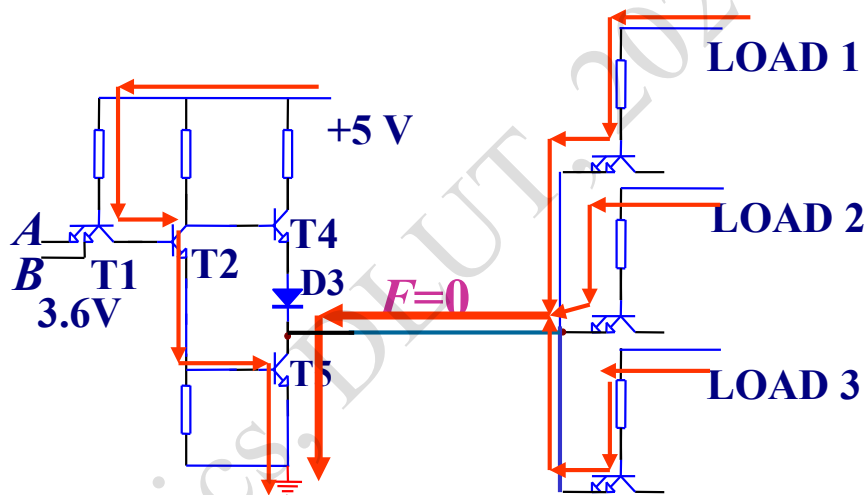
$\therefore T5$ 深饱和

每个负载门有电流 I_i 灌入, 灌电流

$$I_i = \frac{5 - 0.7}{4 \times 10^3} = 1.1 \text{ mA}$$

灌入驱动门, 这时的负载为灌流负载

$$I_{\max} = 1.6 \text{ mA}$$



如果驱动门从每一个负载门接收 1.1 mA (1.6 mA) 灌电流, I_{cs5} 就要升高, 饱和就会变浅, 输出脱离标准低电平。

因此, TTL 不能带过多负载门。驱动门的最大容许灌电流 16 mA。

扇出系数 (Fan-out) :

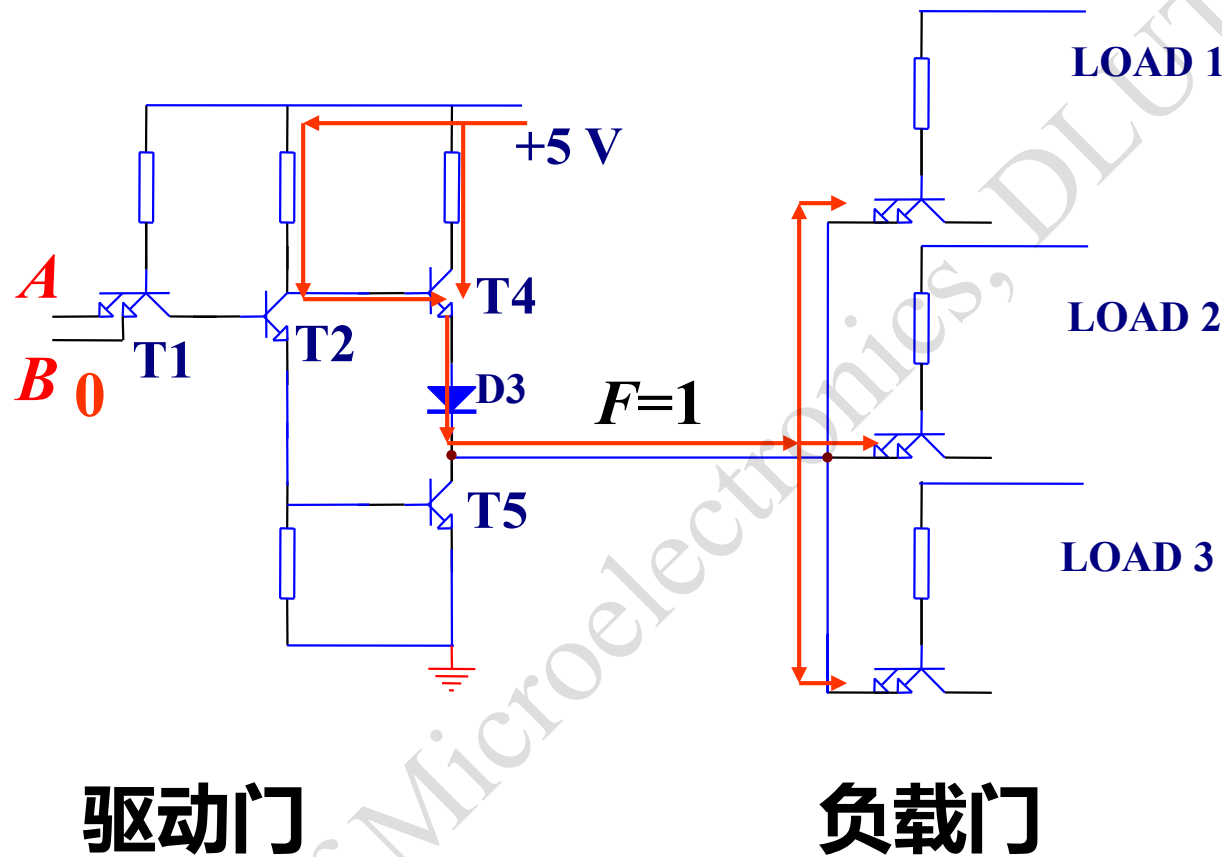
一个输出所能驱动的同类门的最大数目。

$$N = \frac{16 \text{ mA}}{1.6 \text{ mA}} = 10$$

手册上规定:

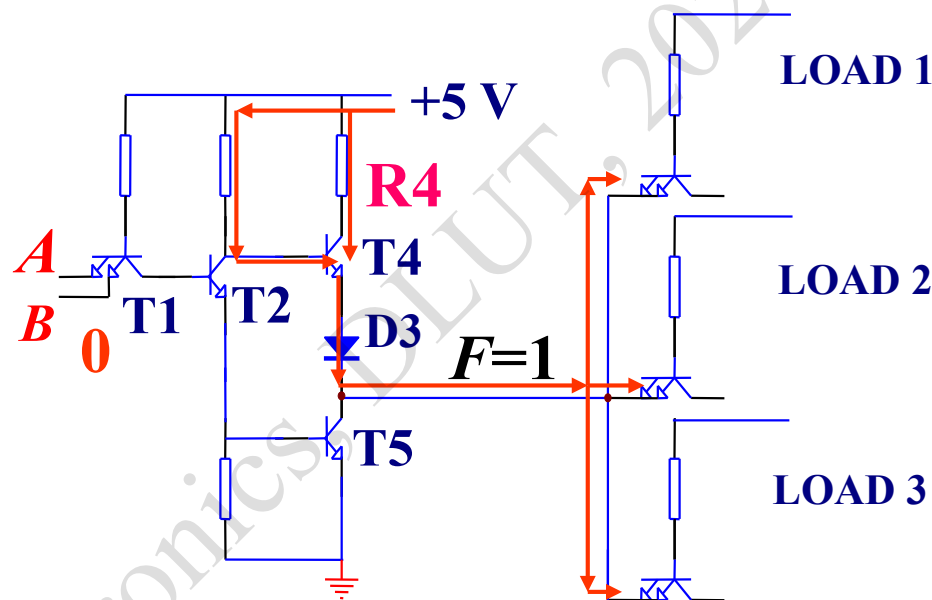
$$N \leq 8$$

2) 输出高 - 拉流负载



从 F 拉出的电流是负载门 T1 管的反向漏电流。

驱动门输出高电平时，要承受各负载门的拉电流。拉电流。拉电流越大，驱动门中 R4 上压降越大。F 非高非低，脱离标准逻辑高电平。



每负载门的拉电流为 $40\mu\text{A}$ ，驱动门最大允许拉电流 $400\mu\text{A}$

扇出系数与灌电流时相同：

$$\frac{400 \mu\text{A}}{40 \mu\text{A}} = 10$$

手册规定： $N \leq 8$

作 业

2.3

2.13 (F_1)

2.4

2.17

2.5

2.21