

第 3 章 逻辑门电路 **Logic Gates**

§ 3.1 分立元件门电路

Discrete Components Logic Gates

§ 3.2 TTL 集成门电路

TTL Integrated Logic Gates

§ 3.3 MOS 逻辑电路

MOS Logic Circuits

§ 3.1 分立元件门电路

Discrete Components Logic Gates

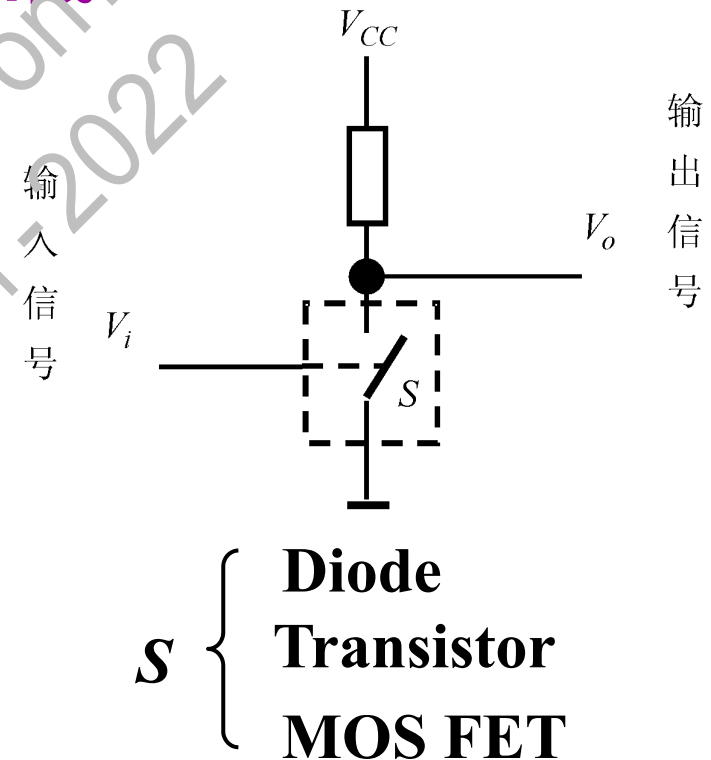
- 用电压（电平）表示逻辑高和低：

正逻辑 { 逻辑高 – 高电平
 { 逻辑低 – 低电平

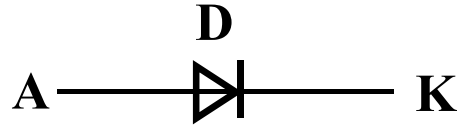
获得高 (logic 1)、低 (logic 0)
输出电平的基本原理：

开关 S	输出电位 V_o
断开	高
接通	低

输入信号 V_i 控制其工作在截止和导通两个状态， S 起开关作用。

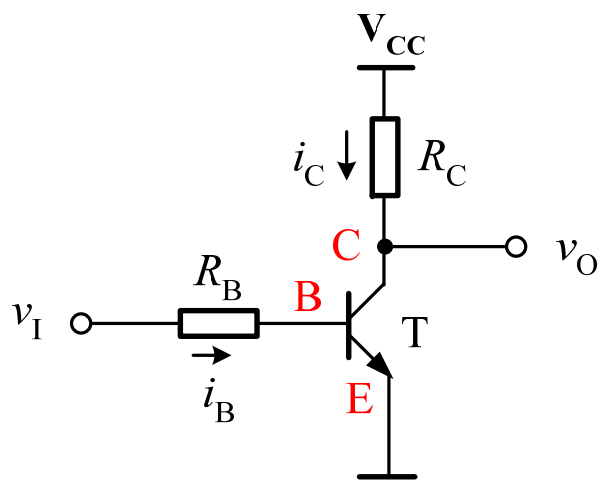


二极管



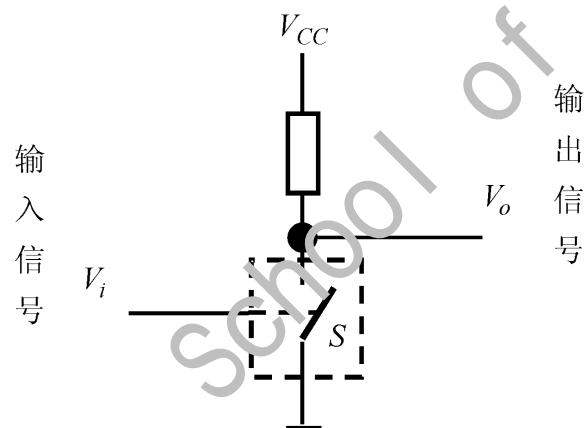
- 当二极管加**正向电压**时，二极管导通，压降维持在0.7V左右
- 当二极管加**反向电压**时，处于截止状态，只有极微小的电流 I_s (μA 级) 流过

三极管在电路中的三种工作状态： 放大状态、截止状态、饱和状态



• 关的条件（管子截止）

当 v_I 使三极管 $v_{BE} < 0.7V$,
 $i_B \approx 0$, $i_C \approx 0$, $v_O \approx V_{CC}$.



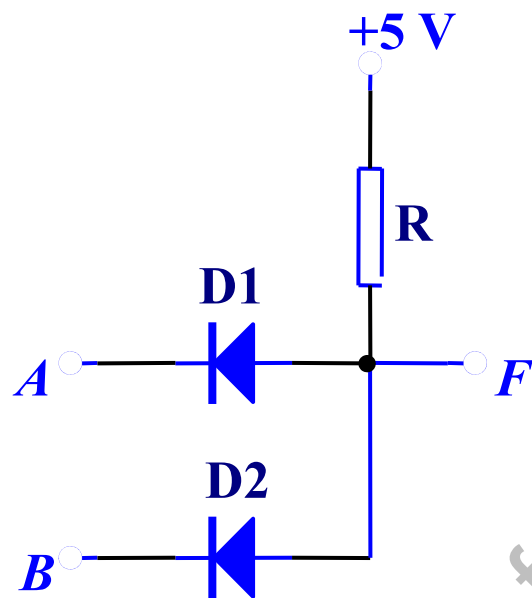
• 开的条件（管子饱和）

当输入 $v_I \geq 0.7V$, 如果

$$i_B > i_{BS} = \frac{i_{CS}}{\beta} = \frac{V_{CC} - V_{CES}}{\beta R_C}$$

1. 与门 (AND) 电路

定义：低电平 0V, 高电平 5V



当 $A=0$ (Low), D1 导通,

D1 钳位 0.7 V , $F = 0.7\text{ V}$

→ 0 (Low)

当 $B=0$, or $A=B=0$ 时,

情况相同。(真值表前3行)

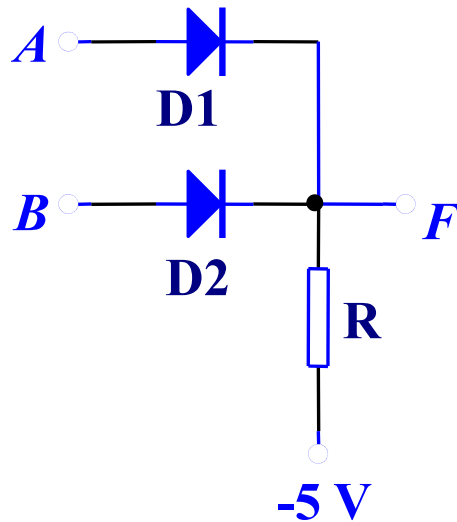
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

$$F = AB$$

当 $A=B=1$ (High, 5 V), D1 和 D2 都截止,

$F=1$ (High, 5 V) (真值表最后1行)

2. 或门 (OR) 电路 定义: 低电平 -5V, 高电平 0V



当 $A=B=0$ (-5 V, Low),

D1 和 D2 截止, $F=0$ (Low);

当 $A=1$ (High), D1 导通,

$F=1$ (High).

(减0.7 V仍为高电平)

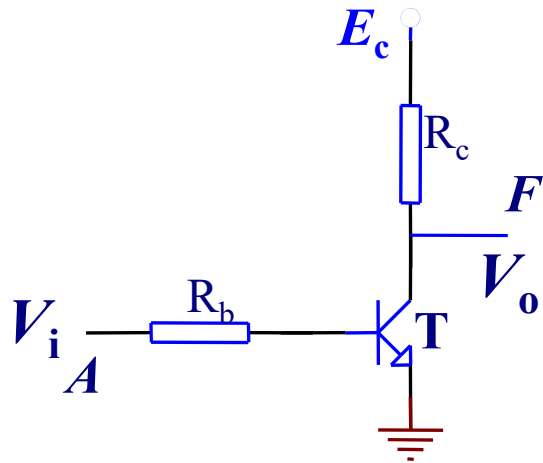
当 $B=1$, or $A=B=1$ 时, 情况相同

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

$$F = A + B$$

3. 非门 (NOT)电路

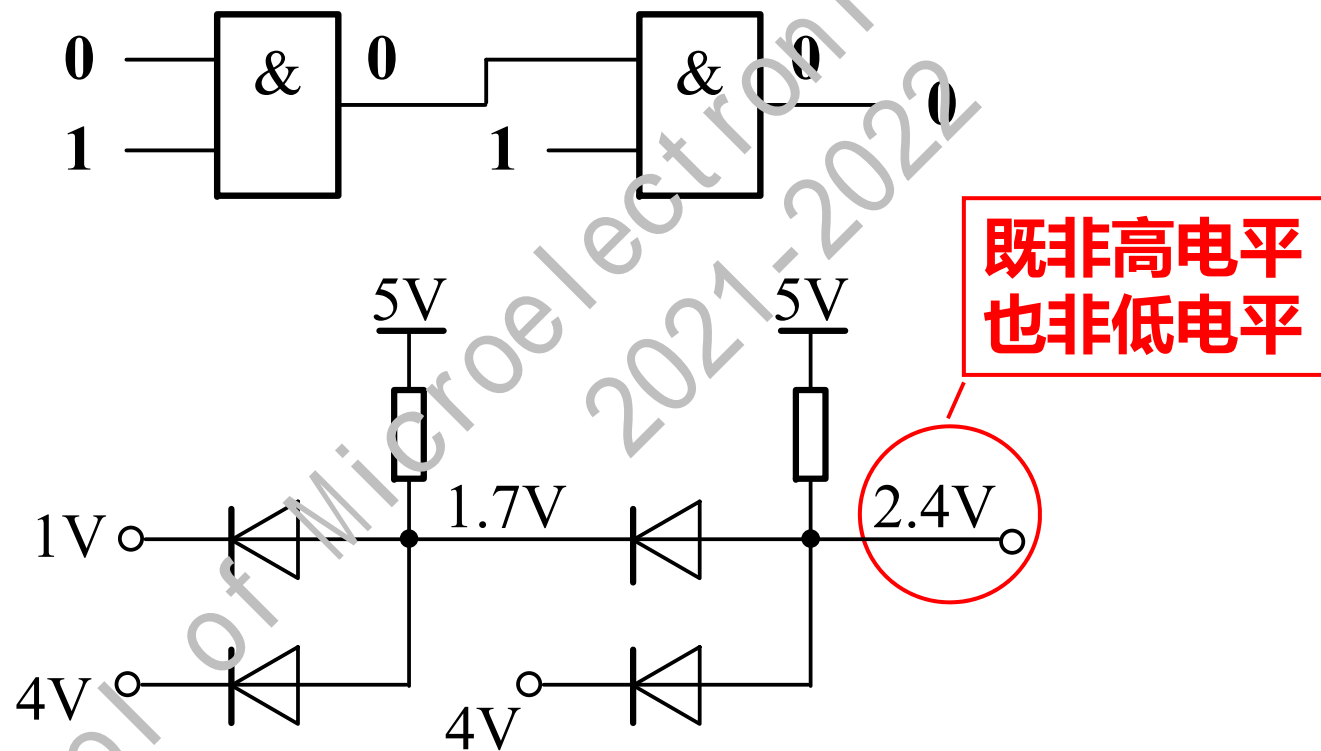
$$F = \overline{A}$$



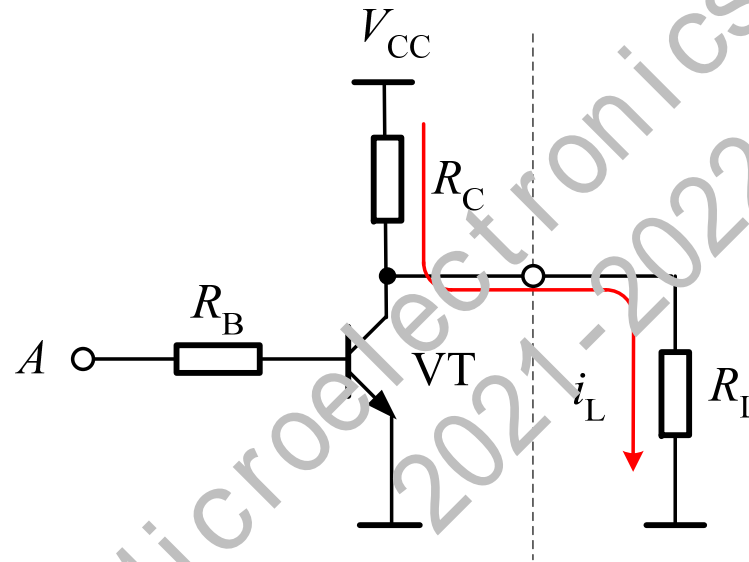
V_i	V_o	
0	E_c (1)	T 截止
1	V_{ces} (0)	T 导通

分立元件门电路存在的问题:

(1) 高低电平偏移

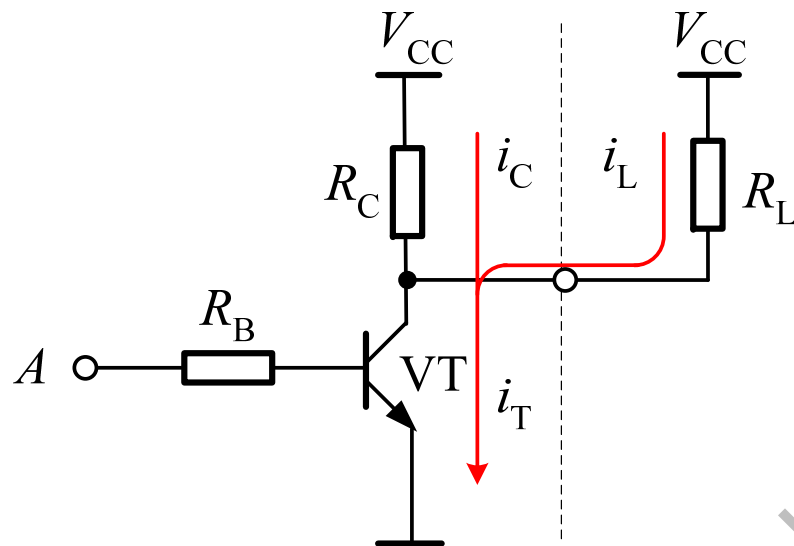


(2) 负载特性差



- 当驱动门输出高电平时

负载电流流过 R_C 将产生压降，使高电平输出电压下降，因此，要求 R_C 越小越好。



各电流之间的关系:

$$i_L + i_C = i_T$$

- 当门电路输出低电平时

i_T 增大将使驱动门低电平输出电压上升。

在 i_T 不变的情况下, i_C 越小, 允许灌电流 i_L 越大。因此, 要求 R_C 越大越好。

§ 3.2 TTL 集成门电路

§ 3.2.1 TTL 与非门 TTL NAND Gates

TTL——Transistor Transistor Logic 晶体管晶体管逻辑

TTL系列 {
74: 经典系列
74H: 高速系列
74S: 肖特基系列
74LS: 低功耗、肖特基

TTL 系列典型值

高电平 1: 2.8~3.6 V

低电平 0: 0~0.3 V

1. 工作原理

$$F = \overline{AB}$$

T1: 两发射极 (多发射极), 两个be结

A、B任意接低电平, 必有一个发射结导通

