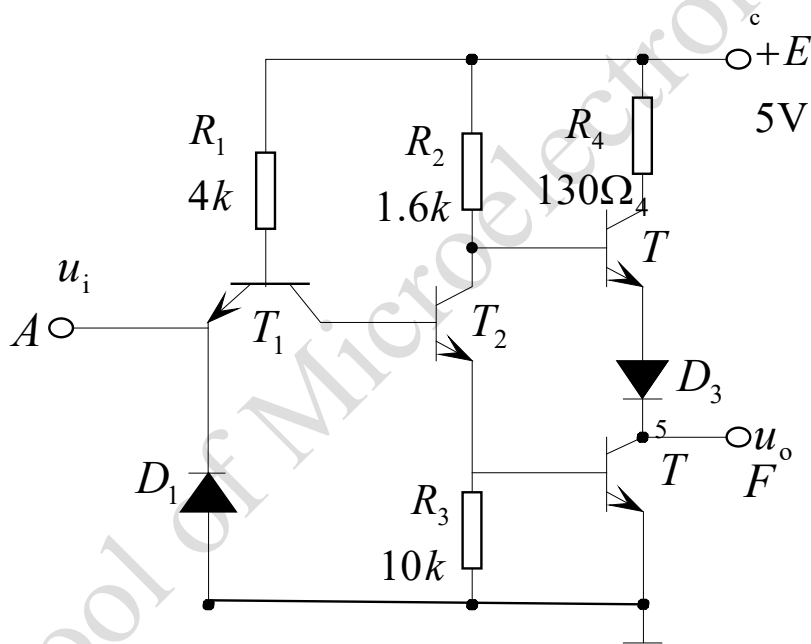


§3.2.3 其他类型TTL门电路

Other TTL Gates

1. TTL 非门

TTL 非门与 TTL 与非门基本相同。



$$F = \overline{A}$$

2. 或非门

$$F = \overline{A + B}$$

$A: T_1, T_2, R_1$
 $B: T_1', T_2', R_1'$

相同电路

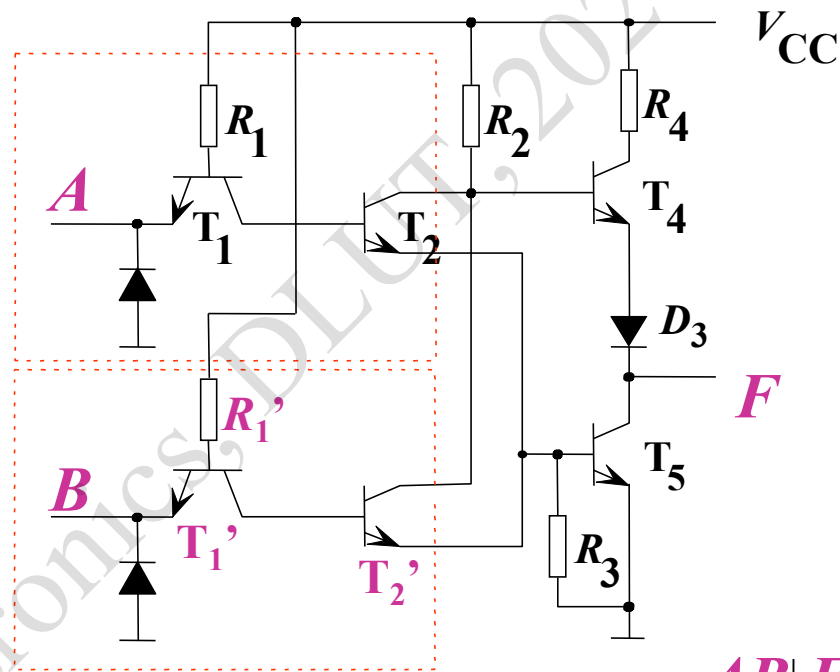
**中间级和输出级和
与非门相同**

$A: \text{高}$
 $\left\{ \begin{array}{l} T_2, T_5 \text{ 导通} \\ T_4, D_3 \text{ 截止} \end{array} \right\}$
 $F: \text{低}$

$B: \text{高}$
 $\left\{ \begin{array}{l} T_2', T_5 \text{ 导通} \\ T_4, D_3 \text{ 截止} \end{array} \right\}$
 $F: \text{低}$

只有当 A 和 B 同时低
 $\left\{ \begin{array}{l} T_2', T_2 \text{ 都截止} \\ T_5 \text{ 截止} \\ T_4 \text{ 导通} \end{array} \right\}$
 $F: \text{高}$

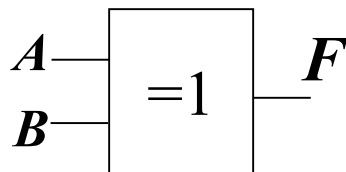
$$F = \overline{A + B}$$



T_2 和 T_2' 集电极 $\rightarrow T_4$
 发射极 $\rightarrow T_5$

AB	F
0 0	1
0 1	0
1 0	0
1 1	0

3. 异或门



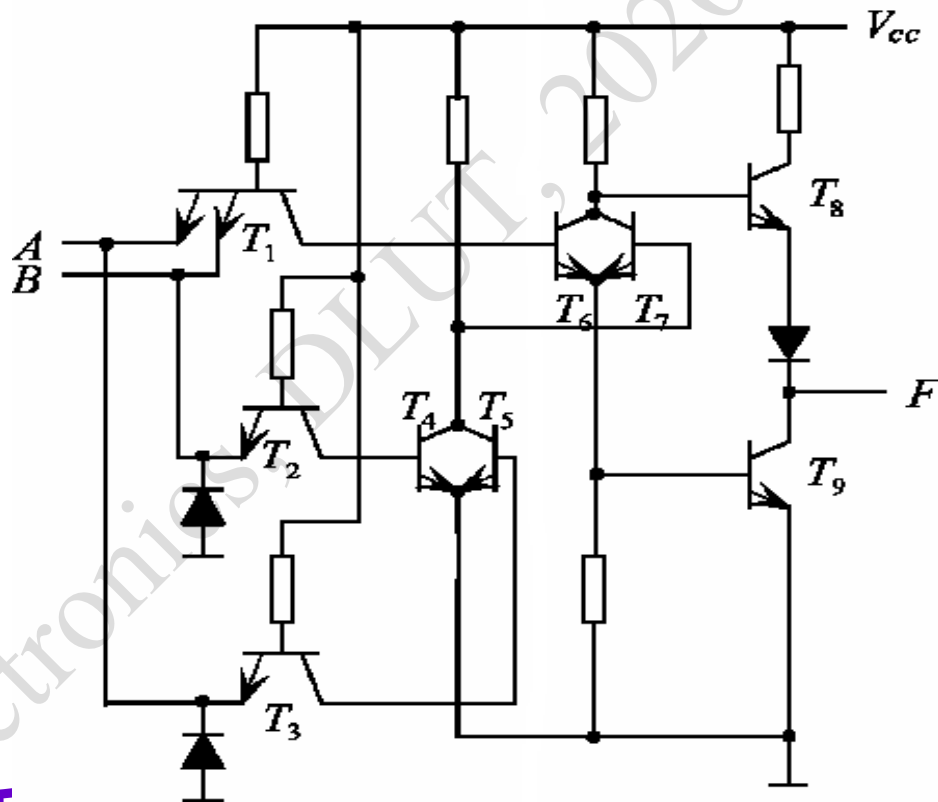
A, B 都高

$\left\{ \begin{array}{l} T_6, T_9 \text{ 导通} \\ T_8 \text{ 截止} \end{array} \right\} F \text{ 低}$

A, B 都低

$\left\{ \begin{array}{l} T_2, T_3 \text{ 发射极导通} \\ T_4, T_5 \text{ 截止 } (V_{7b} \text{ 高}) \\ T_7, T_9 \text{ 导通} \\ T_8 \text{ 截止} \end{array} \right\} F \text{ 低}$

A, B 不同 $\left\{ \begin{array}{l} T_1 \text{ 导通, } T_6 \text{ 截止} \\ T_4, T_5 \text{ 之一导通 } (V_{7b} \text{ 低}), \rightarrow T_7 \text{ 截止} \\ T_8 \text{ 导通, } T_9 \text{ 截止} \end{array} \right\} \begin{array}{l} F \text{ 高} \\ F = A \oplus B \end{array}$

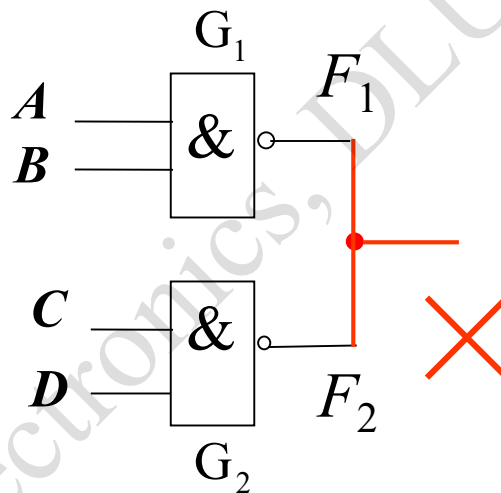


3. 集电极开路与非门 (OC门, Open Collector)

当需要下面运算时

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$

有一种连接方法
如图

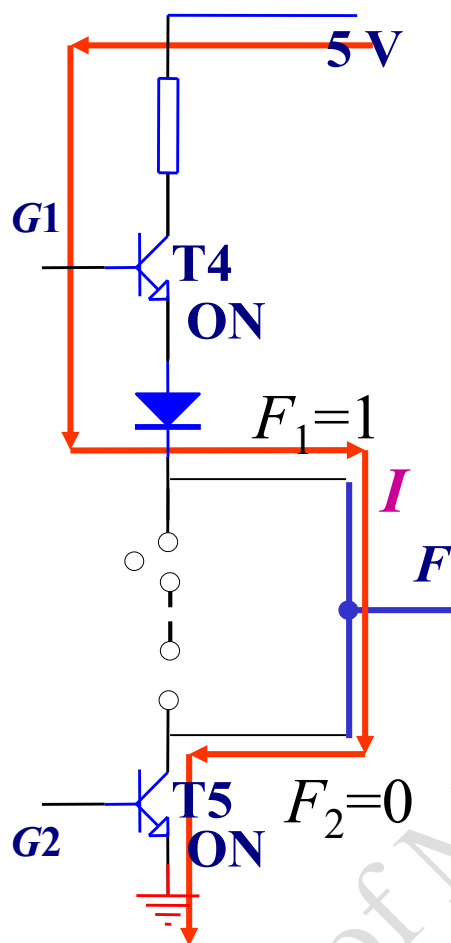


$$\begin{aligned} F &= F_1 \cdot F_2 \\ &= \overline{AB} \cdot \overline{CD} \end{aligned}$$

这种连法称“线与”

普通TTL门电路禁止这种连接方法

原因：



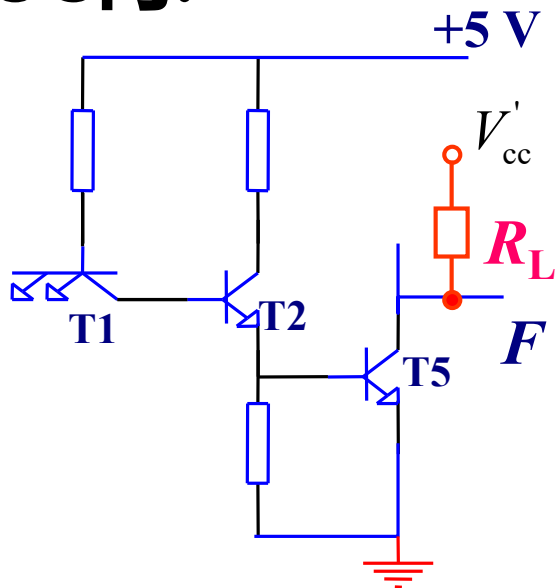
如果 $G1$ 输出高，而 $G2$ 输出低，会形成一个很大电流 I 从 $G1$ T4 流向 $G2$ T5.

导致：

I { $G2$ T5 烧毁
输出 F 脱离标准逻辑电平

非 1 非 0, 逻辑错误。

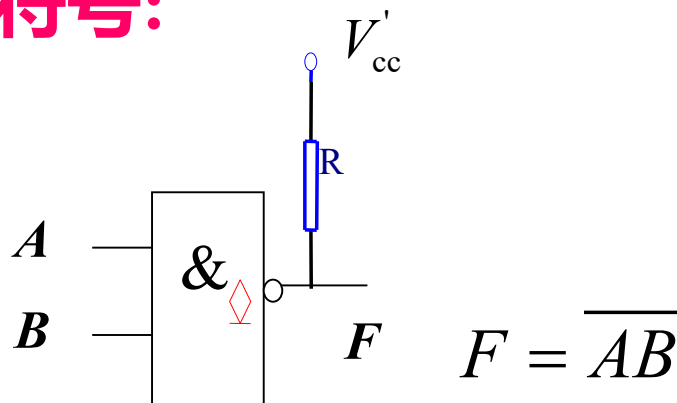
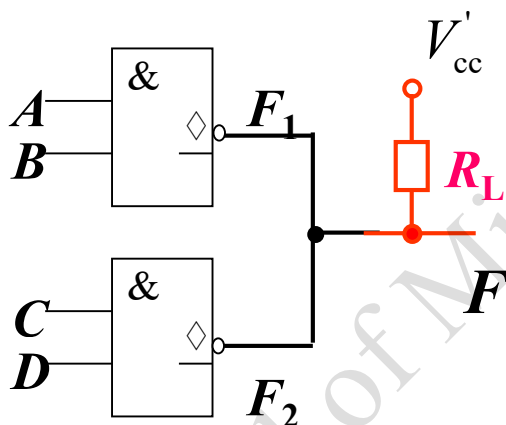
OC门:



集电极开路与非门去掉了
T4 和 D3, 用一个上拉电阻 R_L
替代。

选择适当 V'_{cc} 和 R_L 值, 就
可以实现高电平和线与。

OC 门符号:



$$F = \overline{AB}$$

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

(负载电阻的计算, 见书)

§3.3 MOS 逻辑电路

MOS Logic Circuits

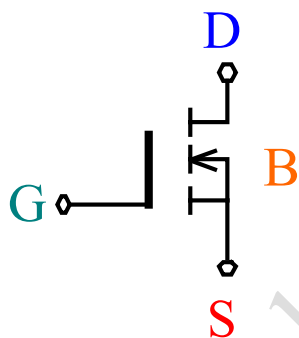
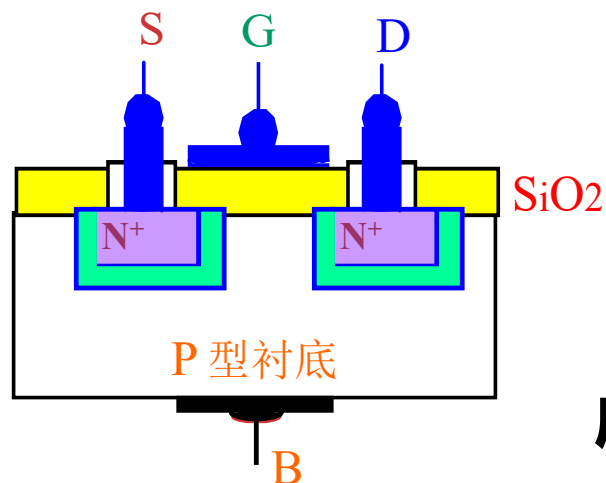
- MOS 逻辑电路的基本单元为MOSFET

金属氧化物半导体场效应晶体管

(Metal-Oxide-Semiconductor Field Effect Transistor , MOSFET)

- MOS管分为NMOS、 PMOS

1.NMOS管的结构和符号



取一块P型半导体作为**衬底**，用B表示用氧化工艺生成一层SiO₂ 薄膜绝缘层。

用光刻工艺腐蚀出两个孔。

扩散两个高掺杂的N型区，从而形成两个PN结。

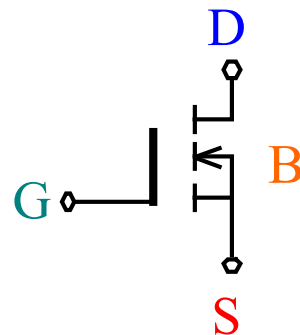
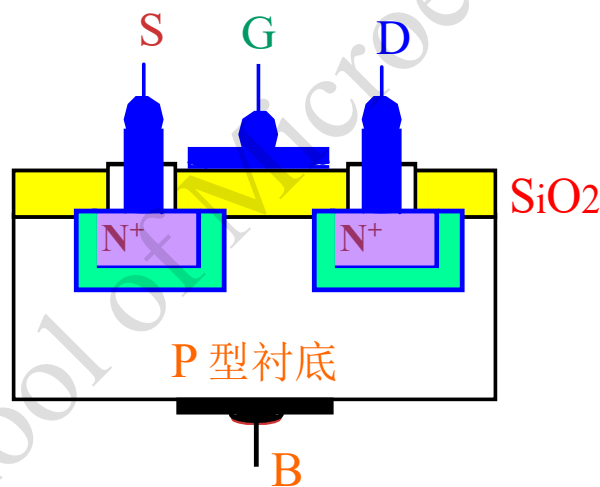
从N型区引出电极，一个是**漏极D**，一个是**源极S**。

在源极和漏极之间的绝缘层上镀一层金属铝作为**栅极G**。

2. MOS管的工作原理

(1) 当 $v_{GS}=0V$ 时

当 $v_{GS}=0V$ 时，漏极D和源极S之间为两个PN结，两端加上电压总有一个PN结反偏，因此，无电流流过， $i_D=0$ 。管子处于截止状态。

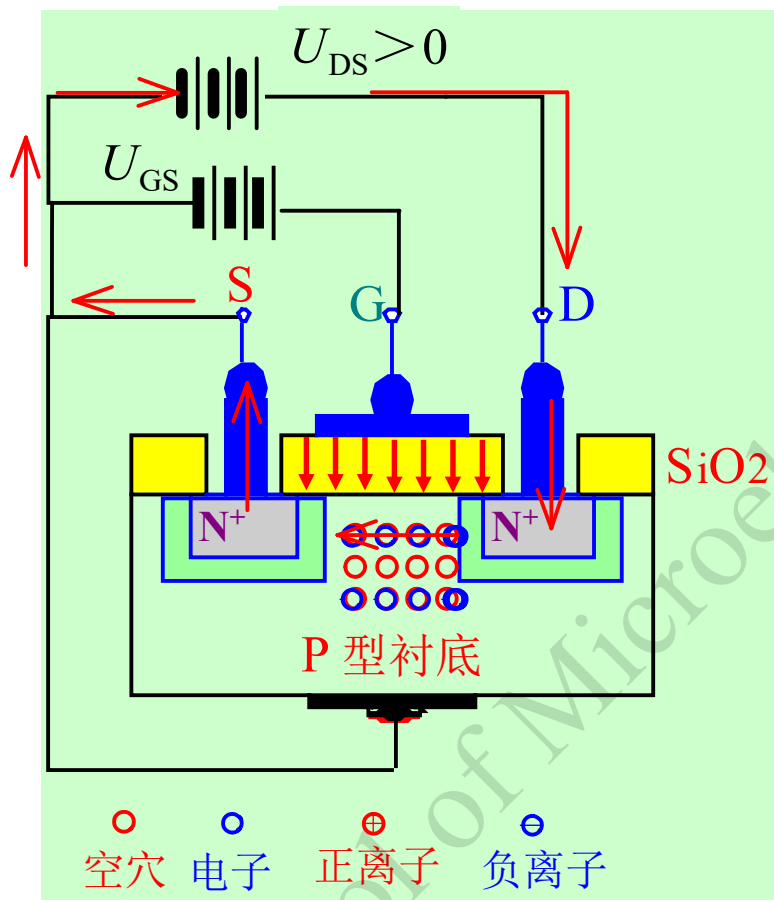


2.MOS管的工作原理

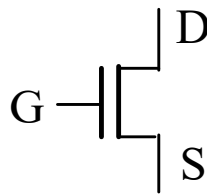
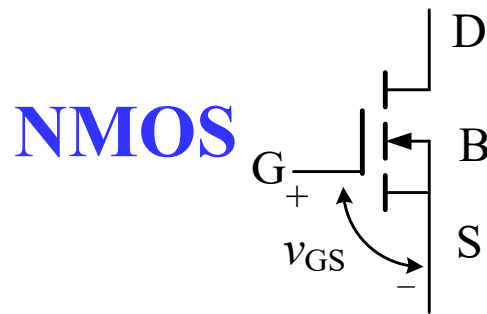
(2) 当 $v_{GS} > 0$ 时

$v_{GS} > 0$ 将在绝缘层产生电场，该电场将SiO₂绝缘层下方的空穴推走，同时将衬底的电子吸引到下方，形成导电沟道。

当 $v_{DS} > 0$ 产生有漏极电流 i_D 。这说明 v_{GS} 对 i_D 的控制作用。

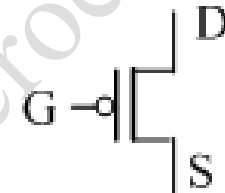
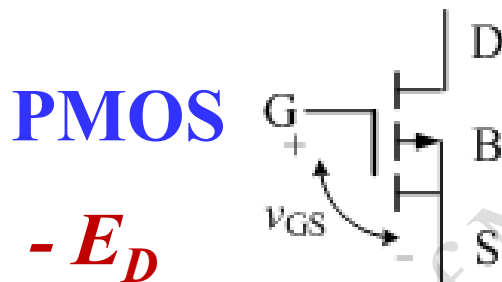


3. NMOS管和PMOS管的通断条件



当 $v_{GS} > V_{TN}$ 时导通

当 $v_{GS} < V_{TN}$ 时截止



当 $|v_{GS}| > |V_{TP}|$ 时导通

当 $|v_{GS}| < |V_{TP}|$ 时截止

$$V_T = 2\text{ V} \sim 2.5\text{ V}$$

$$E_D = 5\text{ V} \sim 15\text{ V}$$

4. MOSFET 开关特性

当 $V_i = V_{GS} < V_T$, NMOS 截止

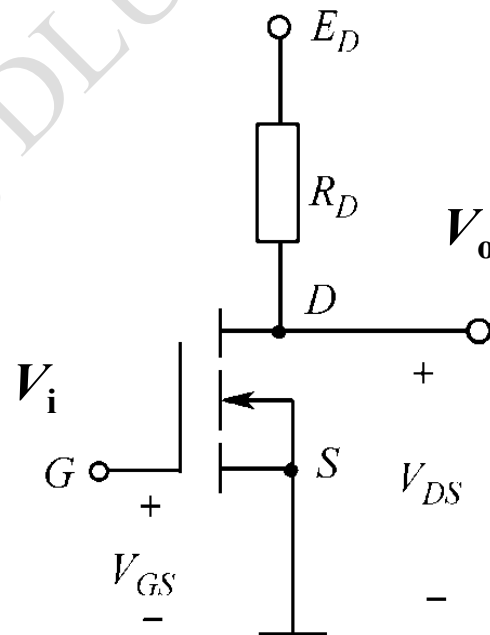
MOSFET 在截止状态的
电阻 R_{OFF}

$$R_{OFF} \geq 10^{10} \Omega$$

MOSFET 的 D - S 结等效于断开.

只要 $R_D \ll R_{OFF}$, 输出为高电平: $V_{OH} \approx E_D$

NMOS 开关电路



NMOS 开关电路

当 $V_i > V_T$, NMOS处于恒流区, NMOS的导通电阻:

$$R_{ON} \sim 1k\Omega$$

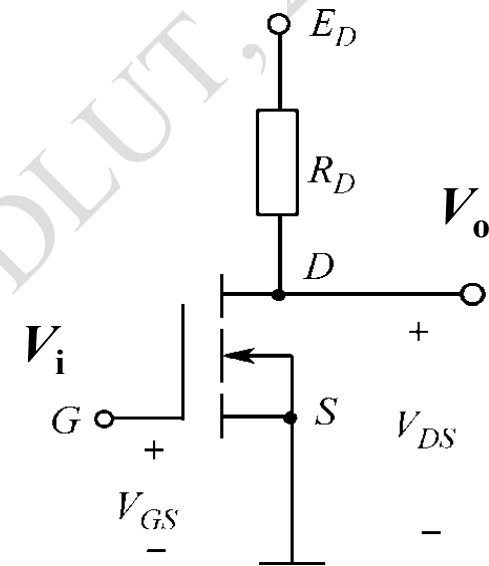
只要 $R_D \gg R_{ON}$, 输出为低电平:

$$V_{OL} \approx 0.$$

MOSFET的 $D-S$ 结相当于 短路.

输入低电平, MOS 截止, 输出高电平;
输入高电平, MOS 导通, 输出低电平。

非门

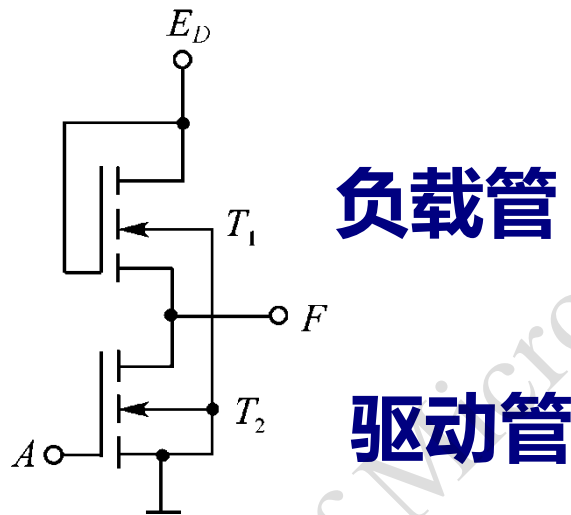


§ 3.3.1 NMOS 门电路

NMOS Gate Circuits

1. NMOS 非门

NMOS 非门含有两个 N-沟 FETs:



$$R_{ON1} = 100 \text{ k}\Omega$$

T_1 : 负载管

T_2 : 驱动管, 接输入 A

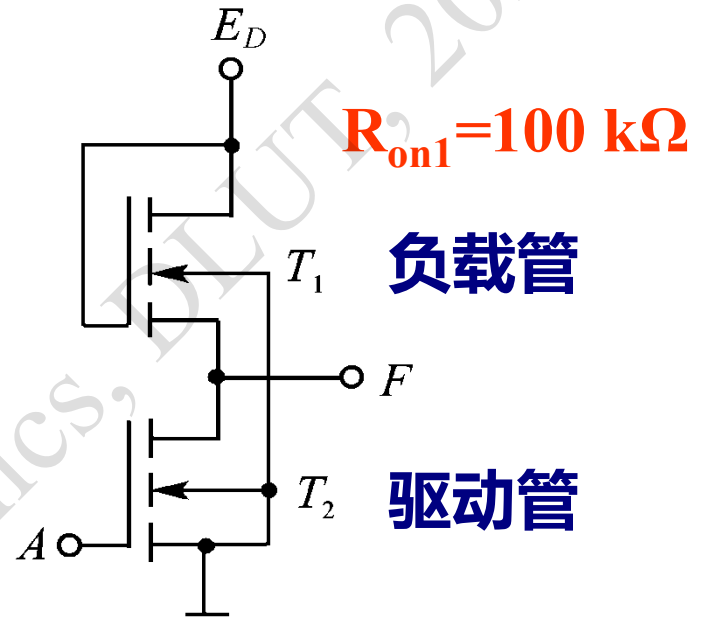
负载管 T_1 栅极接 E_D , 总是导通, 基本作用为负载电阻 (有源负载省面积)

输入 $A = 0$ V (logic 0),

$$V_{GS2} < V_T,$$

T_2 截止,

$$R_{off} \geq 10^{10} \Omega$$



输出:
$$F = \frac{10^{10}}{10^5 + 10^{10}} \times E_D \approx E_D$$

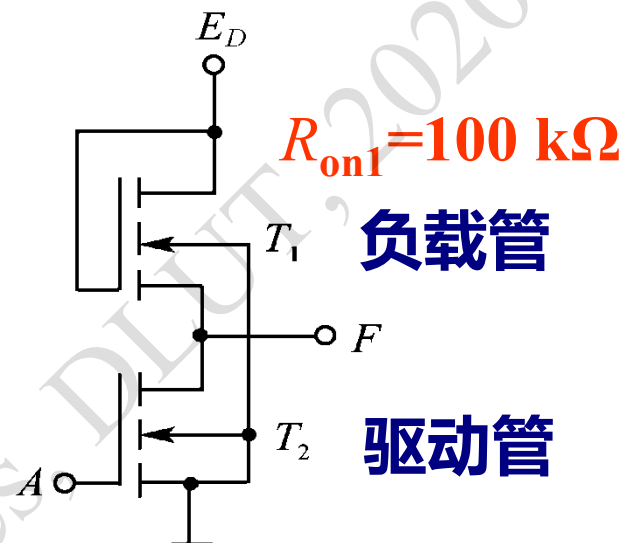
$$F = E_D \text{ (logic 1)}$$

$$\therefore A = 0, F = 1$$

输入 $A = 5\text{ V}$ (logic 1),

$V_{GS} > V_T$, T_2 导通,

$R_{on2} = 1\text{ k}\Omega$



$$F = \frac{R_{ON2}}{R_{ON1} + R_{ON2}} E_D = \frac{1k}{100k + 1k} E_D \approx 0.01 E_D$$

$\therefore F = 0$ (logic 0)

真值表

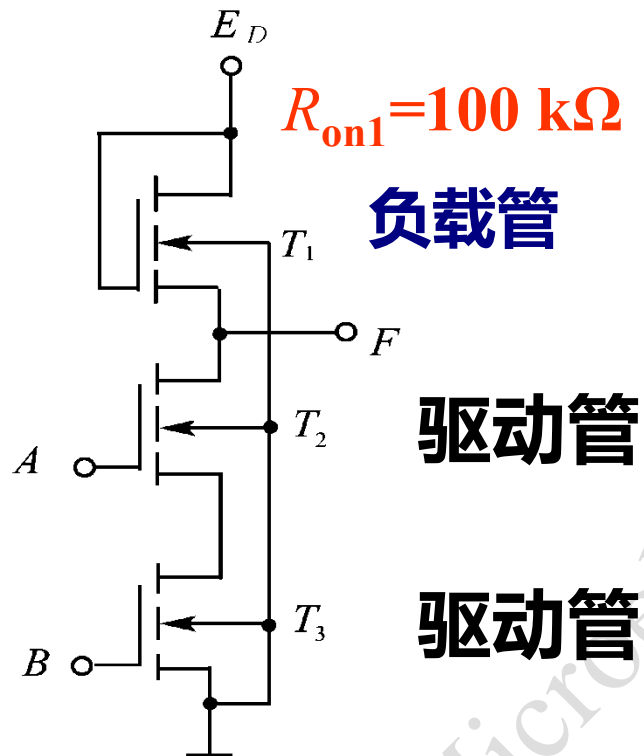
A	T_1	T_2	F
0	on	off	1
1	on	on	0

实现逻辑功能

$$F = \overline{A}$$

对MOS逻辑门，采用MOS管导通和截止状态电阻的不同，用分压的方法来分析输出逻辑电平的高低。

2. NMOS 与非门



\therefore 输出 $F = \overline{AB}$

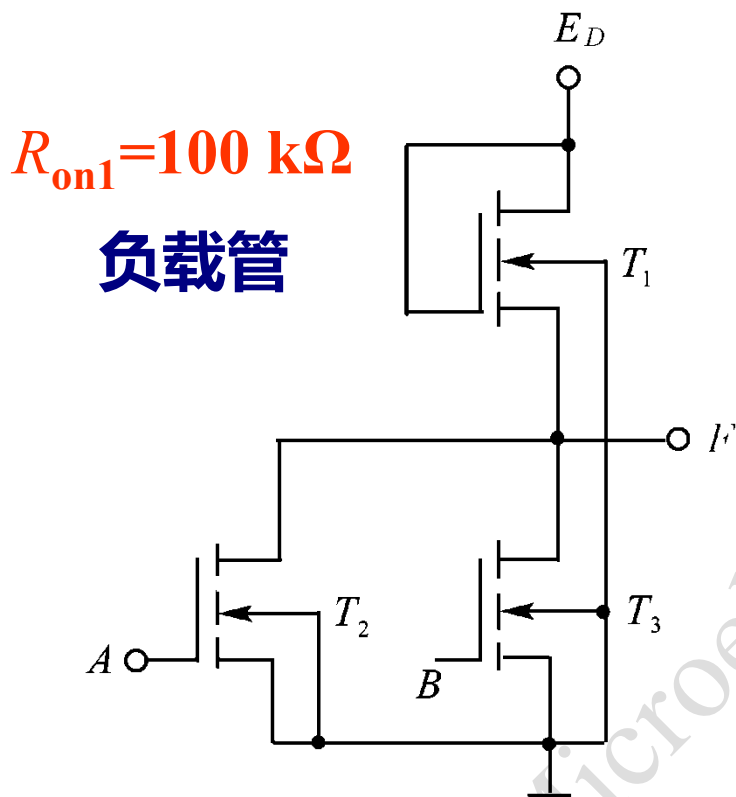
两个驱动管 T_2 和 T_3
串联，输入分别为 A 和
 B 。

输入、输出列于真值表：

$A\ B$	T_1	T_2	T_3	F
0 0	on	off	off	1
0 1	on	off	on	1
1 0	on	on	off	1
1 1	on	on	on	0

两个NMOS驱动管 串联，实现与非关系。

3. NMOS 或非门



$A\ B$	T_1	T_2	T_3	F
0 0	on	off	off	1
0 1	on	off	on	0
1 0	on	on	off	0
1 1	on	on	on	0

$$\therefore F = \overline{A + B}$$

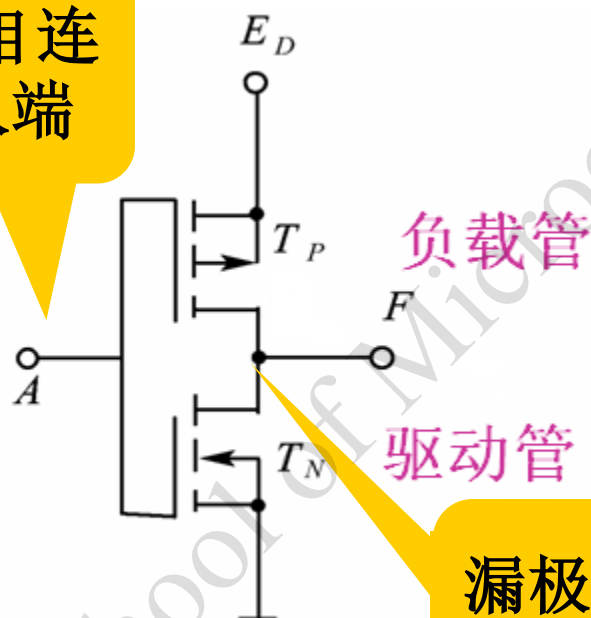
两个NMOS驱动管
并联，实现或非关系。

§ 3.3.2 CMOS 门电路 CMOS Gate Circuits

互补型MOS (CMOS: **Complementary**) 逻辑门在一个电路中同时包含PMOS和NMOS。

1. CMOS 非门

栅极相连
做输入端



漏极相连
做输出端

PMOS: 负载

NMOS: 驱动

$$E_D = 10 \text{ V}$$

$$E_D > (V_{TN} + |V_{TP}|)$$

$$V_{TN} = |V_{TP}|$$

大于两门坎电压代数和

$A = 0$, T_N 截止, T_P 导通

$$V_{GSN} < V_{TN},$$

$$V_{GSP} = 0 - E_D = -E_D$$

$$|V_{GSP}| > |V_{TP}|$$

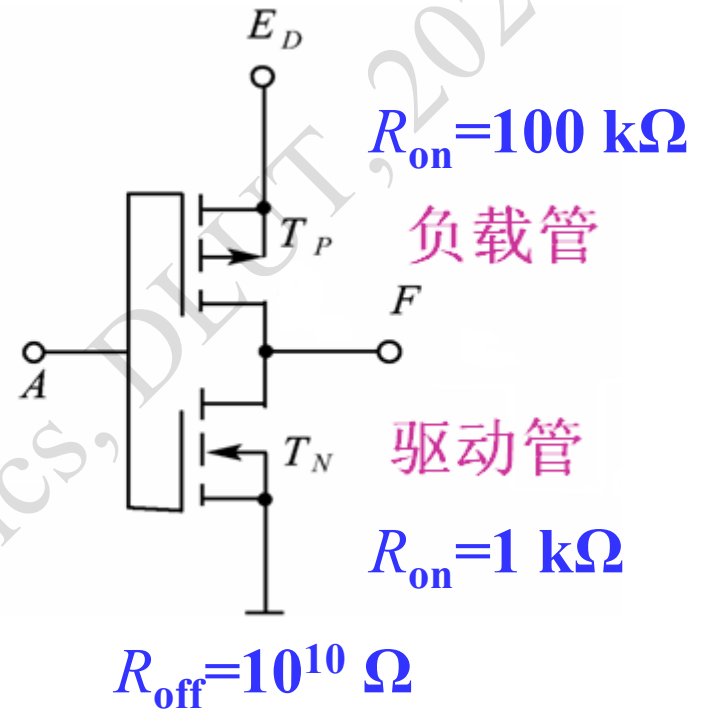
$$F = E_D = 1$$

$A = 1$, T_N 导通, T_P 截止

$$V_{GSP} = E_D - E_D = 0$$

$$< |V_{TP}|$$

$$F = 0$$

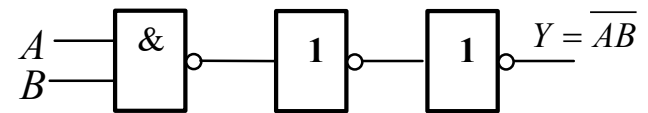
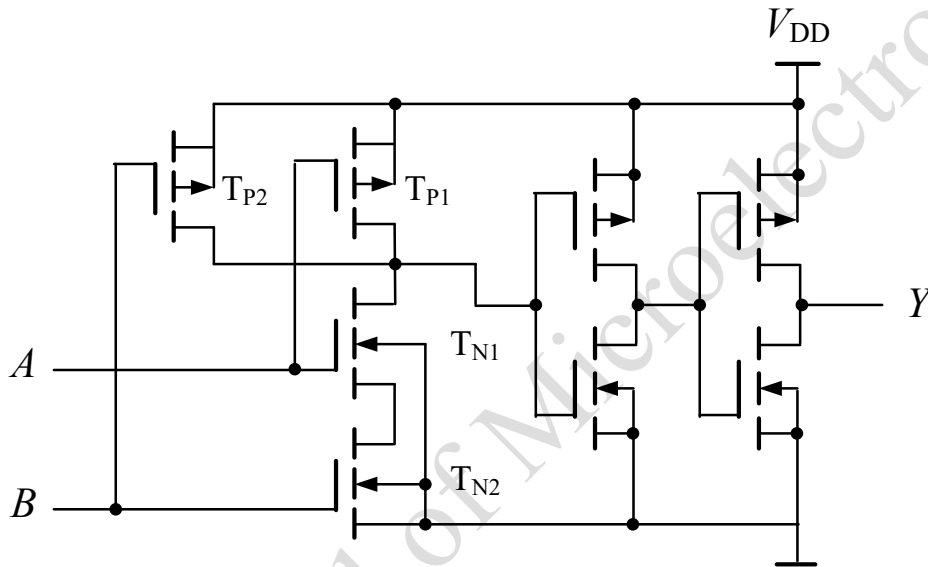


A	T_P	T_N	F
0	on	off	1
1	off	on	0

$$F = \overline{A}$$

带缓冲器的门电路

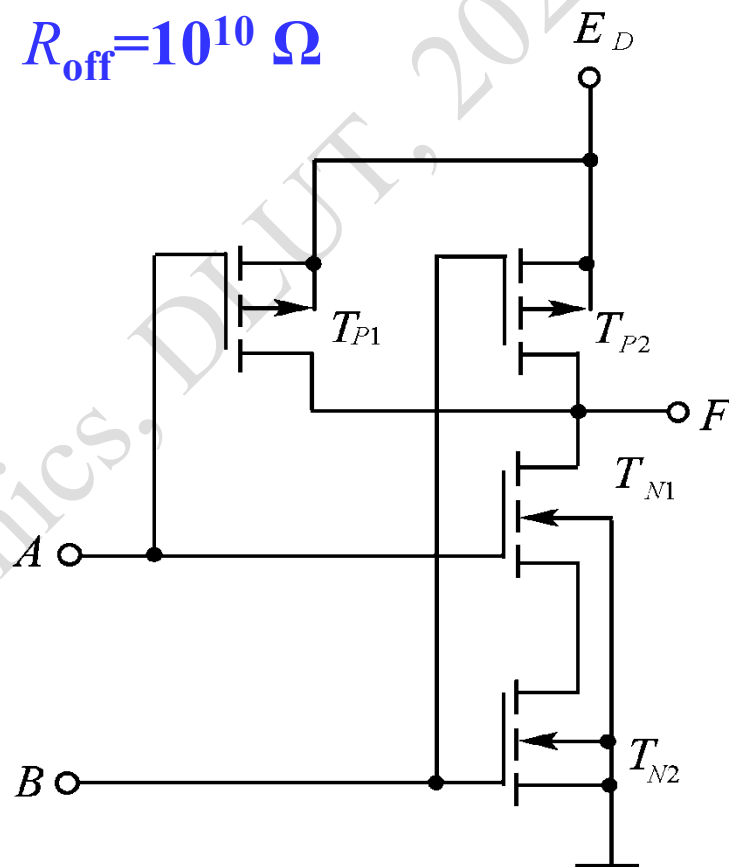
缓冲器 (buffer)是具有一个输入和一个输出的门电路，分正相缓冲器和反相缓冲器。



2. CMOS 与非门

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	F
0	0	off	off	on	on	1
0	1	off	on	on	off	1
1	0	on	off	off	on	1
1	1	on	on	off	off	0

$$R_{\text{off}} = 10^{10} \Omega$$

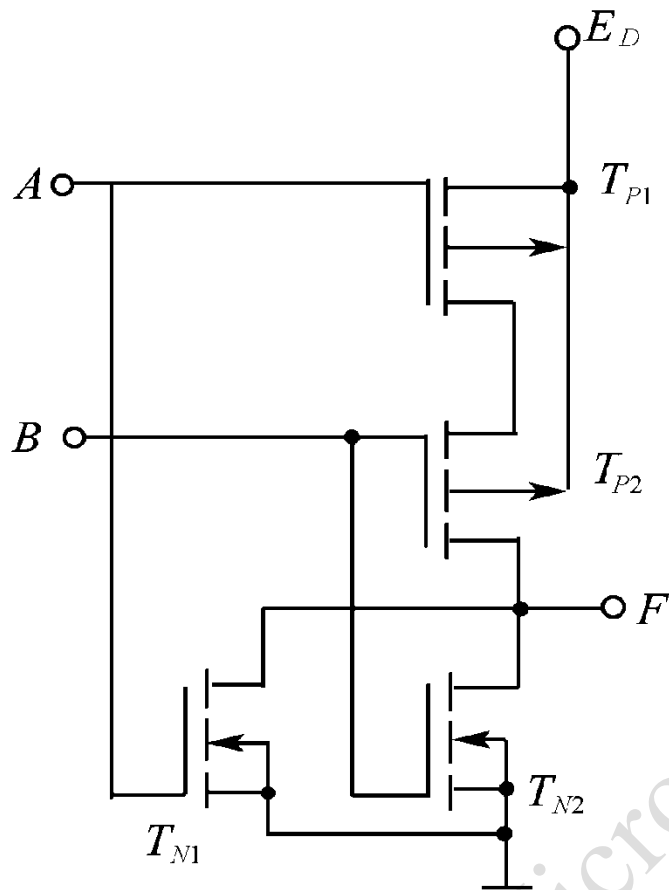


两个驱动管 T_{N1} 和 T_{N2} 串联

两个负载管 T_{P1} 和 T_{P2} 并联

功能: 与非

$$F = \overline{AB}$$



3. CMOS 或非门

A	B	T_{N1}	T_{N2}	T_{P1}	T_{P2}	F
0	0	off	off	on	on	1
0	1	off	on	on	off	0
1	0	on	off	off	on	0
1	1	on	on	off	off	0

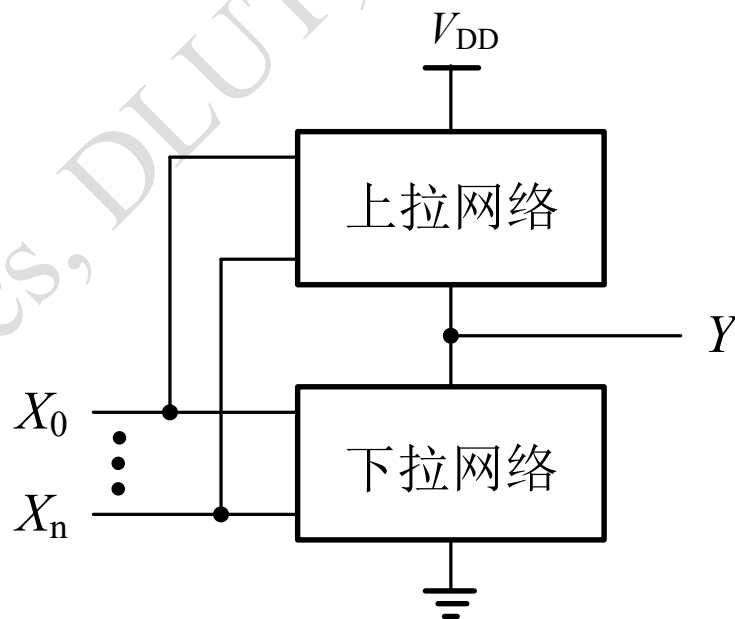
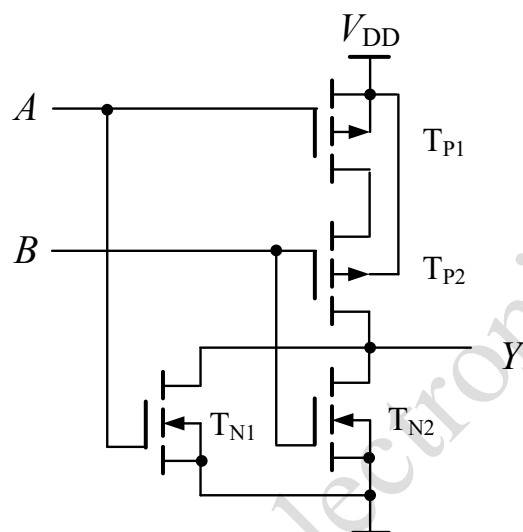
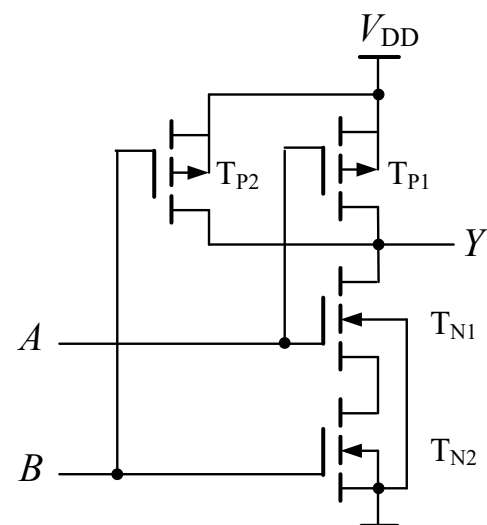
功能: 或非

$$F = \overline{A+B}$$

两 NMOS 并联作为驱动管

两 PMOS 串联作为负载管

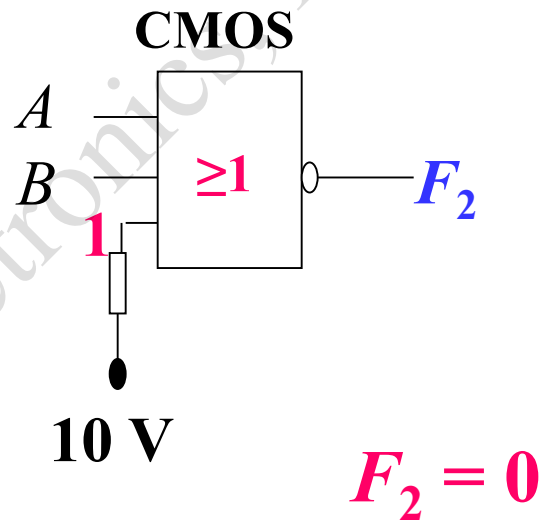
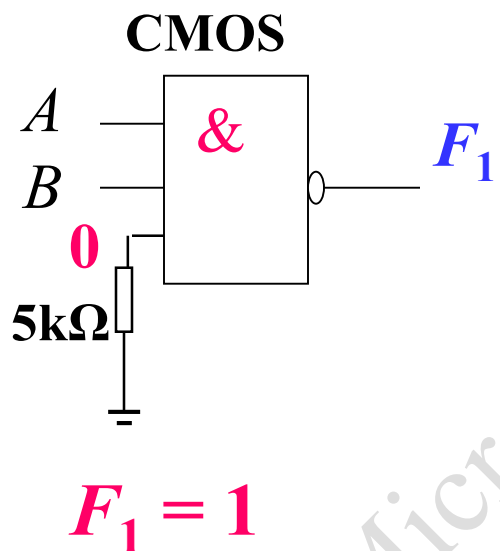
思考：CMOS门电路结构上有什么规律？



- (1) **下拉**网络由**NMOS**管构成，**上拉**网络由**PMOS**管构成
- (2) 上拉网络和下拉网络**相互对偶**
- (3) 每个**输入端**同时加到一个NMOS管和一个PMOS管的栅极
- (4) **NMOS**管串联可实现与，并联可实现或，其输出是该操作的反

输入负载特性

MOS电路输入电阻 $R_{GS} > 10^{10} \Omega$, 所以无论外接电阻多大, 都是: 接地 $\rightarrow 0$, $E_c \rightarrow 1$ 。

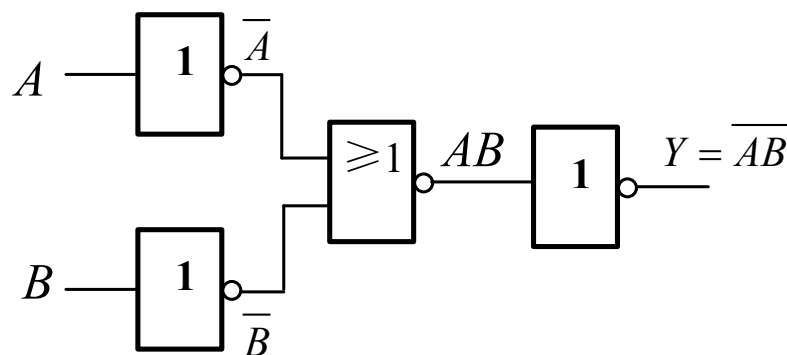
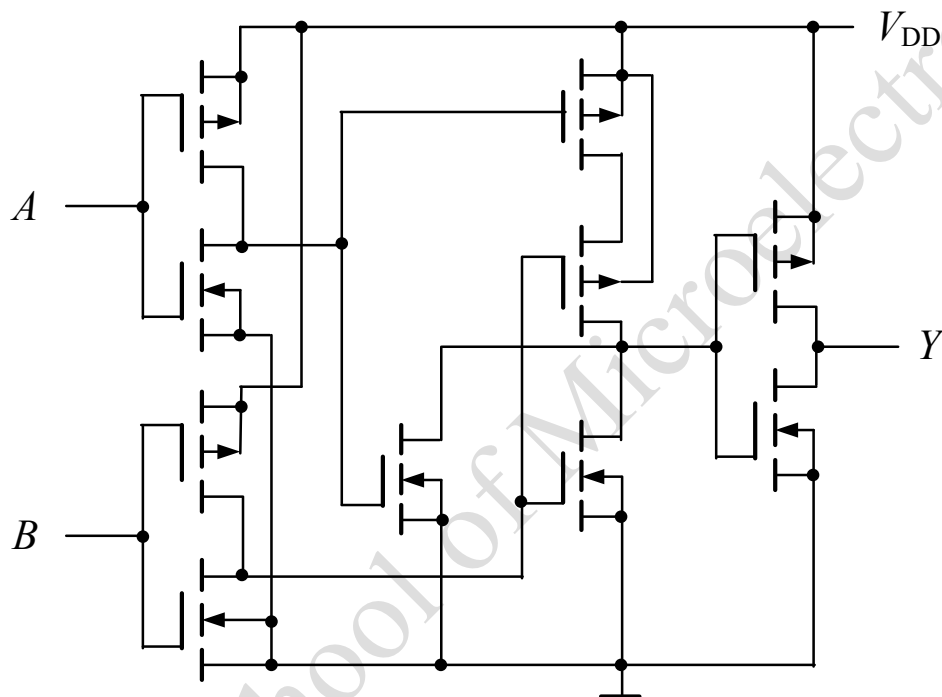


CMOS 电路不用的输入端一定不能悬空 (静电保护)
悬空时入端无电流, 高输入阻抗 ($>10^{10} \Omega$) 会使沟道被静电击穿。

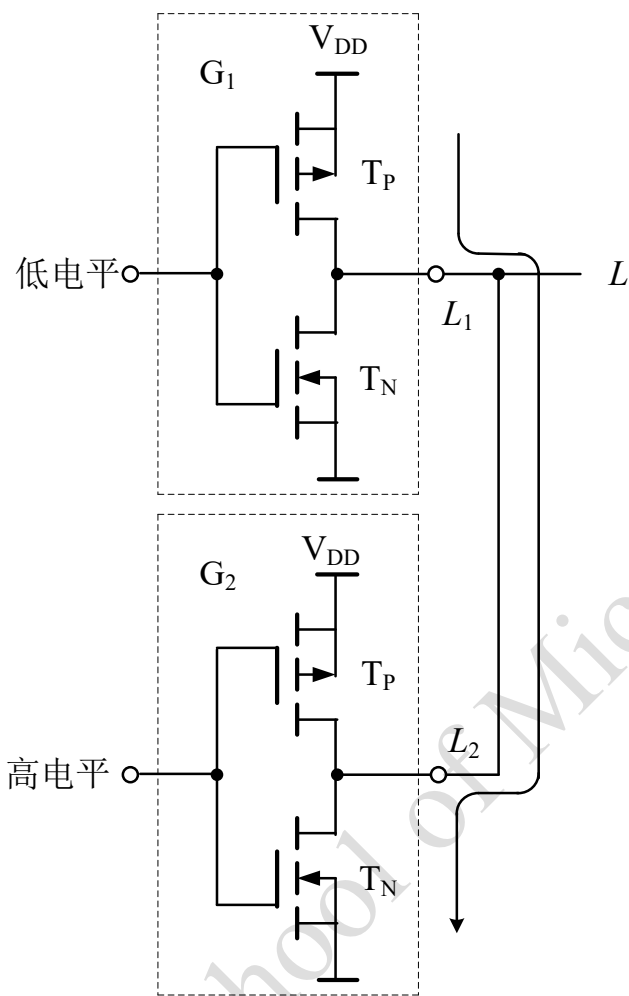
CMOS漏极开路门

门电路的推拉式输出结构

什么是推拉式输出？ 输出级的两只管子轮流导通。

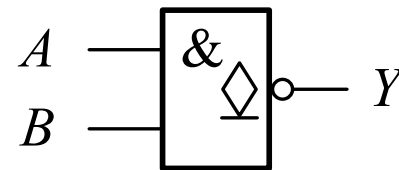
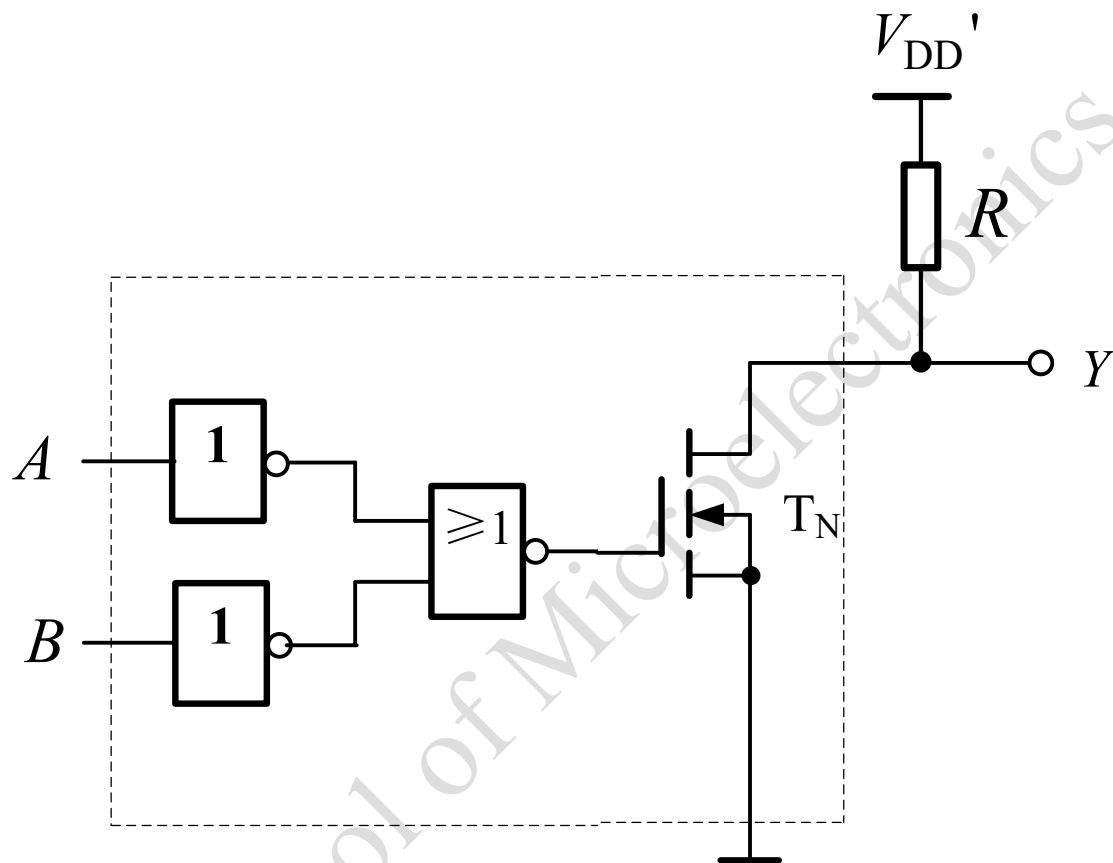


推拉式输出门电路不能线与 (wire-AND)



当 L_1 输出高电平, L_2 输出低电平时, 自 $V_{DD} \rightarrow G_1$ 的 $T_P \rightarrow G_2$ 的 $T_N \rightarrow$ 地形成低阻通路。造成**功耗过大, 输出电平错误。**

CMOS漏极开路门 (Open-Drain, OD门)



$$V_{OH} = V_{DD}' - i_L R$$

作 业

2.3

2.13 (F_1)

2.4

2.17

2.5

2.21