
淀 积

引言

在硅片加工中，淀积可靠的薄膜材料至关重要，薄膜制备是硅片加工中的一个主要工艺步骤。

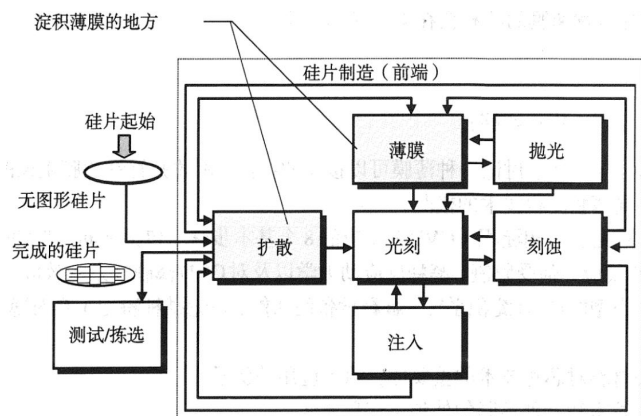


图1 硅片制造厂的工艺流程

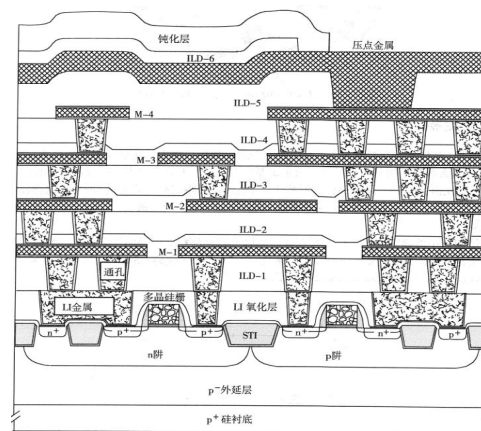


图2 ULSI硅片上的多层金属化

成膜技术相关术语

多层金属化指用来连接硅片上高密度堆积器件的那些金属层和绝缘介质层。

■ **金属层** 主要用隔离绝缘介质层之间所夹的金属导电层连接不同的IC器件。

■ **介质层** 层间介质(ILD)应用于器件中不同的金属层之间，充当之间的隔离膜。

薄膜特性

所谓薄膜(见下图)，是指一种在衬底上生长的薄固体物质。半导体制造中的薄膜淀积是指任何在硅片衬底上物理淀积一层膜的工艺。

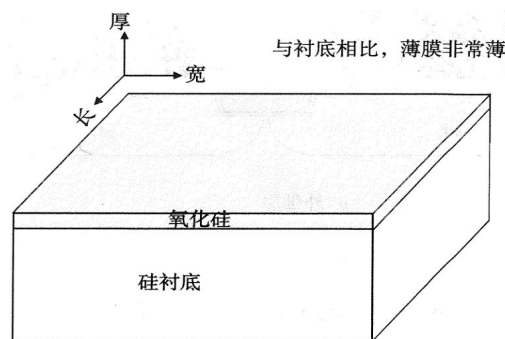


图3 固态薄膜

薄膜特性

为了满足器件性能的要求，可以接受的膜一般应具有如下特性：

- 好的台阶覆盖能力
- 填充高的深宽比间隙的能力
- 好的厚度均匀性
- 高纯度和高密度
- 受控制的化学剂量
- 高度的结构完整性和低的膜应力
- 好的电学特性
- 对衬底材料或下层膜好的粘附性

■**膜对台阶的覆盖** 期望薄膜在硅片表面上厚度一致(见图4)。图形制作可以在硅片表面生成具有三个空间维度的拓扑形状，这就形成了硅片表面的台阶。如果淀积的膜在台阶上过度地变薄，就容易导致高的膜应力、电短路或者在器件中产生不希望的诱生电荷。膜的应力要尽可能小，因为应力会导致衬底发生凸起或凹陷的变形。

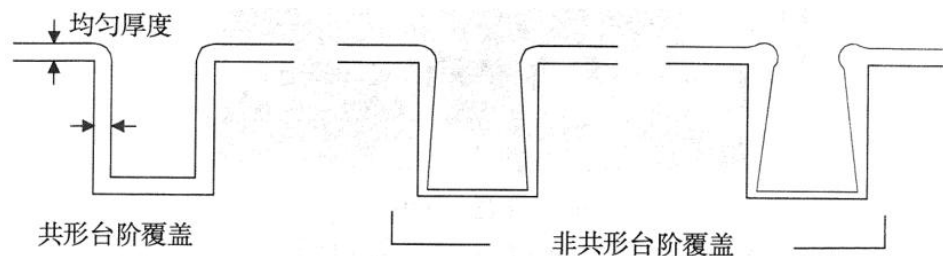


图4 膜对台阶的覆盖

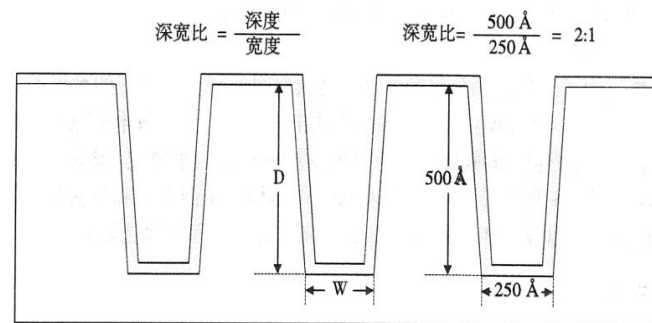


图5 膜淀积的深度比

■**高的深宽比** 可以用深宽比来描述一个小间隙，深宽比定义为间隙的深度和宽度的比值(见图5)。深宽比用比值的形式表达。高的深宽比的典型值大于3:1，在某些应用中会达到5:1甚至更大。高深宽比的间隙使得难于淀积形成厚度均匀的膜，并且会产生夹断和空洞。

■**厚度均匀性** 薄膜厚度均匀性意味着薄膜应布满下层材料的各处。材料的电阻会随膜厚度的变化而变化。膜层越薄，就会有更多的缺陷，会导致膜本身的机械强度降低。对薄膜而言，希望有好的表面平坦度来减少台阶和缝隙。

■**膜纯度和密度** 高纯度的膜意味着膜中没有那些会影响膜质量的化学元素或者原子。避免沾污物和颗粒。**膜密度也是膜质量的重要指标，它显示膜层中针孔和空洞的多少。**与无孔的膜相比，一个多孔的膜密度会更低，在一些情况下折射率也更小

■**化学剂量分析** 理想的膜要有均匀的组成成分。在化学反应中随着化学物质的变化，化学剂量分析可以描述反应停止或者平衡后反应物和生成物量的变化。**化学剂量分析是指在化合物或分子中一种组分的量与另一种组分量的比值。**如果已知化学反应如何进行，那么通过化学剂量分析能够给出所需反应物的组成。

■**膜的结构** 膜的结构很关键，尤其是膜层中晶粒的尺寸。在淀积工艺中，淀积物趋向聚集并生成晶粒。如果膜层中晶粒大小变化，膜的电学和机械学特性会变化，这将影响膜的长期可靠性，尤其是电迁徙。膜生长中会产生不希望的应力使硅片衬底变形，导致膜开裂、分层或者空洞的形成。

■**膜的粘附性** 为了避免薄膜分层和开裂，薄膜对衬底材料要有好的粘附性。开裂的膜会导致膜表面粗糙，杂质也可以穿过膜。对于起隔离作用的膜，开裂会导致电短路或者漏电流。薄膜对表面的粘附性由表面洁净程度、薄膜能与之合金的材料类型等因素决定。

薄膜生长

淀积膜的过程有三个不同的阶段：

第一步是晶核形成，成束的稳定小晶核形成，这一步发生在起初少量原子或分子反应物结合起来，形成附着在硅片表面的分离的小膜层的时候。晶核直接形成于硅片表面，是薄膜进一步生长的基础。

第二步聚集成束，也称岛生长。这些随机方向的岛束依照表面迁移率和束密度来生长

第三步形成连续的膜，岛束不断生长，汇合并形成固态的薄层并延伸铺满衬底表面

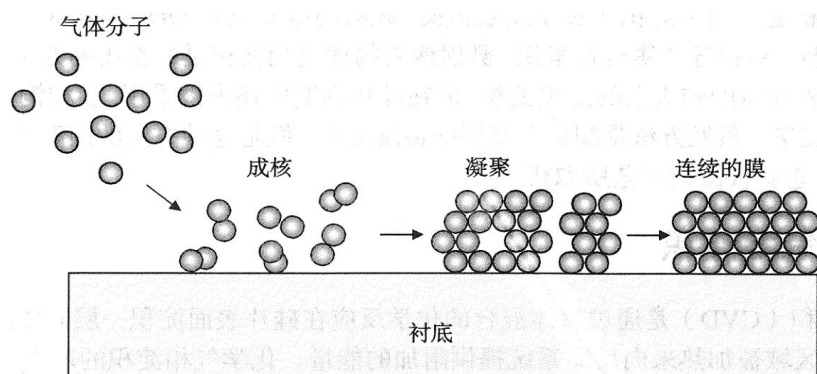


图6 薄膜生长的步骤

淀积的膜可以是无定形、多晶或者单晶。起隔离作用的膜或金属膜通常是无定形或多晶的；在氧化物层上淀积的硅是多晶的。对于可靠的半导体性能，需要外延单晶膜。

膜淀积技术

在硅片衬底上淀积薄膜有多种技术。主要的淀积方法可分为[化学工艺](#)和[物理工艺](#)。

表1 膜淀积技术

化学工艺		物理工艺		
化学气相淀积	电镀	物理气相沉积	蒸发	旋涂方法
常压化学气相沉积(APCVD) 或亚常压化学气相沉积(LPCVD) 低压化学气相淀积(LPCVD)	电化学淀积, 通常指电镀	直流二极管	灯丝和电子束	旋涂玻璃(SOG)
等离子体辅助化学相淀积 ● 等离子体增强化学气相淀积 (PECVD) ● 高密度等离子体化学气相淀积 (HDPCVD) 气相外延(VPE)和金属-有机化学气 相淀积	化学镀层	射频 直流磁电管 离子化金属等离子 体(IMP)	分子束外延 (MBE)	旋涂绝缘介质 (SOD)

化学气相淀积

化学气相淀积(CVD)是通过气体混合的化学反应在衬底表面淀积一层固体膜的工艺。化学气相淀积的基本方面包括：

- 1.产生化学变化，这可以通过化学反应或是热分解。
- 2.膜中所有的材料物质都源于外部的源。
- 3.化学气相淀积工艺中的反应物必须以气相形式参加反应。

当化合物在反应腔中混合并进行反应时，就会发生化学气相淀积过程。原子或分子会淀积在硅片表面形成膜。

化学气相淀积过程有5种基本的化学反应：

- 1.高温分解：通常在无氧的条件下，通过加热化合物分解（化学键断裂）；
- 2.光分解：利用辐射使化合物的化学键断裂分解；
- 3.还原反应：反应物分子和氢发生的反应；
- 4.氧化反应：反应物原子或分子和氧发生的反应；
- 5.氧化还原反应：反应3与4的组合，反应后形成两种新的化合物。

化学气相淀积工艺反应发生在硅片表面或者非常接近表面的区域，这是一种**异类反应**(也叫表面催化)。某些反应会在硅片表面的上方较高区域发生，这称为**同类反应**。同类反应是要避免的，因为反应生成物会形成束状物，这会导致反应物粘附性差、低密度和高缺陷”。在化学气相淀积工艺中，需要异类反应来生成高质量的膜。

化学气相淀积—CVD反应

■ **CVD反应步骤** 基本的化学气相淀积反应包含8个主要步骤，以解释反应的机制。
步骤总结如下

1. **气体传输至淀积区域**：反应气体从反应腔入口区域流动到硅片表面的淀积区域；
2. **膜先驱物的形成**：气相反应导致膜先驱物(组成膜最初的原子和分子)和副产物形成；
3. **膜先驱物附着在硅片表面**：膜先驱物输运到硅片表面
4. **膜先驱物粘附**：先驱物粘附在硅片表面；
5. **膜先驱物扩散**：先驱物向膜生长区域的表面扩散；
6. **表面反应**：表面化学反应导致膜淀积和副产物的生成
7. **副产物从表面移除**：吸附(移除)表面反应的副产物；
8. **副产物从反应腔移除**：反应的副产物从淀积区随气流流动到反应腔出口并排出

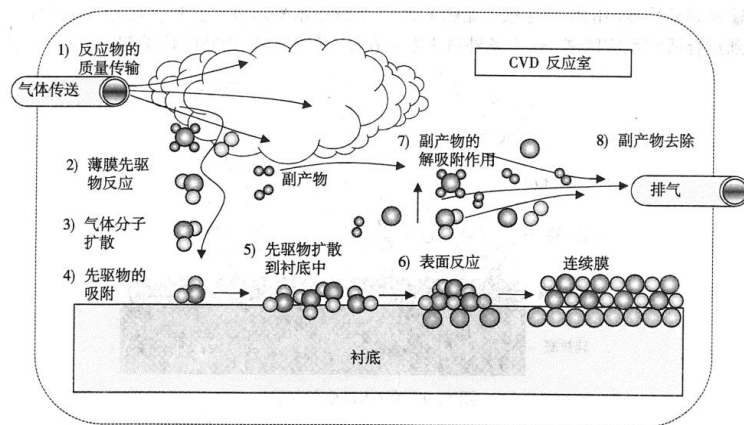


图8 CVD传输和反应步骤图

■ **速度限制阶段** 在实际大生产中，CVD反应的时间长短很重要。温度升高会促进表面反应速度的增加。基于CVD反应的有序性，最慢的反应阶段会是整步工艺的瓶颈。

CVD反应的速率不可能超越反应气体从主气流传输到硅片表面的速率。这称为**质量传输限制**淀积工艺。质量传输限制淀积工艺对温度不敏感。这意味着无论温度如何，传输到硅片表面加速反应的反应气体的量都不足。正因为如此，需要加速的高温高压CVD工艺通常是质量传输限制的。然而，在更低的反应温度和压力下，由于只有更少的能量来驱动表面反应，表面反应速度会降低。最终，反应物到达硅片表面的速度将超过表面化学反应的速度。在这种情况下，淀积速度是受**反应速度限制**的。反应速度限制CVD工艺也称为动态控制，意为反应物扩散的作用不及表面反应物动态能量重要。

■**CVD气流动力学** CVD气流动力学对淀积出均匀的膜很重要。所谓气体流动，指的是反应气体输送到硅片表面的反应区域(见图9)。从分子水平来讲，这要求有足够量的分子在合适的时间到达合适的反应区域。

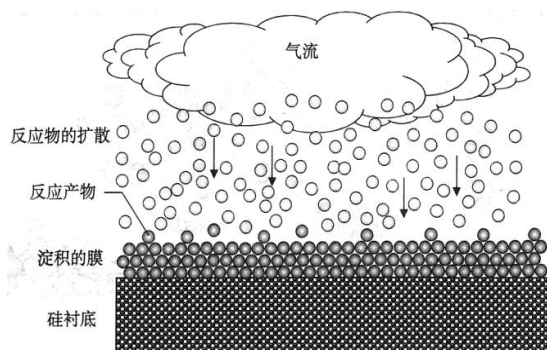


图9 在CVD中的气流

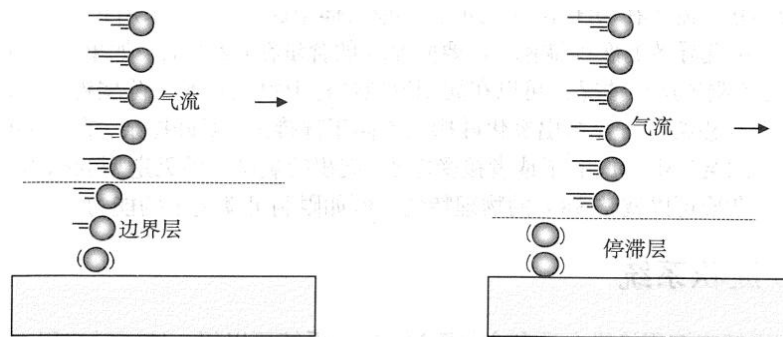
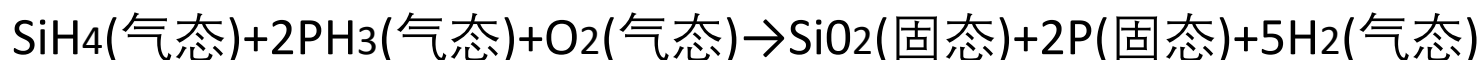


图10 在硅片表面的电流

CVD气体流动的主要因素包括，反应气体从主气体流中到硅片表面的输送以及在表面的化学反应速度。这里假定从气相到衬底表面的**主要运输机制是扩散作用**。考虑到在CVD反应工艺中气体正好在硅片表面流动，气体流动为零或者接近零。这导致产生了一个**气体流动边界层**，从在硅片表面的流动速率为零(由于摩擦力的作用)增加到距离表面更远而具有一定的速率。参看图10距离表面更远而具有一定速率的气体达到了某一平均气流速度，这一速度可以代表CVD反应腔中主气流的平均速度。如果边界层范围很窄，那么在接近硅片表面区域可认为边界层是不动的，也称为停滞层。

■ **CVD反应中的压力** 如果CVD发生在低压下，反应气体通过边界层到达表面的扩散作用会显著增加。这会增加反应物到衬底的输运(也会加强从衬底移除反应副产物的作用)。在CVD反应中低压的作用就是使反应物更快地到达衬底表面。这种情况下，速度限制步骤成为表面的反应，即在较低压下CVD工艺是反应速度限制的。

■ **CVD过程中的掺杂** CVD淀积过程中，在SiO₂中掺入杂质对硅片加工来说很重要。例如，在淀积SiO₂的过程中，反应气体中加入PH₃后，会形成磷硅玻璃。其化学反应方程



在磷硅玻璃中，磷以P₂O₅的形式存在，磷硅玻璃由P₂O₅和SiO₂的混合物共同组成；对于要永久粘附在硅片表面的磷硅玻璃来说，P₂O₅的含量(重量比)不超过4%，这是因为PSG有吸潮作用。应用高密度等离子体CVD可以在600-650°C的温度下淀积PSG，由于它的淀积温度、相对平坦的表面、好的间隙填充能力，近来也常采用PSG作为第一层层间介质。在SiO₂中引入P₂O₅可以减小膜应力，进而改进膜的完整性。掺杂会增加玻璃的抗吸水性。PSG层还可以有效地固定离子杂质。

硼硅玻璃 用乙硼烷(B_2H_6)替代磷化氢(PH_3), 就可得到硼硅玻璃(BSG)。BSG需要高温回流过程来平坦化硅片表面的台阶并使膜更加致密。然而, 对于硅片的热预算来说, 高温回流是不希望的。BSG也不能很好地阻挡杂质离子。

硼磷硅玻璃 另一种在 SiO_2 中掺杂的办法是引入重量百分比为2%到6%的 B_2O_3 , 与 P_2O_5 形成硼磷硅玻璃(BPSG)。为了在淀积后得到好的阶梯覆盖能力的致密 SiO_2 , SiO_2 需要进行高温回流直到其变软并可流动。回流也可以改进BPSG固定可动离子杂质的能力。

氟硅玻璃 氟硅玻璃(FSG)就是氟化的氧化硅, 作为第一代低k值ILD淀积材料被用在 $0.18\mu m$ 器件上。通过在 SiO_2 中掺氟, 材料的介电常数会从3.9(SiO_2)降低到3.5(FSG)。

氧化硅掺杂和硅掺杂 氧化硅掺杂不同于硅掺杂, 对硅掺杂, 在一个单晶向结构中, 在杂质和硅原子之间会发生释放电子或者接受电子。淀积的氧是一种无定型的晶体结构, 杂质不接受或者释放电子。杂质可以调整 SiO_2 的物理特性。

CVD淀积系统—CVD设备设计

CVD工艺有不同的反应腔设计，能生成轻微质量差异的膜。**根据反应腔中的压力CVD反应可分为常压CVD(APCVD)反应和减压CVD反应**。减压CVD反应包括两种基本类型：低压CVD(LPCVD)，输入的能量是热能；等离子体辅助减压CVD反应，包括等离子体增强减压CVD(PECVD)反应和高密度等离子体减压CVD(HDPCVD)反应。图11给出了CVD反应类型。

CVD反应器类型	常压	低压	批处理	单片
热壁	√	√	√	
冷壁	√	√	√	√
持续移动	√		√	
外延	√		√	
高压	√		√	
喷嘴	√		√	
桶	√		√	
冷壁平面		√	√	√
等离子体辅助		√	√	√
纵向流动等温		√	√	√

图11 不同的CVD反应器类型

CVD淀积系统—CVD设备设计

■**CVD反应器加热** CVD反应器的一个主要差别是它们是热壁还是冷壁反应。热壁反应采用加热的方法，加热硅片、硅片的支持物以及反应腔的侧壁。热壁反应会在硅片表面和反应腔的侧壁上形成膜。冷壁反应器只加热硅片和硅片支持物。反应器的侧壁温度较低没有足够的能量发生淀积反应。在硅片上局部加热减少了反应器中颗粒的形成。

■**CVD反应器配置** 反应器几何结构的设计紧密依赖于淀积工艺中的压力。常压反应发生在质量输运限制区域，所以设计必须可使反应气体能够等量到达每片硅片。为了达到这个目的，硅片通常平放在一个平面上。这种方法的缺点是硅片容易收到下落颗粒的污染。LPCVD是反应速度限制度的。由于有足够的反应气体到达硅片表面，这意味着许多硅片可以纵向密集堆放。放置硅片的石英船最多可以放200片硅片。同时，LPCVD反应由于受到反应速度的限制而必须精确控制反应温度。

■CVD反应器 总结各种类型的CVD反应器及其**主要特点**：

表2 各种类型的CVD反应器及其主要特点

工艺	优点	缺点	应用
APCVD（常压CVD）	反应简单， 淀积速度快， 低温	台阶覆盖能力差， 有颗粒沾污， 低产出率	低温SiO ₂ （掺杂或不掺杂）
LPCVD（低压CVD）	高纯度和均匀性， 一致的台阶覆盖 能力，大的 硅片容量	高温，低的淀积速率，需 要更多的维护，要求真空 系统支持	高温SiO ₂ （掺杂或不掺杂）、 Si ₃ N ₄ 、多晶硅、W、WSi ₂
等离子体辅助CVD ● 等离子体增强CVD (PECVD) ● 高密度等离子体 CVD(HDPCVD)	低温，快速淀积， 好的台阶覆盖能 力，好的间隙填 充能力	要求RF系统，高成本，化 学物质(如H ₂)和颗粒沾污	高的深宽比间隙的填充， 金属上的低温SiO ₂ ，为了双 镶嵌结构的铜籽晶层，钝 化(Si ₃ N ₄)

CVD淀积系统—APCVD

APCVD发生在质量输运限制区域。在任何给定时间，在硅片表面不可能有足够的气体分子供发生反应。因此，反应器设计必须保证有适量的反应物到达系统中的每片硅片。因为用到了不充足的反应气体，基本的系统设计应该不允许反应减慢。由于反应在常压下进行，反应器设计能够相对简单并允许高的淀积速度。

图12是两种不同类型的连续工艺 APCVD系统。这些设备采用一条带或者传输装置来传送硅片样本通过流动在反应器中部的反应气体。连续工艺 APCVD系统有高的设备产量、优良的均匀性以及制造大直径硅片的能力。APCVD的问题是，高的气体消耗，并且需要经常清洁反应腔。由于膜也会淀积到传送装置上，因而传送带装置也需要洁净处理。APCVD淀积的膜通常台阶覆盖能力差。

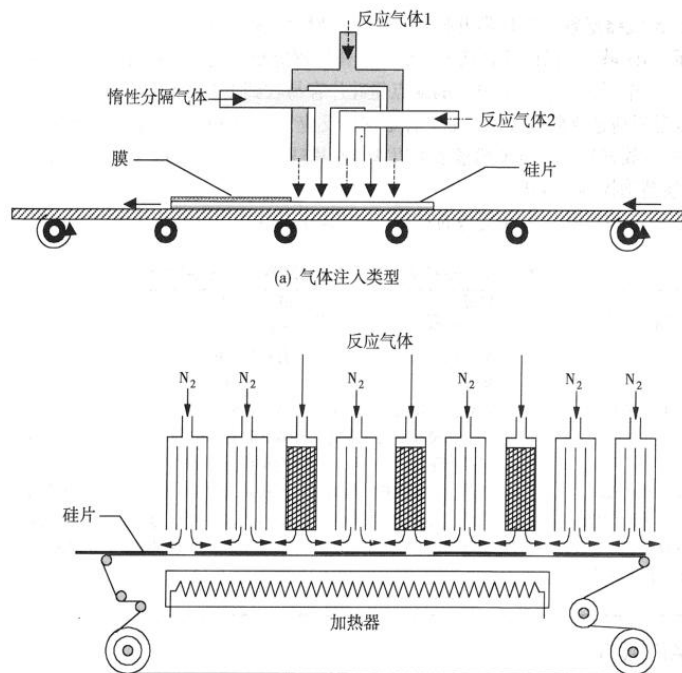
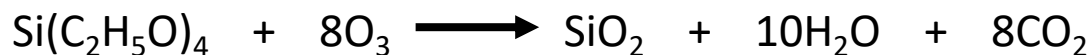


图12 连续加工的APCVD反应炉

■ **SiO₂** APCVD最经常的应用是淀积SiO₂和掺杂的氧化硅。传统上这些膜通常作为层间介质，保护性覆盖物或者表面平坦化。

用SiH₄淀积SiO₂ 用O₂氧化SiH₄来淀积SiO₂。纯SiH₄在空气中极其易燃且不稳定。因此，**为了更安全地使用SiH₄，通常是在氩气或氮气中将SiH₄稀释到很低含量**。这一反应可以在450至500℃在低温下进行，它的优势在于在铝连线上SiO₂淀积。然而，因为小的平均自由程和整个界面层差的表面迁移能力，**这种方法台阶覆盖能力和间隙填充能力都很差**

用TEOS-臭氧方法淀积SiO₂ 一种常用的 APCVD是采用TEOS和臭氧反应淀积SiO₂。TEOS是正硅酸乙酯，是一种有机液体。通常用一种输运气体如氮气，传送TEOS气体混合物到达反应腔。也有用流量控制来传送液态TEOS源到达反应腔。**臭氧比氧气有更强的反应活性，这步工艺可以不用等离子体，在低温下进行**。因为不需要等离子体，O₃就能使TEOS分解，因此反应可以在常压或者亚常压下。淀积的SiO₂膜改善了台阶覆盖轮廓，均匀性好，具有作为绝缘介质优异的电学特性。TEOS和O₃的反应方程式如下：



用APCVD **TEOS-O₃淀积的SiO₂膜多孔**，因而通常需要回流来去掉潮气并增加膜密度。回流增加了一个工艺步骤，降低了热预算。也要考虑掺杂的均匀性，因为这可能导致CMP过程中不均匀去除速率等问题。

掺杂 SiO₂ APCVD SiO₂通常采用磷、硼等化学物质来掺杂。如果SiO₂中未掺杂，就称为无掺杂硅玻璃(USG)或者无掺杂 SiO₂(UDOX)。SiO₂中掺磷称为磷硅玻璃(PSG)。在传统的淀积工艺中，高温回流用来加热软化掺杂的SiO₂，使其表面平坦(见图14)。用硅烷作为基础的硼磷硅玻璃(BPSG)，在低温下(400~450°C)淀积，然后立刻在800°C下约1小时，使膜致密并坚固。

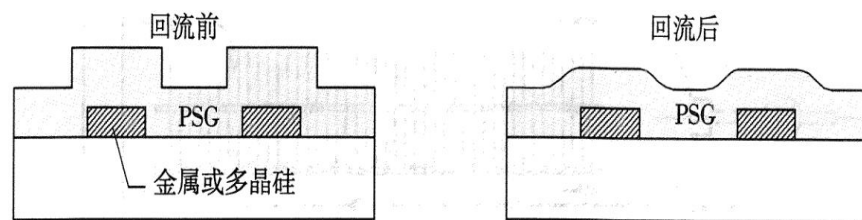


图14 PSG回流后平坦化的表面

CVD淀积系统—LPCVD

LPCVD(低压CVD)系统有更低的成本、更高的产量及更好的膜性能，因此应用更为广泛。 LPCVD通常在中等真空度下(约0.1~5托)，反应温度一般为300-900℃。常规的氧化炉以及多腔集成设备都可以应用于 LPCVD中。LPCVD过程中会发生大量碰撞，淀积的材料会无序撞击硅片表面。这有助于在高的深宽比的台阶和沟槽上覆盖填充均匀的膜

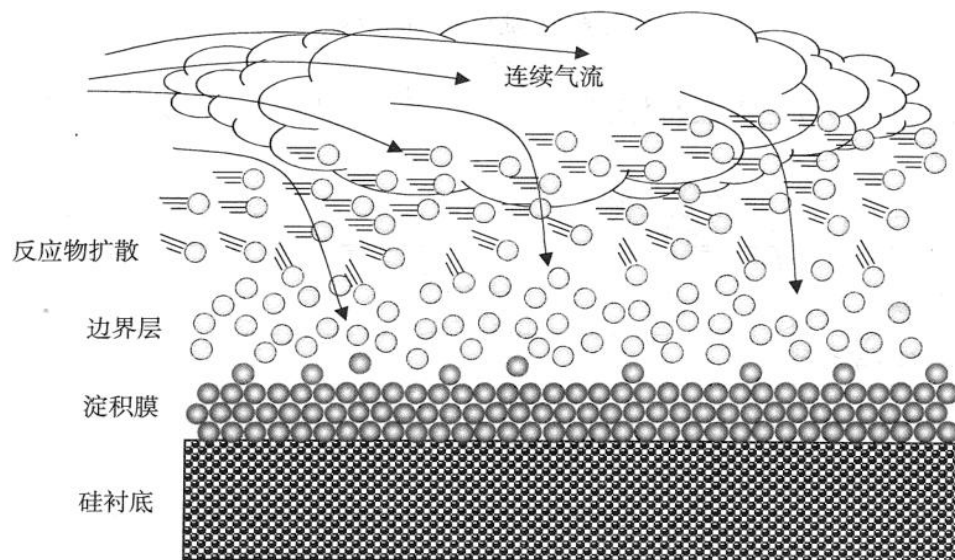


图15 在硅片表面的边界层

LPCVD反应器设计一般是热壁型的，以便在很长的反应器体内获得均匀的温度控制。由于 LPCVD反应通常是热壁的，颗粒淀积在反应器的内壁上。热壁反应需要周期性的维护来去除反应腔内的颗粒。基于生产和安全的考虑，一般采用原位清洁的方法。对于大量硅片的LPCVD反应，当气体沿着反应腔传输时会发生反应气体耗尽。这会导致反应速度的降低。调整反应器的温度，使沿器体入口到出口方向的温度有略微升高(25至50°C)，可以补偿由于温度不均匀造成的速度差异。

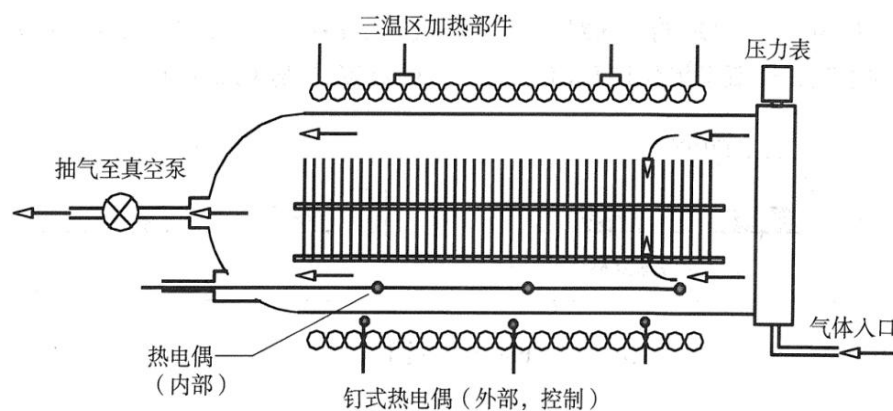


图16 LPCVD反应腔

■ 二氧化硅

用TEOS制备的SiO₂ LPCVD方法制备SiO₂的一个做法是低压650-750°C下，热分解TEOS，可以加入(也可以不加)O₂。由于气体分子在表面的快速扩散，LPTEOS可以制作均匀性优异的SiO₂。液态TEOS源通常用载流气体鼓泡方式携带。液态源被其自身独立的温度源加热。进入反应器的液态源的浓度受到载流气体的速率和液态源温度的控制。图17给出了一个典型的TEOS淀积系统的示意图

用硅烷制备SiO₂ 也可以采用在较低温度下(约450°C)氧化硅烷的方法LPCVD淀积SiO₂。类似于用硅烷APCVD淀积SiO₂，这种工艺的台阶覆盖能力差。在更高的温度(900°C)可以用SiH₂Cl₂和N₂O来制备高质量的SiO₂膜。

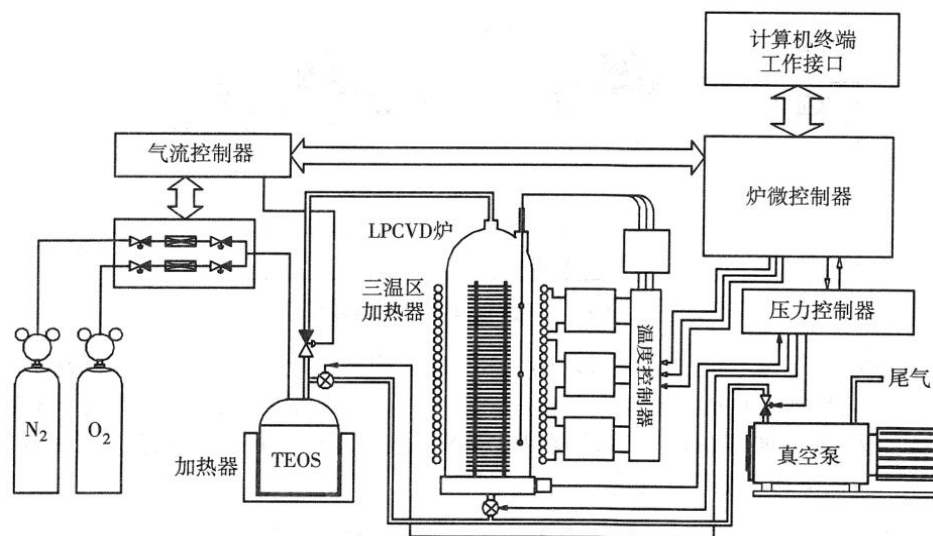
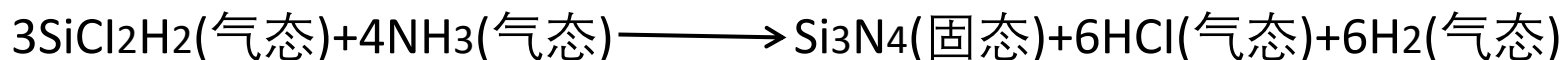


图17 用TEOS LPCVD淀积氧化硅

■氮化硅 Si_3N_4 通常被用做硅片最终的钝化保护层，因为它能很好地抑制杂质和潮气的扩散。用 LPCVD 淀积，可以获得具有良好阶梯覆盖能力和高度均匀性的 Si_3N_4 膜。 Si_3N_4 也被用做掩膜材料(称为硬掩膜)，用于浅槽隔离工艺。 Si_3N_4 有高的介电常数，因而不能作为绝缘介质，它会导致导体之间大的电容。在减压和温度在 $700\sim 800^\circ\text{C}$ 的条件下，可用二氯二氢硅和氨气 LPCVD 淀积制作 Si_3N_4 。反应方程式如下：



在 LPCVD 工艺中影响氮化硅膜质量的重要因素包括总的反应压力、反应物浓度、淀积温度和温度梯度。例如，增加总压力和二氯二氢硅的分压可以增加淀积速度。用 APCVD 工艺，采用硅烷和氨气也可以制作氮化硅，但是膜的均匀性和产量都不如 LPCVD 工艺。淀积的氮化硅是无定型的膜，通常含有大量氢。高的氨气含量和低的淀积温度会增加氢含量。

■ **多晶硅** 多晶硅膜通常用 LPCVD 方法淀积。多晶硅是多晶向的，即由许多由晶粒边界分隔的小的单晶组成。在薄的多晶硅膜中的应力是压力。

在MOS器件中，**掺杂的多晶硅作为栅电极，用掺杂的多晶硅作为栅电极的原因是：**

- 1.通过掺杂可得到特定的电阻；
- 2.和二氧化硅优良的界面特性；
- 3.和后续高温工艺的兼容性；
- 4.比金属电极(如Al)更高的可靠性；
- 5.在陡峭的结构上淀积的均匀性；
- 6.实现栅的自对准工艺。

在575~650°C通过热分解硅烷可以用 LPCVD 淀积多晶硅。低压反应用纯硅烷或者含量为20%~30%的硅烷和氮气的混合气体通入反应系统，在压强为0.2~1.0托的条件下淀积多晶硅。加入乙硼烷可以提高反应速率，因为乙硼烷会形成激发的BH₃，这会催化气相反应的进行。化学反应为：



向反应混合气体中加入AsH₃、PH₃、B₂H₆等可以对多晶硅进行**原位掺杂**。惰性气体通常会改进膜的均匀性。也可在淀积后用离子注入进行掺杂。多晶硅掺杂后的电阻高度依赖于淀积温度、掺杂浓度以及退火温度对晶粒大小的影响

■氧化氮化硅

含氧的氮化硅称为氧化氮化硅(SiO_xN_y)，它兼有氧化硅和氮化硅的优点。与氮化硅相比，氧化氮化硅改善了热稳定性、抗断裂能力、降低的膜应力。总而言之，增加氧化氮化硅膜中氧的含量，会减小膜的折射率，使它成为光刻掩膜中有用的抗反射层。氧化氮化硅的另一优点是膜中的氮积累在Si界面处，减少了拉伸的Si-O键的浓度，减少了热载流子的产生达到三个数量级。对薄栅氧来说，在Si/SiO₂界面处的氧化氮化硅层可以改进器件的电学性能。

可以用不同的技术制备氧化氮化硅膜，例如氧化 Si_3N_4 ，用 NH_3 氮化 SiO_2 ，或者直接生长 SiO_xN_y 。 SiO_xN_y 膜还可以通过 SiH_4 、 N_2O 、 NH_3 来反应制备。 Si_3N_4 和 SiO_xN_y 通常作为绝缘介质膜进行选择刻蚀的刻蚀终止层。

CVD淀积系统—等离子体辅助CVD

在CVD过程中使用等离子体的好处是：

- 1.更低的工艺温度(250~450℃)；
- 2.对高的深宽比间隙有好的填充能力(用高密度等离子体)；
- 3.淀积的膜对硅片有优良的粘附能力；
- 4.高的淀积速率；
- 5.少的针孔和空洞，因而有高的膜密度；
- 6.工艺温度低，因而应用范围广。

■**膜的形成** 在真空腔中施加射频功率使气体分子分解，就会发生等离子体增强CVD并淀积形成膜。射频功率的频率取决于应用，典型的值为40kHz、400kHz、13.56MHz、2.45GHz(微波功率)。被激发的分子具有化学活性很容易与其他原子键合形成粘附在硅片表面的膜。气态的副产物通过真空泵系统排出。硅片通常需要加热，以促进表面反应并减少不希望的杂质，如H。

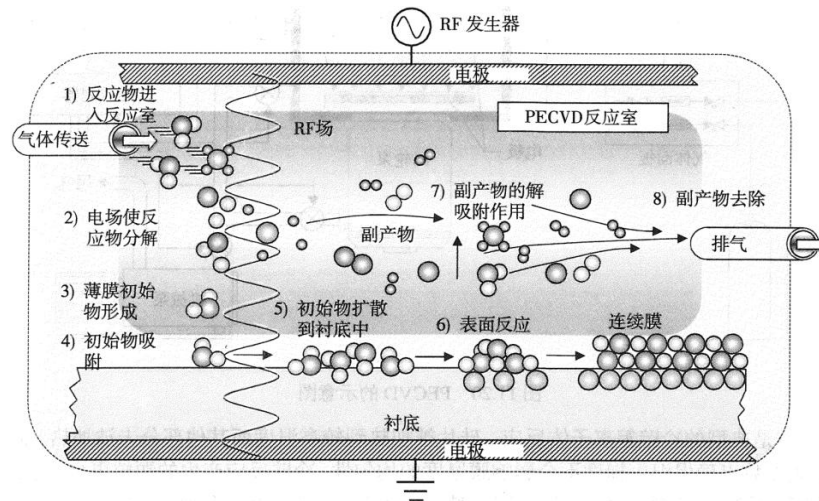


图19 在等离子体辅助CVD中膜的形成

在硅片表面发生的等离子体辅助CVD很复杂。淀积形成的膜的形状依赖于许多因素：如电极的构造、射频功率频率、气体组成、压强和流动速率以及衬底的温度。这些因素的基本方面体现在反应腔的设计。等离子体发光放电时发生的瞬态反应的一些细节我们还不清楚。因此，淀积的膜通常不具有化学定量分析特点。这意味着淀积的膜在其化学反应方程式中不必有相同比例的元素成分。

■ **等离子体增强CVD** 等离子体增强CVD过程使用等离子体能量来产生并维持CVD反应。PECVD的系统反应压强和LPCVD的系统反应压强是可以比拟的。不同是，PECVD的反应温度远远低于 LPCVD的反应温度。

PECVD一般在真空腔中进行，腔内放置平行且间距若干英寸的托盘，间距可以调节以便进行反应优化。先进的反应器是多腔集成设备。硅片被放置在下面的托盘上，上电极施加RF功率。当源气体流过气体主机和淀积中部时就会产生等离子体。多余的气体通过下面电极的周围排出。

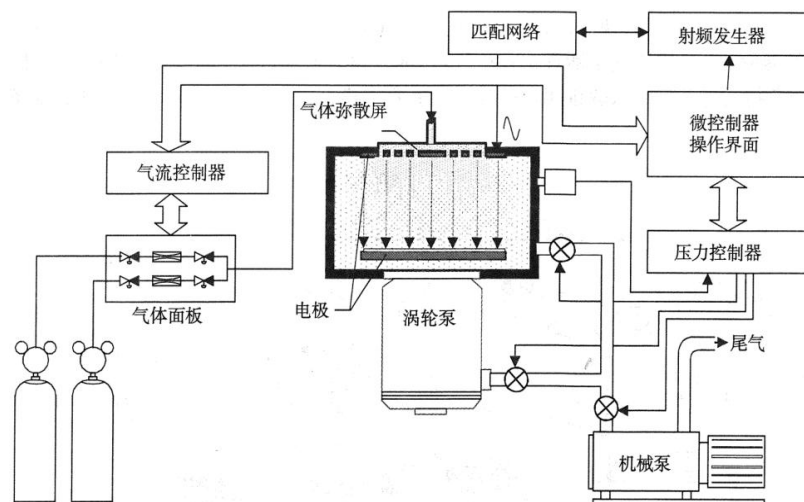


图20 PECVD的示意图

PECVD是典型的冷壁等离子体反应，硅片被加热到较高温度而其他部分未被加热。需要控制淀积的相关参数以确保温度梯度不会影响膜厚度的均匀性。冷壁反应产生的颗粒更少，需要少的停工清洗时间。淀积腔通常用原位清洗来减少颗粒。

PECVD二氧化硅 用 PECVD方法制备二氧化硅，通常是用硅烷(SiH_4)和氧气(O_2)、一氧化氮(N_2O)或二氧化碳(CO_2)在等离子体的状态下反应。工艺的温度通常是 350°C 。反应中可以掺入B或者P来形成BSG或PSG，或者BPSG。与APCVD PSG相比，PECVD PSG更不容易开裂，更均匀，针孔更少。

PECVD氮化硅 所制备的 Si_3N_4 膜不同于化学计量配比，有时候写或 $\text{Si}_x\text{N}_y\text{H}_z$ 。这个分子式点明了它的组成是非化学计量配比的，其中H的含量一般为9%~30%。PECVD氮化硅会增加膜的压应力，原因是淀积过程中的离子轰击会破坏Si-N或Si-H键。氮化硅膜中高的压应力会导致下面金属铝的空洞和开裂。膜中H的含量一般很高，H能减小膜的压应力，但同时也会使膜的特性蜕化。用 N_2 来替代 NH_3 ，可以降低H的含量。然而， N_2 离化难以形成等离子体。

氮氧化硅 使用 PECVD 方法，在 200-250°C 条件下，用一氧化氮和 Si_3N_4 反应可以制备氮氧化硅。氮氧化硅包含氮化硅和氧化硅的一些特性。它能够很好地抵抗湿气和钠离子穿通，有很好的机械、化学和电学特性。这些特性使氮氧化硅适宜做顶层的钝化层。

间隙填充 PECVD 工艺在小尺寸器件应用中的主要限制是间隙填充。在间隔宽度小于 $0.5\mu\text{m}$ 的情况下，用 PECVD 填充高的深宽比间隙会损伤顶部并产生空洞。要避免在填充间隙的绝缘介质中产生空洞，因为这会影响其电学特性和长期可靠性。

■ **高密度等离子体CVD** 等离子体辅助CVD的一个新发展是高密度等离子体CVD(HDPCVD)。正如 HDPCVD的名字所言，等离子体在低压下以高密度混合气体的形式直接接触到反应腔中硅片的表面。

它的主要优点是可以在**300~400°C**较低的淀积温度下，制备出能够填充高深宽比间隙的膜。

HDPCVD反应包含两种或多种气体参与的化学反应。对于淀积氧化层，O₂(或O₃)经常与含硅气体(SiH₄或TEOS)混和，并伴有Ar气体。为了形成高密度等离子体，需要有激发混合气体的RF源或微波功率(2.45GHz)，并直接使高密度的等离子体到达硅片表面。

硅片偏置和加热负荷 RF偏置(1500-3000W)施加于硅片，推动高能离子脱离等离子体并直接接触到硅片表面。偏置的作用是给高能离子定“方向”。高密度等离子体离子密度可达 10^{11} - 10^{12} 个离子每立方厘米。高的等离子体密度以及硅片偏置产生的方向，使HDPCVD能够淀积得到的膜可以填充深宽比为3:1到4:1甚至更高的间隙。高密度等离子体会增加硅片的热负荷，导致硅片的热应力。这个温度的限制要求对硅片进行降温，采取的方法是从入口处到静电卡盘(ESC)通He气，从而在硅片与ESC之间形成一个热的传导通路，降低了硅片和卡盘的温度。

同步淀积和刻蚀 HDPCVD工艺使用同步淀积和刻蚀作用，它是用介质材料填充高深宽比的间隙并且无空洞形成的基础。这称为淀积刻蚀比(D:E)，对HDPCVD来说典型的值为3:1。这个比值的意思是，淀积的速率(例如淀积材料的速率)是刻蚀速率的三倍。增加该比值会增加淀积速率从而提高硅片产量，但如果比值过高，就会由于间隙没有完全填充而形成空洞。

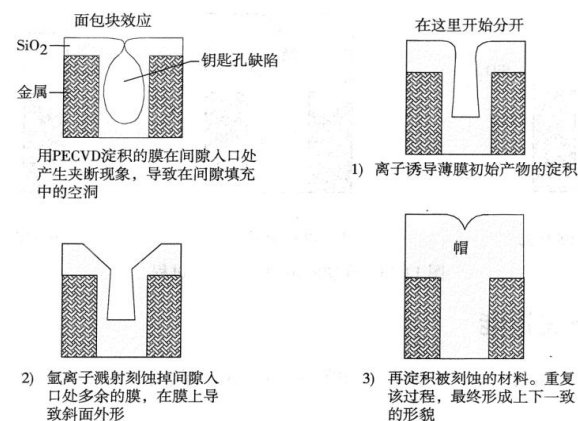


图21 淀积-刻蚀-淀积工艺

同步淀积-刻蚀的主要的机制

- 1.离子诱导淀积：指离子被拖出等离子体并淀积形成间隙填充的现象。其通过反应离子的动能打破表面的键形成反应区。
- 2.溅射刻蚀：具备一定能量的Ar和因为硅片偏置被吸引到表面的反应离子轰击表面并刻蚀(移走)原子。
- 3.再次淀积：原子从间隙的底部被剥离，通常会再次淀积到侧壁上。这对于间隙侧壁和底部厚度的一致性来说很重要。

同步淀积和刻蚀是等离子体方向性的有利的副产物，这个方向性是在 HDPCVD反应里 O_2 和Ar混和气体产生的。对于用 SiH_4 和 O_2 反应淀积 SiO_2 来说，Ar的作用是通过溅射作用移除淀积物质。影响淀积-刻蚀速率比的因素包括： O_2 和Ar比值、反应腔压强、离子能量和硅片上的RF偏置。对于在 HDPCVD中可接受的淀积速率和硅片产量，需要有高的气流速率。

实际应用中，HDPCVD有时作为三步介质填充间隙的第一步。高深宽比(大于3:1)的间隙用HDPCVD填充，然后进行常规密度PECVD淀积一层“盖膜”，这层“盖膜”经过CMP进行平坦化。平坦化可以在金属导线上获得光滑且厚度均匀的介质层。

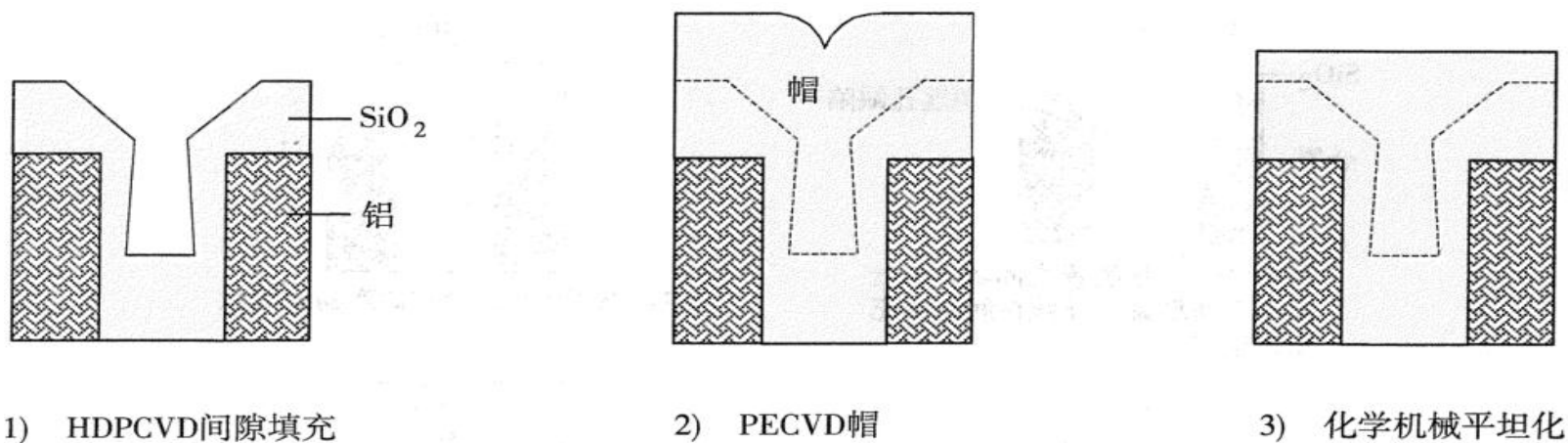


图23 介质间隙填充的三个过程

介质及其性能—介电常数

在不同膜层中应用的介质材料会直接影响到微芯片的性能。介质的两个方面是介电常数和器件隔离。非导电材料的介电常数是指材料在电场影响下存储电势能的有效性，也就是代表隔离材料作为电容的能力。最低的k值为1，代表空气。高k介质可以存储更多的电能，减小绝缘介质的k值，可以减少相邻导线间的电耦合损失，这是因为绝缘介质存储更少的电场并因此花更短的时间来充电，从而提高金属导线的传导速率。对于金属线间隔很近的小尺寸器件，低k值的材料至关重要。随着线宽减小，导体和介质的电耦合效应会增加，用低k值材料可以补偿这一点。掺杂SiO₂通常是最普通的层间介质(ILD)材料。用k值更低的介质材料取代掺杂SiO₂作为中间介质材料的研究正在进行。

表4 超大规模集成电路互连中可能的低k值ILD材料

可能的低k值ILD材料	介电常数	间隙填充	处理温度(°C)	备注
氟硅玻璃(FSG)	3.4~4.1	<0.35	不处理	FSG和SiO ₂ 有几乎一致的k值，氟会侵蚀钽阻挡层金属
HSQ(三氧化二硅烷)	2.9	<0.01	350~450	硅基树脂聚合体可用在溶液中作为流动的SiO ₂ (FOX)进行SOG。要求表面钝化来减少潮气吸收，处理在N ₂ 中完成
纳米多孔硅	1.3~2.5	<0.25	400	非有机材料，介电常数依赖于孔密度而且可调。增加孔密度会减小机械完整性，孔材料需要承受抛光、刻蚀、加热而不退化
聚(芳香基)乙醚(PAE)	2.6~2.8	<0.15	375~425	旋涂具有好的粘附性和可以进行CMP抛光的芳香聚合物
a-CF(非晶氟化碳或FLAC)*	2.8	<0.18	250~350	最有前景的HDPCVD材料，可以产生具有良好热稳定性和粘附性的膜
聚对二甲苯AF4(脂族四氟化聚对二甲苯)	2.5	<0.18	420~450	CVD膜可达到粘附性和通孔电阻要求。需要获气体传输系统温度为200°C，以保证控制聚对二甲苯(parylene)先驱物的流速

■ **芯片性能** 芯片性能的一项指标是信号的传输速度。导线间距的缩小产生了更多的寄生电容(C)。最终增加了RC信号延迟。线电容C正比于绝缘介质材料的k值。低k值的绝缘介质可以减小芯片总的互连电容，减小RC信号延迟，提高芯片性能。

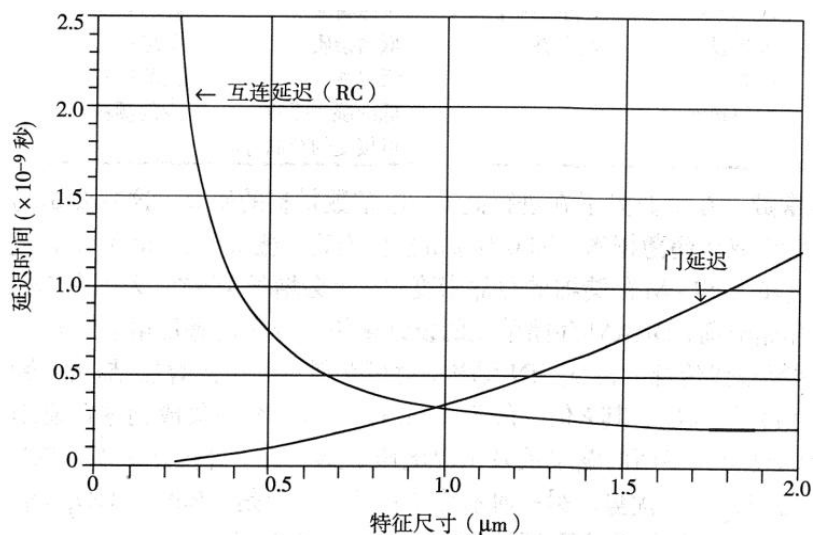


图24 互联延迟 (RC) 与特征尺寸的关系

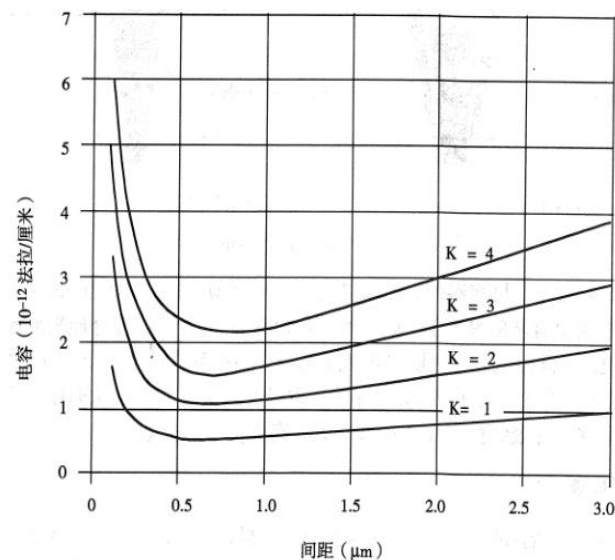


图25 总互连线电容

■低k值的介质要求 表5给出了芯片生产中低k值绝缘介质膜的典型要求。

表5 低k值的绝缘介质要求

电学	机械学	热学	化学	工艺	金属化
低介电常数	好的粘附性	热稳定性	耐酸和碱	图形制作	低的接触电阻
低介电损失	低的收缩性	低的热扩散系数	选择腐蚀	好的间隙填	低的电子迁移
低的漏电流	抗开裂	高导热	低的杂质	充能力	低的应力
高可靠性	低应力		无侵蚀	平坦化	光滑表面
	好的硬度		低的湿气吸收	低的针孔	与势垒金属兼
			可接受的存储寿命	少的颗粒	容

■高k介电常数 在工业界正在进行高k介电常数材料的研究，这主要是为了在DRAM存储器中的应用以及最终取代超薄栅氧。在过去25年中，由于工艺和设计的进步，DRAM存储器的存储密度每3年会增长4倍。为了在SiO₂或SiN_x绝缘介质中获得所要求的存储电荷，DRAM存储单元的设计采用了复杂的叠层电容结构(见图26)。如果用高k介电常数材料替代传统的SiO₂/SiN_x结构，就可获得更简单的叠层结构而降低制作成本。

介质及其性能—器件隔离

器件隔离技术为硅片上的器件提供了电学隔离。MOS技术中的两个基本隔离技术是：通过硅的局部氧化(LOCOS)隔离实现的局部场隔离和浅槽隔离(STI)。

■**局部氧化(LOCOS)** 对于特征尺寸为 $0.35\mu\text{m}$ 以及更大的器件，传统上采用硅的局部氧化(LOCOS)技术来隔离。该技术采用图形化的 Si_3N_4 岛来定义氧生长的区域。限制LOCOS隔离在特征尺寸小于或等于 $0.25\mu\text{m}$ 工艺中应用的主要因素是硅氧化过程中氧的侧向生长。在高密度ULSI技术中，LOCOS隔离技术不适用

■**浅槽隔离(STI)** 在 $0.25\mu\text{m}$ 和以下的技术节点中，浅槽隔离(STI)技术被广泛应用。STI取代LOCOS的原因有如下几点：

1. 更有效的器件隔离的需要，尤其是对DRAM器件而言
2. 对晶体管隔离而言，表面积显著减小
3. 超强的门锁保护能力
4. 对沟道没有侵蚀
5. 与CMP的兼容

基本的STI工艺，利用干法刻蚀在硅片表面可以刻出深 $0.3\mu\text{m}\sim 0.8\mu\text{m}$ 的沟。STI沟的深宽比大约在 $2:1\sim 5:1$ ，对于DRAM器件需要更高的深宽比。隔离沟表面生长有线性的氧化层，用CVD填充，并用CMP来平坦化。STI的工艺步骤包括阻挡层和线性氧化层

旋涂绝缘介质—旋涂玻璃 (SOG)

有许多低k绝缘介质采用硅片旋涂的方法，称为旋涂绝缘介质(SOD)。

在CMP被广泛应用之前，旋涂玻璃被用来进行间隙填充和ILD的平坦化。SOG通常有两种类型：有机物和无机物。有机物基于硅氧烷，无机物基于硅酸盐。有机硅氧烷SOG吸水性强，热不稳定，不能承受等离子体。

应用SOG之前，硅片需要有预氧层。SOG是一种液体，旋涂到密闭或开放碗中具有一定旋转速度的硅片上。旋转的速度和加速速率这些参数决定了SOG的厚度。膜形成通常在400°C，然后反刻使表面平坦化。帽氧层用来密封和保护SOG，以防止吸潮。

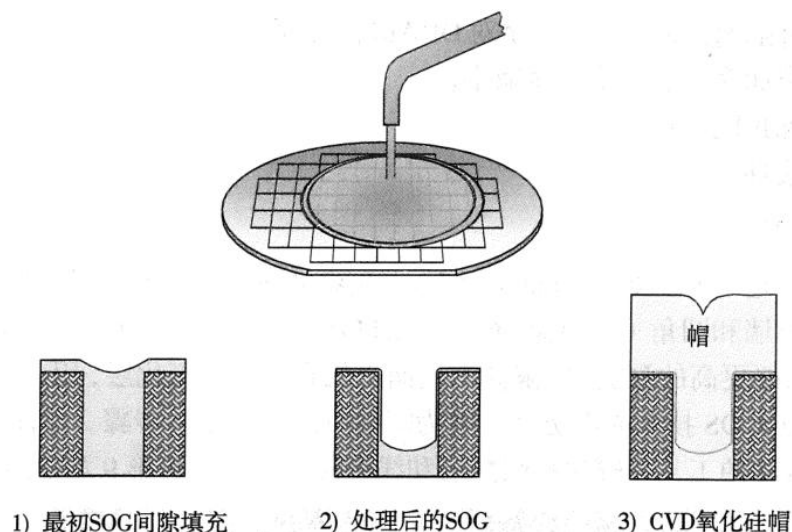


图27 用SOG填充间隙

外延

外延就是在单晶衬底上淀积一层薄的单晶层。新淀积的这层称为外延层。外延为器件设计者在优化器件性能方面提供了很大的灵活性。

在外延淀积过程中，可能发生不希望掺杂不均匀现象。因为轻掺杂外延层通常生长在重掺杂衬底上，外延层会发生自掺杂现象。这种现象发生在掺杂杂质从衬底蒸发，或是由于淀积过程中氯对硅片表面的腐蚀而自发进行。这些杂质进入气流并导致不希望的外延掺杂。另外的不规则掺杂形式是衬底作为掺杂杂质源扩散到外延层。这称为外扩散。

如果膜和衬底的材料相同，这样的膜生长称为同质外延。膜材料与衬底材料不一致的情况，称为异质外延。

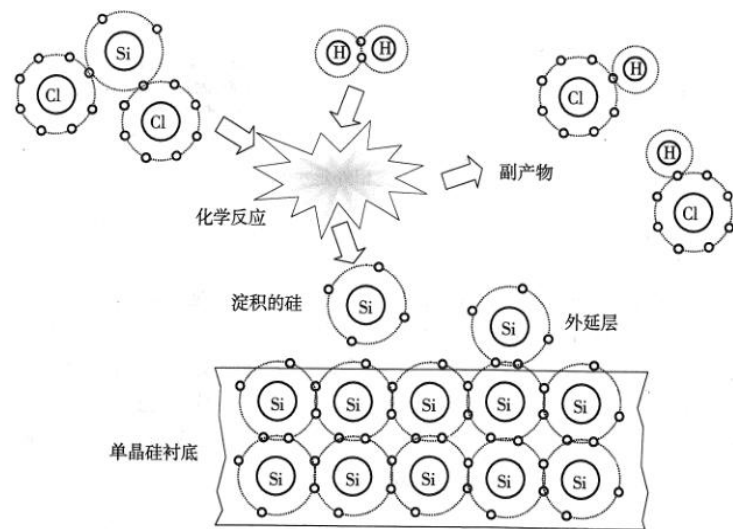


图28 硅片上外延生长硅

外延—外延生长的方法

外延硅通常采用CVD淀积系统。外延生长前，必须清除硅片表面的自然氧化层、残余的有机杂质和金属杂质以获得完美的表面。在外延淀积过程中，气体反应产生的原子撞击到硅片表面并移动直至在适当位置与硅片表面的原子键合。这种方式使外延层和衬底有相同的结晶方式。

外延反应可用的气体源包括 SiCl_4 、 SiH_2Cl_2 (DCS)、 SiHCl_3 (TCS)。淀积温度为1050-1250°C。几乎所有的硅外延都采用了 $\text{SiH}_x\text{Cl}_{4-x}$ ($x=1, 2, 3$)以及氢气。如果反应源气体中氯(Cl)的含量较少，那么反应的温度可以适当降低。外延硅一般不采用 SiH_4 ，因为反应中硅淀积在热的硅片表面时，会形成多余的颗粒。

可以采用多种方法在硅片表面生长单晶层，包括固相、液相、气相以及分子束外延。在IC制造中一般采用以下三种外延方法：

- 气相外延(VPE)

- 金属有机CVD(MOCVD)

- 分子束外延(MBE)

外延—外延生长的方法

■ **气相外延(VPE)** 硅片制造中最常用的硅外延方法是气相外延，属于CVD范畴。在温度为 $800\sim 1150^{\circ}\text{C}$ 的硅片表面通过含有所需化学物质的气体化合物，就可以实现气相外延。高温获得的热提供了驱动在硅片表面发生的化学反应所需的能量。

■ **金属有机CVD(MOCVD)** 另一种外延生长方法通常称为金属有机CVD(MOCVD) 。MOCVD是VPE的一种，由于没有合适的气体源，通常不用做硅外延。它被用来淀积化合物半导体外延层。MOCVD对于受控的超薄掺杂或者无掺杂半导体异质层的淀积很重要，主要用于激光器、发光二极管以及光电集成电路。MOCVD也被研究用来为未来的IC制造淀积有机低k绝缘介质。

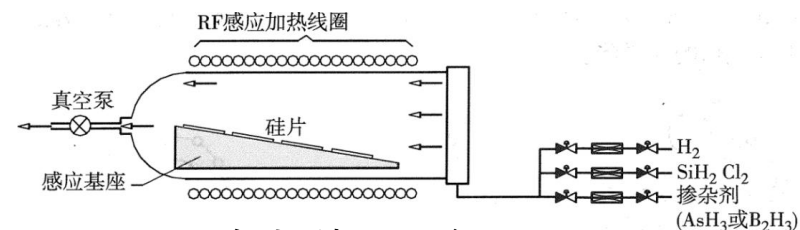


图29 气相外延示意图

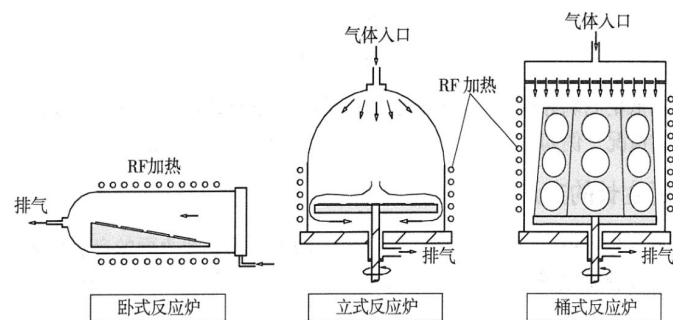


图30 硅气相外延炉

外延—外延生长的方法

■ **分子束外延(MBE)** MBE需要高真空条件，通常的背景真空为 $10^{-10} \sim 10^{-11}$ 托甚至更高，典型情况下会用到高真空低温泵。反应温度为 $500 \sim 900^{\circ}\text{C}$ 。

大多数硅MBE系统通过聚焦的电子束源产生的电磁场使硅原子蒸发以得到外延反应所需的硅反应原子。硅原子束离开硅源，流动通过排泄腔体，不会碰撞并淀积在单晶硅片表面。更新的方法是通过低速流动的气体源输运硅原子。一个MBE系统硅的生长速率可以通过测量离开源气体的原子数和实际撞击硅片表面并粘附在硅片上的原子数来确定。

CVD质量测量

ILD中钥匙孔的效果（在台阶覆盖上）

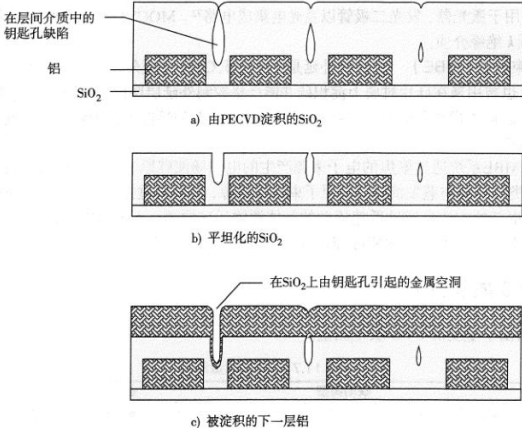


表7 CVD质量测量

质量参数	缺陷类型	备注
1.用PECVD SiO2淀积高深宽比(>3:1)间隙时的空洞	A.在淀积高深宽比间隙时形成钥匙孔。CMP并去掉顶部之后，一些空洞会变成沟槽(见图31)在淀积金属后，这些沟槽会导致开路	●随着特征尺寸的减小以及间隙有高的深宽比，间隙填充能力很关键 ●空洞是高应力区域，会陷落潮气或可溶物，导致腐蚀或者高真空条件下的跑气 ●这个问题的根源是想用受限于淀积系统的 PECVD方法填充高深宽比的间隙。这需要用 HDPCVD 在玻璃膜中掺杂可以减小应力。影响膜应力的淀积元素包括： ●RF功率：调节功率改善应力 ●压力：调节压力来影响应力
2.膜应力	A.高的膜应力会导致开裂和分层 B.膜应力可在衬底传递硅缺陷 C.应力会导致漏电流	影响膜厚的淀积因素： ●时间：减小淀积时间可以减小厚度 ●气流速率：降低气体流动可减小厚度
3.膜厚度	A.膜厚度超出了需要值	R/I是材料的光学性质。与热氧化相比，CVD氧在质量和完整性上较差，有更多的颗粒和针孔。CVD氧的折射率可以与SiO2的折射率比较来进行质量评价： ●高的折射率意味着膜中Si含量高 ●低的折射率意味着膜中多孔，这会导致吸潮
4.折射率 (R/I)	A.折射率是评价膜质量的好指标 B.折射率很大程度上依赖于膜的组成(化学计量分析)	

CVD检查及故障排除

表8给出了普通CVD问题的检查及故障排除技术。等离子体淀积系统有两方面的安全考虑：化学和电学。许多等离子体使用有毒气体。RF功率提供包括高压和射频能量。

表8 普通CVD故障问题

问题	可能的原因	纠正措施
1.与膜相关的颗粒污染	通过分析颗粒在膜的顶部、中间还是下面，可以分离出颗粒的来源： A.在膜的顶部：颗粒在淀积后形成。在热壁反应器的侧墙和传送带驱动反应器上寻找颗粒 B.在膜中：气相成核颗粒的气体源中硅烷或硅含量过高。气体中的杂质导致颗粒 C.在膜下面：颗粒来源于硅片淀积前碳硅化物、石英或反应器的内墙	●在膜的顶部：颗粒在侧墙意味着更需要经常湿法清洗石英器皿和反应腔表面。原位检查干法清洗过程。同时证明清洗的正确步骤 ●在膜中：从MFC检查不合适的气体流动；问题或者在于程序菜单有误。检查气体工艺系统和O形圈的漏气情况。证实“点式”过滤器没问题 ●在膜下面：淀积前检查硅片清洗过程
2.膜厚度	厚度与设备和工艺问题相关。影响厚度的因素包括： A.不正确的温控 B.系统压力太高或太低 C.系统功率需要调整 D.不正确的气体流动	●温度控制器需要校准。一个普通的问题是热偶存在缺陷 ●工艺菜单控制系统压力。检查真空系统的漏气 ●调节RF系统的功率优化膜厚度 ●检查MFC校准从保证正确的气体流动 ●测试硅片来检查厚度,确保测试硅片洁净，并且在测试前厚度没有变化
3.顶部静电卡绝缘介质的开裂(ESC)	在ESC的热承载导致绝缘材料的腐蚀或者开裂。这会导致等离子体电火花或者硅片被卡	●检查ESC背面制冷系统以保证其正常工作 ●检查ESC材料保证高功率、高温或者等离子体洁净环境下没有开裂