
装配与封装

引言

装配和封装过程是取出电性能良好的器件，将它们放入管壳，用引线将器件上的压点与管壳上的电极互相连接起来。封装为芯片提供一种保护并将它粘贴到更高级装配板上的措施。关键的封装参数是输入和输出（I/O）管脚数、电性能、散热性和尺寸。

总的趋势是将硅片制造技术与装配和封装合并在一起。管壳的尺寸持续减小以反映芯片尺寸。在制造厂工艺完成时，通过电测试的硅片准备进行单个芯片的装配和封装。这些在最终装配和封装中进行，被称为集成电路制造过程的后道工序。

集成电路**最终装配**从硅片上分离出每个好的芯片并将芯片粘贴在金属引线框架或管壳上。对于引线框架装配，用细线将芯片表面的金属压点和提供芯片电通路的引线框架内端互连起来。**最终装配后，集成电路封装**是将芯片封在一个保护管壳内。

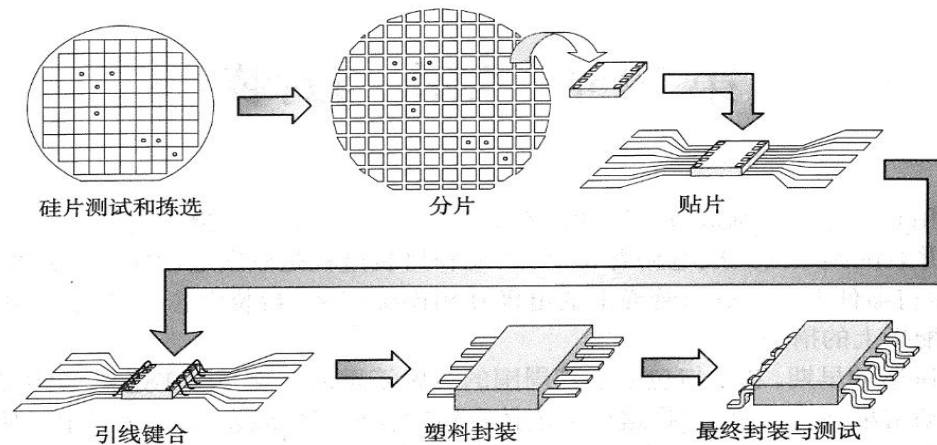


图1.传统装配与封装

集成电路封装有4个重要作用：

1. 保护芯片以免由环境和传递引起损坏
2. 为芯片的信号输入和输出提供互连
3. 芯片的物理支撑
4. 散热

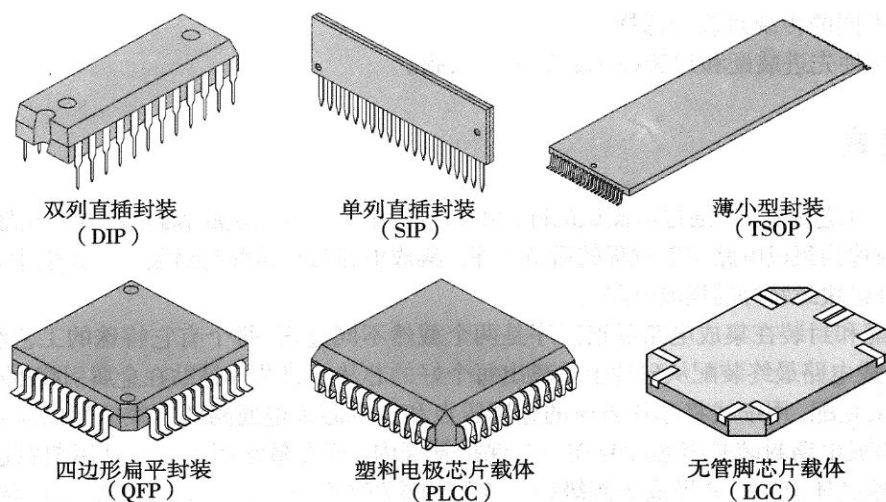


图1.典型的集成电路封装形式

选择封装以优化满足这些功能特定的设计约束条件：

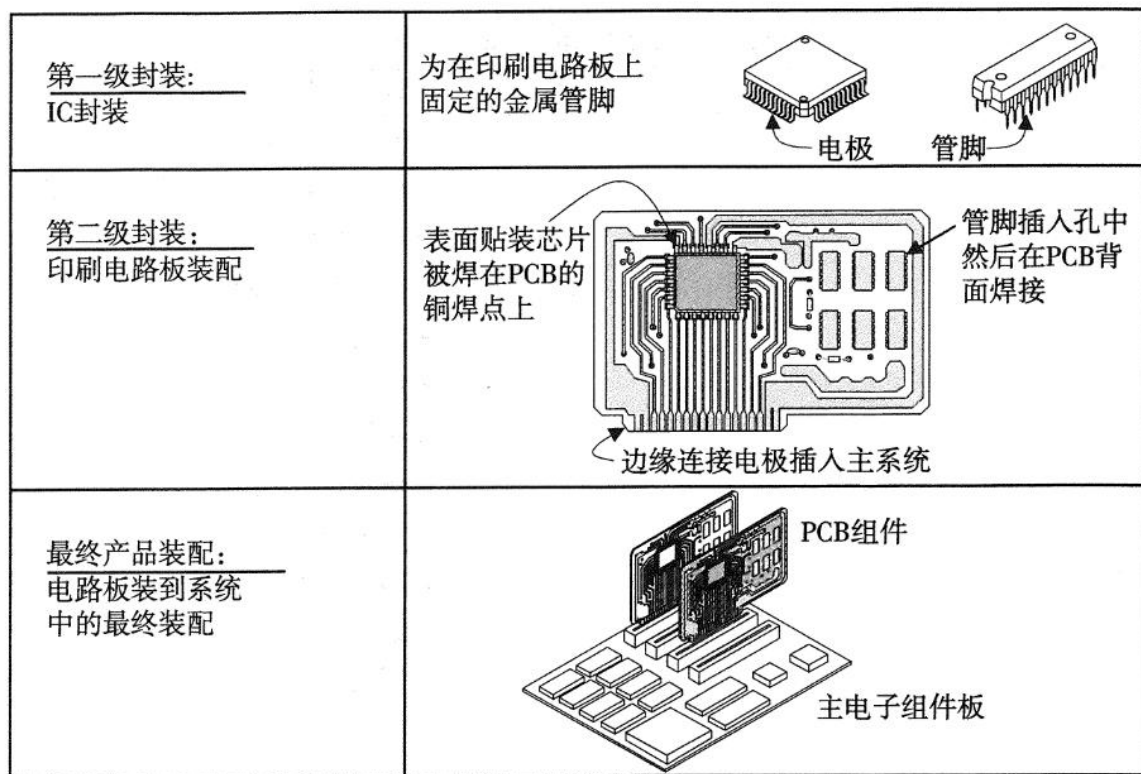
表1.关于集成电路封装形式

设计参数	设计约束条件
性能	<ul style="list-style-type: none">● RC 时间延迟● 输入 / 输出（IO）信号的个数● 压焊和粘贴● 信号上升时间● 开关瞬态● 热● 功耗
尺寸 / 重量 / 外形	<ul style="list-style-type: none">● 输入和输出阻抗● 频率响应● 芯片尺寸● 管壳尺寸● 压点尺寸和间距● 管壳引线尺寸和间距● 衬底载体压点尺寸和间距● 散热设计
材料	<ul style="list-style-type: none">● 芯片基座（塑料、陶瓷或金属）● 载体（有机物、陶瓷）● 热膨胀失配
成本	<ul style="list-style-type: none">● 引线金属化● 集成到现有工艺● 管壳材料
装配	<ul style="list-style-type: none">● 成品率● 芯片粘贴方式● 封装粘贴（通过孔、表面贴装或凸点）● 热沉装配● 包封

封装层次

对于电子元件有两种不同的封装层次（图1）。芯片的装配和封装称为第一级封装。第二级封装是将集成电路块装配到具有许多元件和连接件的系统中。

图1.关于集成电路封装形式



传统装配

最终装配要求粘贴芯片到集成电路底座上的操作构成。集成电路装配中大约有95%采用了传统的最终装配。传统装配由下面4步构成：

- 1. 背面减薄**
- 2. 分片**
- 3. 装架**
- 4. 引线键合**

背面减薄

最终装配的第一步操作是**背面减薄**。在前端制造过程中，为了使破损降到最小，大直径硅片相应厚些（直径300mm的硅片是775 μ m厚，大约1/32英寸）。然而，硅片在装配开始前必须被减薄。硅片通常被减薄到200到500 μ m的厚度。**较薄的硅片更容易划成小芯片并改善散热，减少热应力。更薄的芯片也减小最终集成电路管壳的外形尺寸和重量。**

使用全自动化机器进行背面减薄（图1）。背面减薄被精细地控制，使引入到硅片的应力降到最低。应力能引起硅片翘曲，使它在划片时更易破裂并且往管壳上安放更困难。

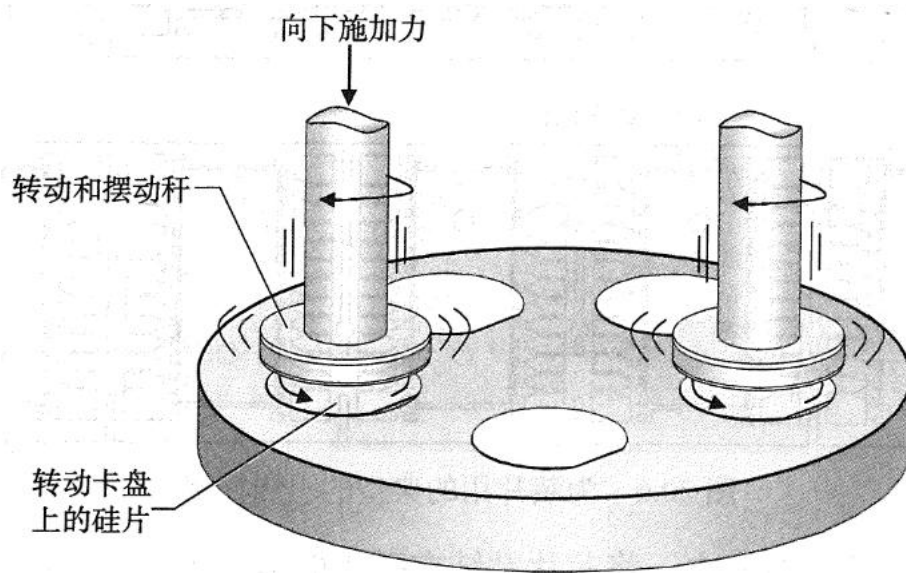


图1.背面减薄示意图

分片

分片（又称为芯片单个化）**使用金刚石刀刃的划片锯把每个芯片从硅片上切下来**。在划片前，将硅片从片架上取出并按正确的方向放到一个固定在刚性框架的粘膜上。该粘膜保持硅片完整直到所有芯片被划成小块。硅片被传到带有去离子水喷淋的圆锯，然后用 $25\mu\text{m}$ 厚的金刚石锯刃（旋转速率达每分钟20000转），在x和y方向分别划片（见图1）。

用去离子水冲洗硅片以去除划片过程中产生的硅浆残渣，而每个单独芯片由背面粘膜支撑。锯通常沿划片线切透硅片90%~100%。全自动设备具有对准系统、划片和硅片清洗一体化功能。

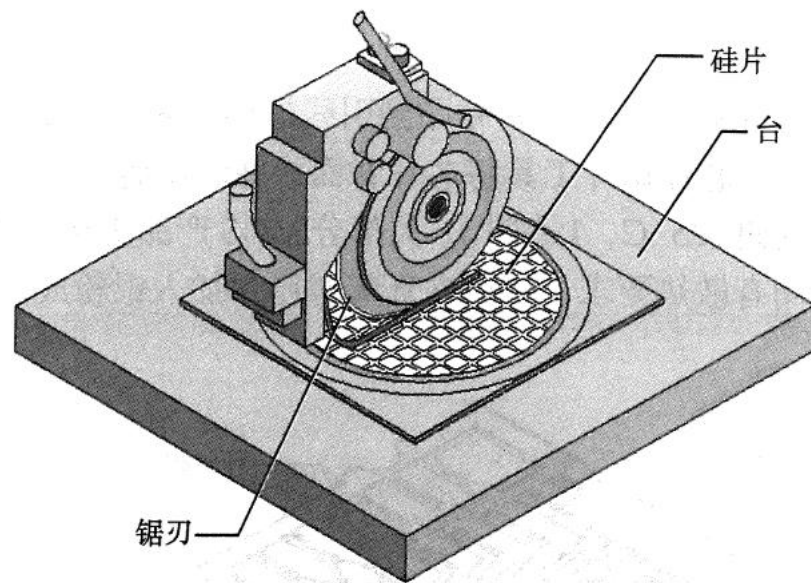


图1.硅片锯和被划硅片

装架

分片后，硅片被移到**装架**操作。在装架时，每个好的芯片从粘附的背面被分别挑选出来，粘贴到底座或引线框架上。引线框架的例子如图1所示，具有从内部芯片键合区到为更高层次装配需要的更大电极间距扇出的电极（间距是电极中线到中线的间隔）。

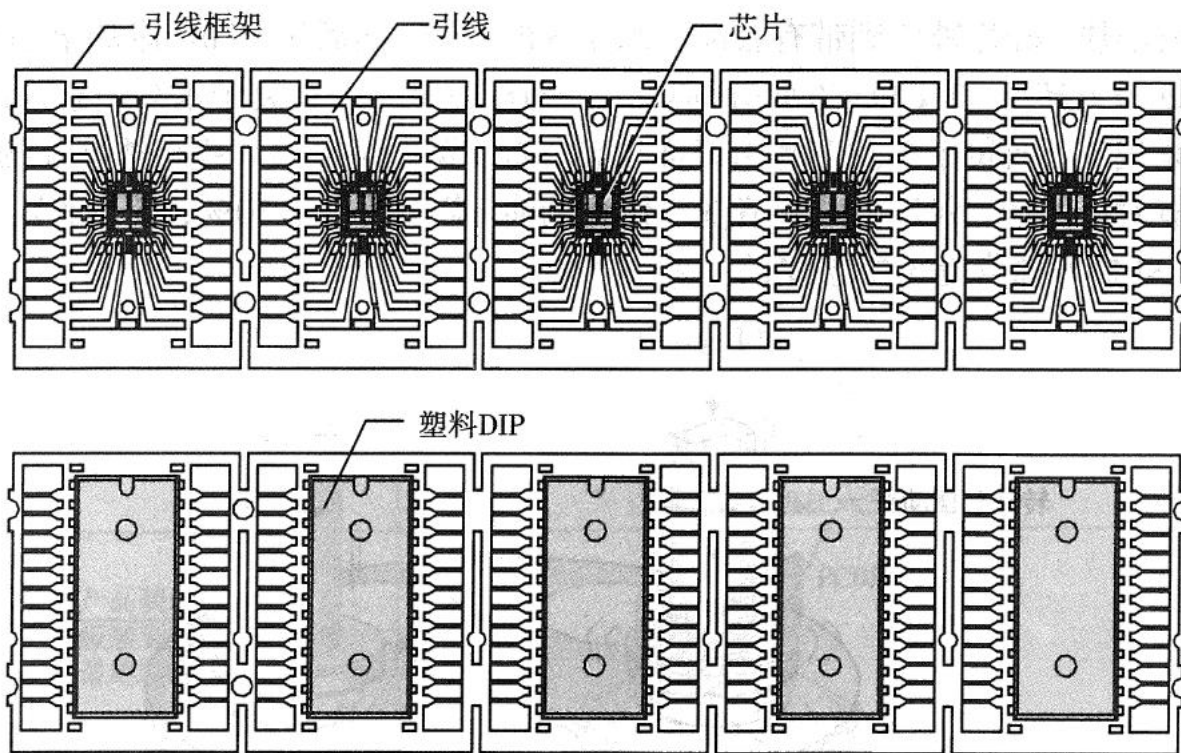


图1.为装片用的典型的引线框架

芯片粘结：

使用下列技术将芯片粘结在引线框架上或基座上：

1. 环氧树脂粘贴
2. 共晶焊粘贴
3. 玻璃焊料粘贴

1. 环氧树脂粘贴：

环氧树脂被滴在引线框架或基座中心。芯片贴片工具将芯片背面放在环氧树脂上（图1）。然后加热以固化环氧树脂。

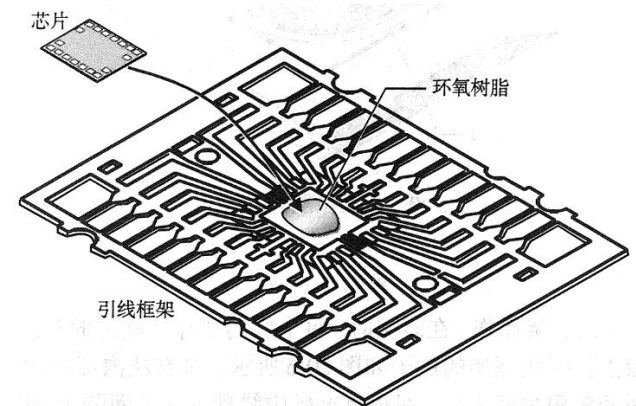


图1.环氧树脂粘贴

2.共晶焊粘贴:

使用共晶焊贴片在减薄后的硅片背面淀积一层金（图1）共晶定义使它的熔点降至最低的熔态混合。然后用合金方式将金粘接到基座上，基座通常为引线框架或陶瓷基座。共晶贴片提供了良好的热通路和机械强度。

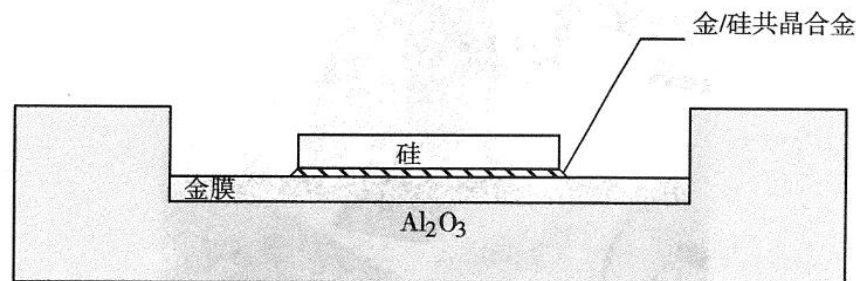


图1.Au-Si共晶贴片

3.玻璃焊料粘贴:

玻璃焊料由银和悬浮在有机媒介中的玻璃颗粒组成，习惯上将芯片不经过金属化而直接粘贴在 Al_2O_3 陶瓷底座上以实现密封。密封保护硅器件免受外部环境的影响。用在玻璃焊料中的银和玻璃在固化中变软，并构成对陶瓷具有良好导热的焊接。

引线键合

引线键合是将芯片表面的铝压点和引线框架上或基座上的电极内端（有时称为柱）进行**电连接最常用的方法**（见图1）。这种高速操作转动线轴并将细线从芯片的压点键合到引线框架上电极内端压点，每秒能压多个压点。工具将引线键合到每个芯片压点或引线框架压点，并步进到下一位置。

三种基本引线键合的叫法取自它们在引线端点工艺中使用的能量类型：

1. 热压键合
2. 超声键合
3. 热超声球键合

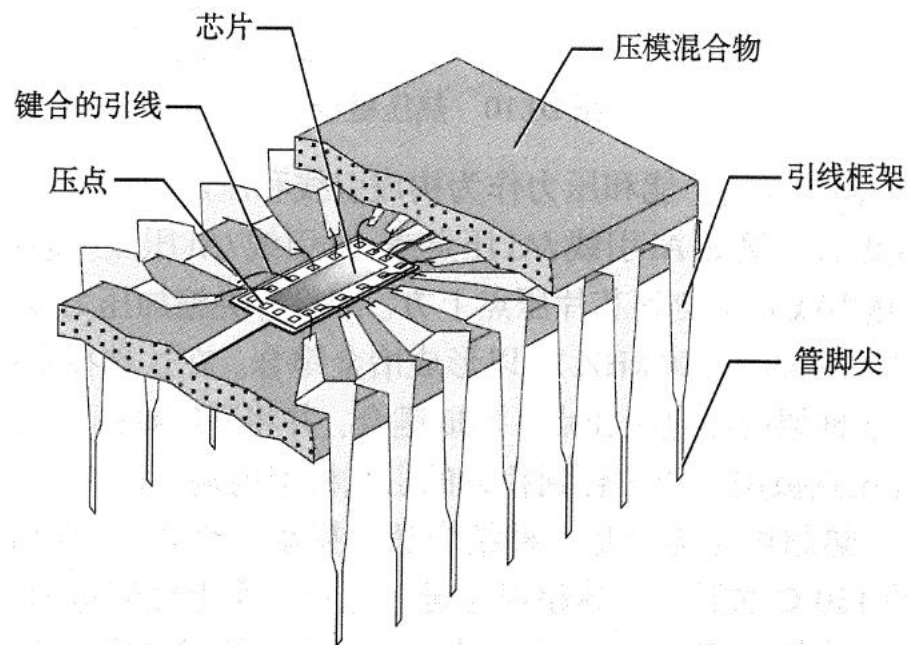


图1.从芯片压点到引线框架的引线键合

1.热压键合：

在热压键合中，**热能和压力被分别作用到芯片压点和引线框内端电极以形成金线键合**。一种被称为毛细管劈刀的键合机械装置，将引线定位在被加热的芯片压点并施加压力。**力和热结合促成金引线和铝压点形成键合，称为楔压键合**。然后劈刀移动到引线框架内端电极，同时输送附加的引线，在那里用同样方法形成另一个楔压键合点（见图1）。这种引线键合工艺重复进行，直到所有芯片压点都被键合到它们相应的引线框架内端电极柱上。

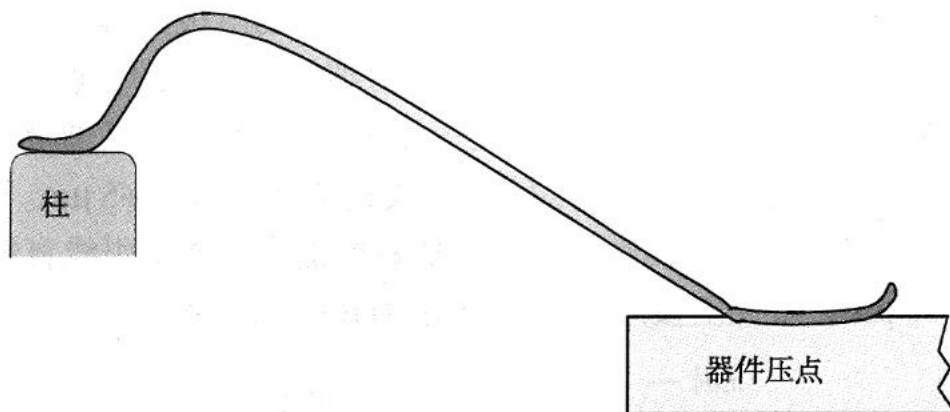


图1.热压键合

2.超声键合：

超声键合以超声能和压力作为构成引线和压点间楔压的方式为基础。

它能在相同和不同的金属间形成键合，例如Al引线/Al压点或Au引线/Al压点。通过在毛细管劈刀底部的孔（类似热压键合）输送引线并定位到芯片压点上方。细管针尖施加压力并快速机械振动摩擦，通常超声频率是60kHz（最高达到100kHz），以形成冶金键合。

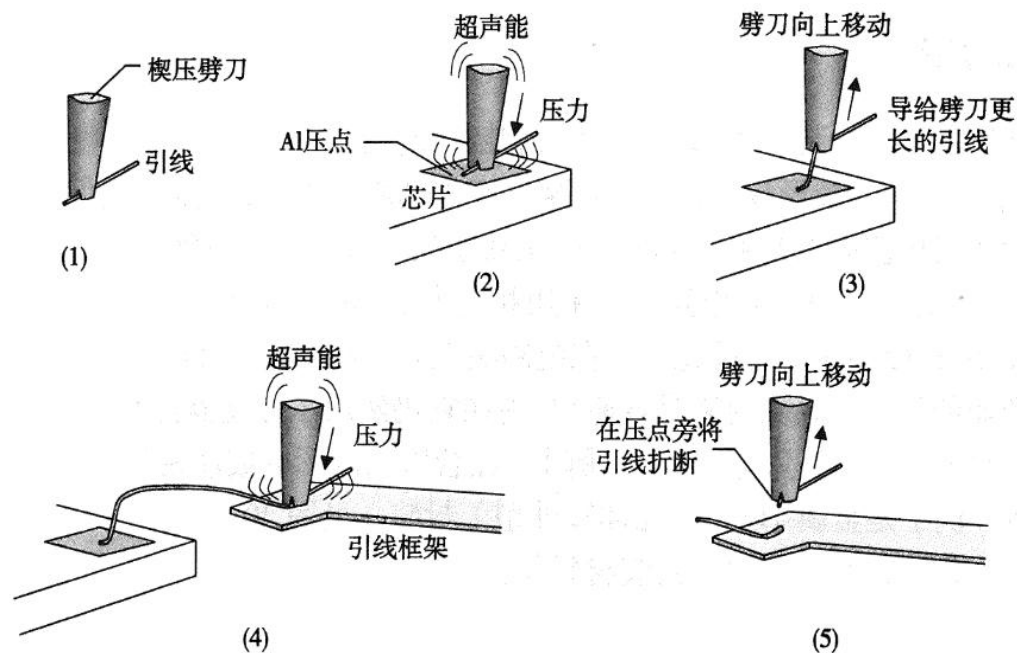


图1.超声线键合顺序

3.热超声球键合：

热超声球键合是一种结合超声振动、热和压力形成键合的技术，被称为球键合。基座维持在约 150°C 的温度。热超声球键合也有一个毛细管劈刀，由碳化钨或陶瓷材料制成，它通过中心的孔竖直输送细Au丝。伸出的细丝用小火焰或电容放电火花加热，引起线熔化并在针尖形成一个球。在键合过程中，超声能和压力引起在Au丝球和Al压点间冶金键合的形成（见图1）。

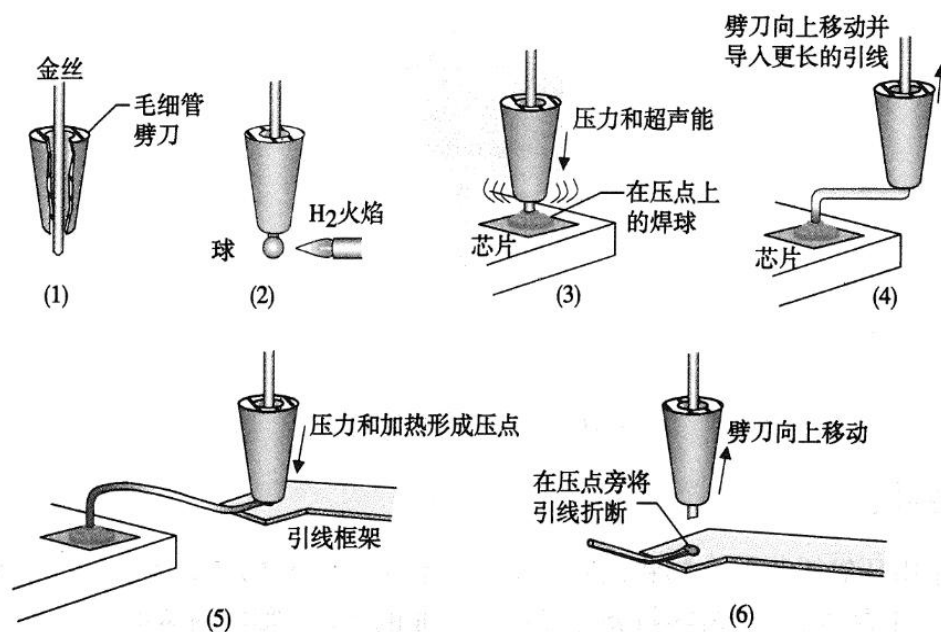


图1.热超声球键合

引线键合质量测试：

引线键合的成品率很高。保证质量的两个主要方法是**目检**和**拉力测试**。

目检是通过看楔压或球并验证已形成良好的键合点来进行的。

引线键合拉力试验提供了引线键合质量的定量评价（图1）。拉线测试测量单个键合点的强度并标出键合失效的地方。这些数字化测量能用统计过程控制（SPC）监视以评估工艺的稳定性和趋势

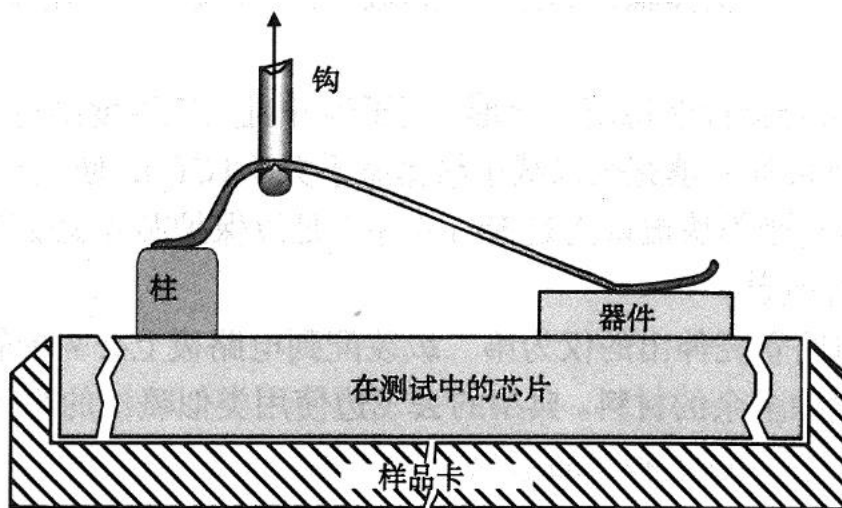


图1.引线键合拉力试验

传统封装

集成电路有许多**传统封装**形式。如前所述，封装必须保护芯片免受环境中潮气和沾污的影响及传运时的损坏。集成电路封装形成了在引线框架上互连到芯片压点的管脚，它们用于第二级装配电路板。

在半导体产业的早期金属壳封装是普遍的。现在它仍然用于分立器件和小规模集成电路。芯片被粘贴在镀金头的中心，并用引线键合到管脚上。在管脚周围形成玻璃密封，一个金属盖被焊到基座上以形成密封。例子是金属TO型（晶体管外型）封装（见图1）。

两种最广泛使用的传统集成电路封装材料是：

- **塑料封装**
- **陶瓷封装**

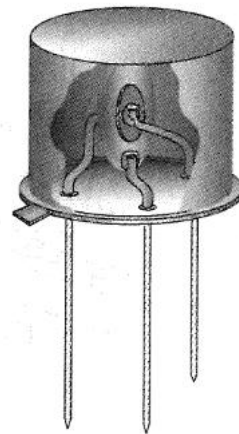


图1.TO型金属封装

塑料封装

塑料封装使用环氧树脂聚合物将已完成引线键合的芯片和模块化工艺的引线框架完全包封。塑料封装的一个关键特征是这种设计致力于大批量生产技术。塑料封装长期受欢迎的重要原因是管脚成型灵活，或作为插孔式管脚，或作为表面贴封装技术（SMT）管脚。使用塑料封装的其他益处是材料成本低和重量轻。

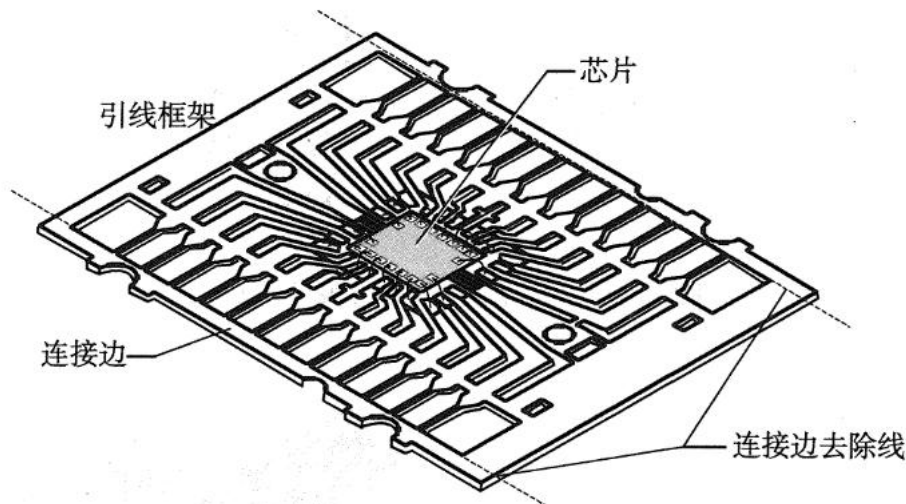


图1.从引线框架上取出连接边

塑料封装种类：

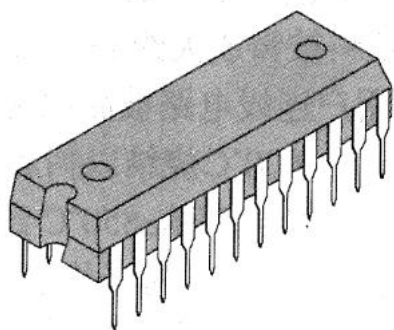


图1.双列直插封装 (DIP)

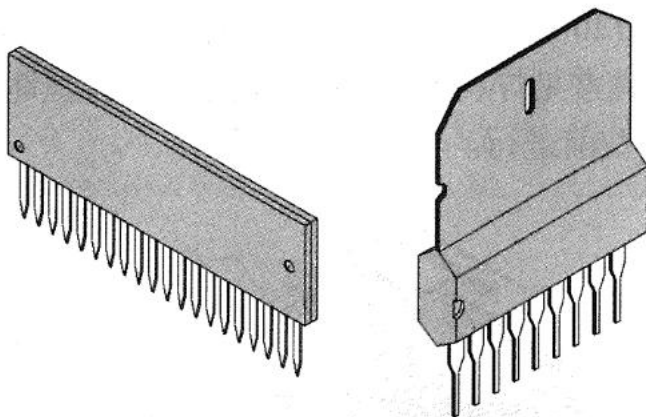


图2.单列直插封装 (SIP)

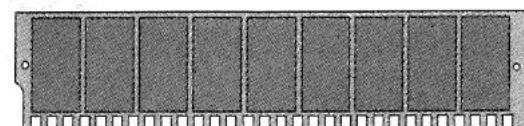


图3.双列存储器模块 (DIMM)

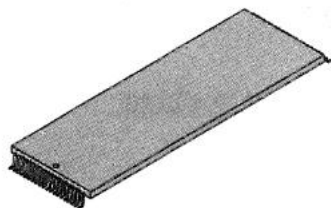


图4.薄小型封装 (TSOP)

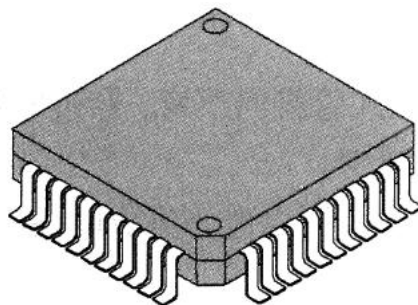


图5.四边扁平封装 (QFP)

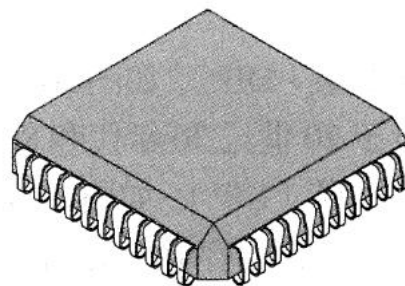


图6.具有J型管脚的塑料
电极芯片载体 (PLCC)

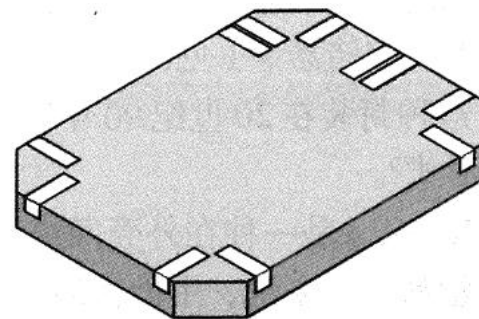


图7.无引线芯片载体 (LCC)

陶瓷封装

陶瓷封装被用于集成电路封装，特别是目前应用于要求具有气密性好、高可靠性或者大功率的情况。

陶瓷封装有两种主要方法：

- **耐熔陶瓷**
- **陶瓷双列直插 (CERDIP)**

耐熔陶瓷

耐熔陶瓷基座是集成电路封装常用的，它由氧化铝粉和适当的玻璃粉及一种有机媒质混合而构成浆料，干化，然后制作布线图案以制成一个多层陶瓷基座（见图1）。

作为集成电路封装基座的耐熔陶瓷的**主要挑战**是：（1）高收缩性，这使公差难于控制（2）高介电常数，增加了寄生电容，并能影响高频信号（3）氧化铝的导电率，成为信号延迟的问题

陶瓷封装最常用的管脚形式是100密耳间距的铜管脚，它组成针栅阵列（PGA）管壳。

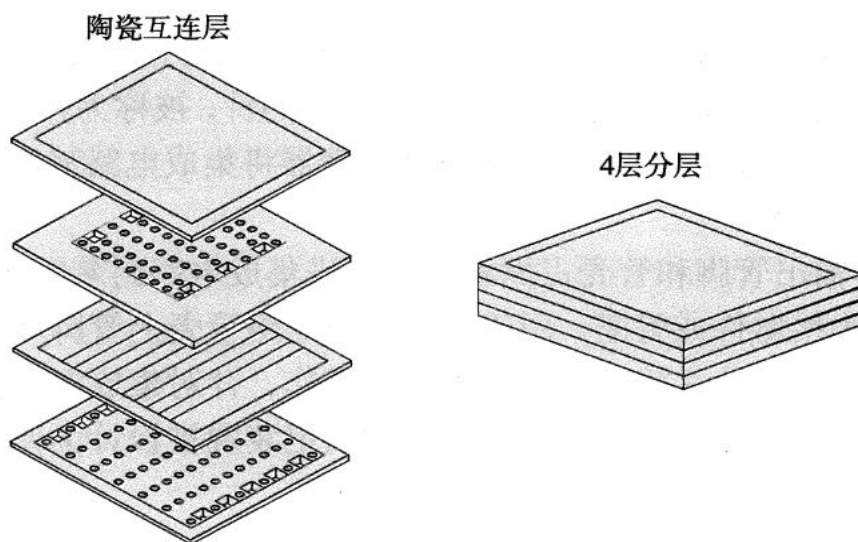


图1.分层耐熔陶瓷加工顺序

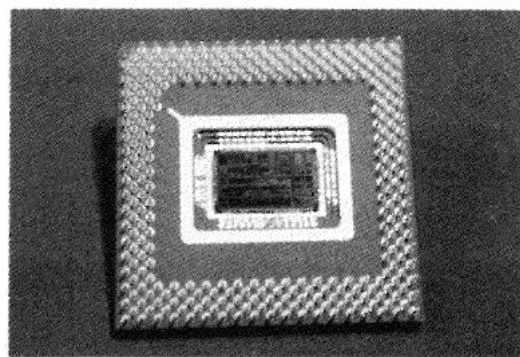


图2.陶瓷针栅阵列（PGA）

薄层陶瓷

陶瓷封装技术的一种低成本方式是将两个陶瓷件压在一起（芯片引线键合后）。引线框架被定位在它们之间（见图1）。这种封装被称为陶瓷双列直插（CERDIP），使用低温玻璃材料将陶瓷层密封。

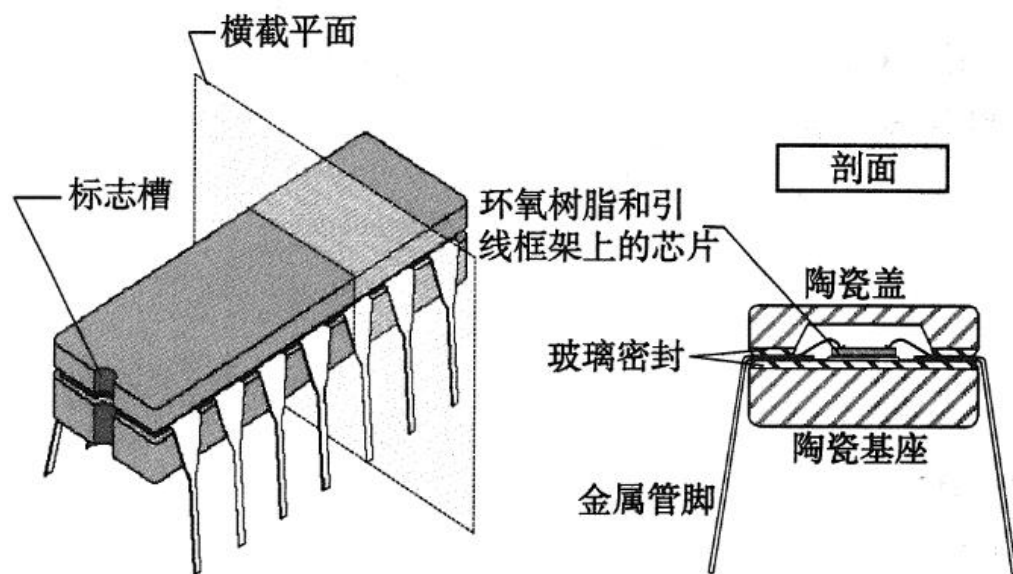


图1.CERDIP封装

终测

所有装配和封装芯片都要进行最终电测试以确保集成电路质量。测试与硅片分类时所做的功能测试相同。集成电路芯片处理器要在自动测试设备（ATE）上进行单个芯片测试。

具有数量多的输入/输出管脚和管壳占面积小的先进集成电路封装对于终测造成挑战。专用的测试固定装置，通常称为接触件或管座，用于进行集成电路管壳上管脚和自动测试仪上接触针之间的电学连接（见图1）。

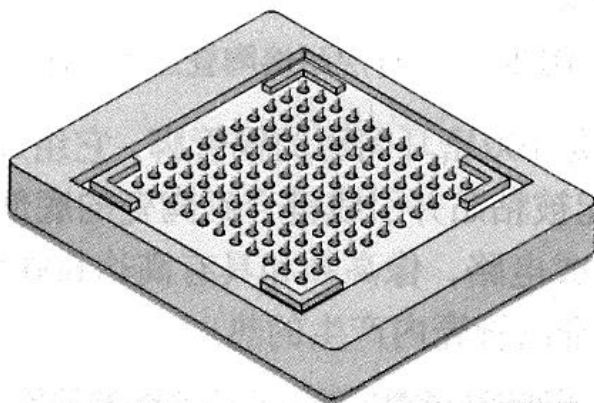


图1.为集成电路管壳准备的测试管座

先进的装配与封装

更低成本、更可靠、更快及更高密度的电路是集成电路封装追求的目标。**引线键合技术已被证明成本低和工作可靠。在未来，封装目标将通过增加芯片密度并减少内部互连数来满足。**具有更少互连的封装与减少潜在失效点、减小电路电阻、潜在缩短电路长度及减少内电极电容，都可影响电性能。有规律地引入新型封装设计以解决第二级封装的难题。先进的集成电路封装设计包括：

- 倒装芯片
- 球栅阵列 (BGA)
- 板上芯片 (COB)
- 卷带式自动键合 (TAB)
- 多芯片模块 (MCM)
- 芯片尺寸封装 (CSP)
- 圆片级封装

倒装芯片是将芯片的有源面面向基座的粘贴封装技术（即相对引线键合方法，把带有凸点的芯片反转，将有源面向下放置——这就是称为“倒装”芯片的原因）。

这是目前**从芯片器件到基座之间最短路径的一种封装设计**，为高速信号提供了良好的电连接。

最常用的焊料凸点工艺被称C4(可调整芯片支撑的工艺)。典型C4焊料凸点使用蒸发或物理气相淀积（溅射）法淀积在硅的芯片压点上。倒装芯片技术使用的凸点——通常5%Sn和95%Pb组成的锡/铅焊料，以互连基座和芯片键合压点。采用高的Pb焊料是因为在这种凸点应用中它的可靠性增加。

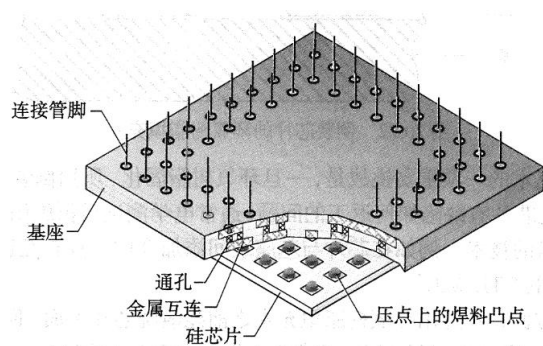


图1.倒装芯片封装

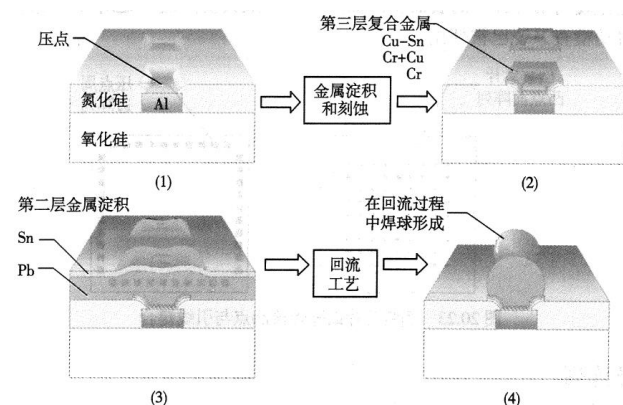


图2.硅片压点上的C4焊料凸点

■ **环氧树脂填充术：**关于倒装芯片可靠性的一个重要问题是硅片和基座之间热膨胀系(CTE)失配。严重的CTE失配将应力引入C4焊接点并由于焊点裂缝引起早期失效。通过在芯片和基座之间用流动环氧树脂填充术使问题得以解决（见图1）。环氧树脂被匹配到C4焊点，使作用于C4结点的应力有效地减小。使用填充术，在C4焊接点上应力能被减小10倍以上。

■ **输入/输出管脚数：**因为倒装芯片技术是面阵技术，它促进了对封装中更多输入/输出管脚的需求。这意味着C4焊料凸点被放在整个芯片表面的x-y格点上，对于更多管脚数有效利用了芯片表面积（见图2）。

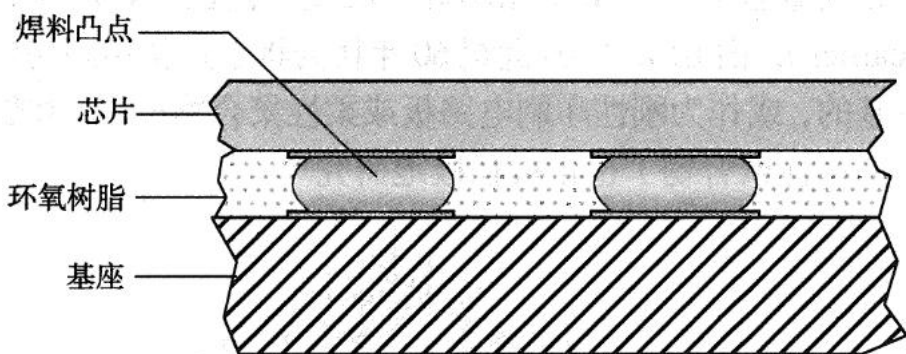


图1.倒装芯片封装

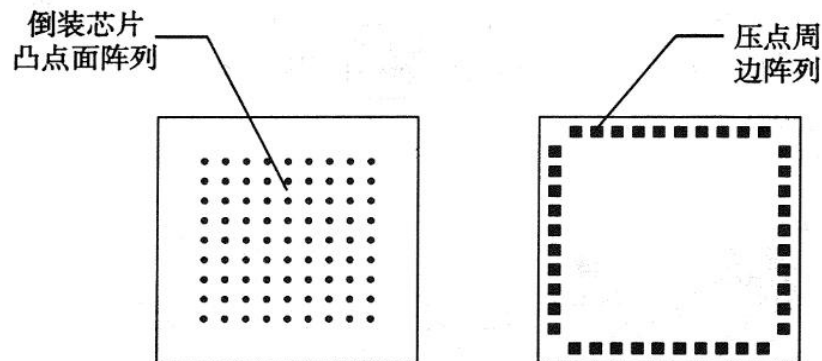


图2.硅片压点上的C4焊料凸点

球栅阵列

球栅阵列(BGA) BGA由陶瓷或塑料的基座构成，基座具有用于连接基座与电路板的共晶Sn/Pb焊料球的面阵列（见图2）。使用倒装芯片C4或引线键合技术将硅芯片粘附到基座的顶部。BGA是为简化第二级装配的具有更大互连间距的倒装芯片的扩展。BGA的优势是在第二级装配时，BGA组件和其他表面贴组件（例如QFP、TSOP等）一起被放在电路板上并进行焊料回流。BGA焊料球回流并形成对板的互连。将BGA与现存的表面贴装组件工艺两者集成在一起降低了装配成本。

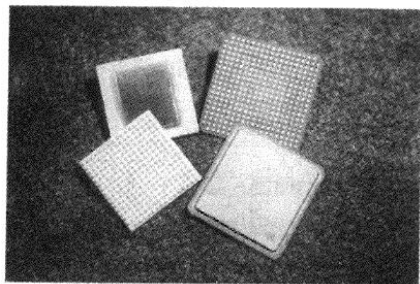


图1.具有球栅阵列的芯片

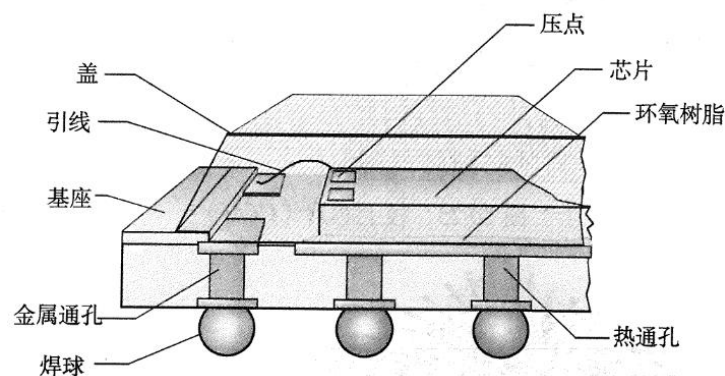


图2.球栅阵列

板上芯片

板上芯片（COB） 工艺被开发以将集成电路芯片直接固定到具有其他SMT和PIH组件的基座上，它又被称为直接芯片粘贴（DCA）。使用标准粘贴工艺（见图1）将芯片环氧树脂粘贴并用引线键合到基座上（经常是印刷电路板）。在硅芯片周围没有管壳，环氧树脂直接覆盖，常称滴盖子（glob-top）。COB法用最少的工艺和设备的变化，来减少传统的SMT和PIH封装尺寸。

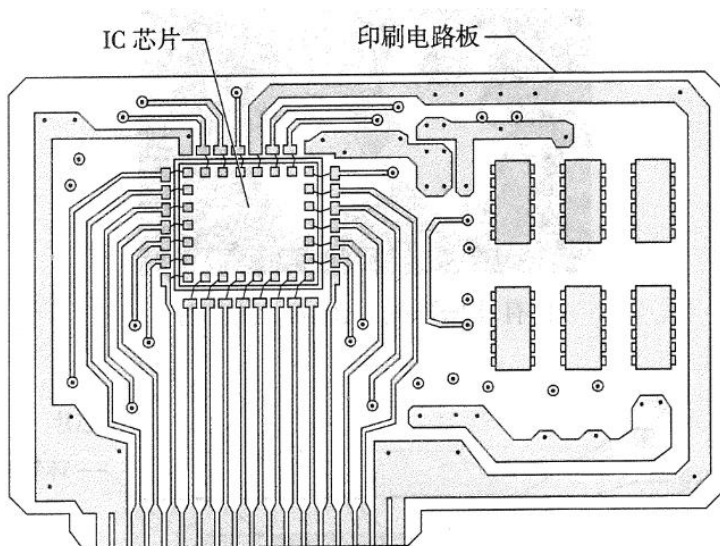


图1.板上芯片

卷带式自动键合

卷带式自动键合(TAB) 是一种多封装方式，它使用塑料带作为芯片载体（见图1）。这种塑料带具有夹在两层聚合物介质膜之间的薄铜箔。铜被刻蚀以形成与芯片压点匹配的电极，带有用于粘附芯片的凸点内电极键合区（ILB）以及可焊料粘附到电路板的外电极区（OLB）。一旦芯片被粘贴在ILB，可用被称为滴盖子（glob-top）的环氧树脂将芯片覆盖以进行保护，并将带卷成卷。

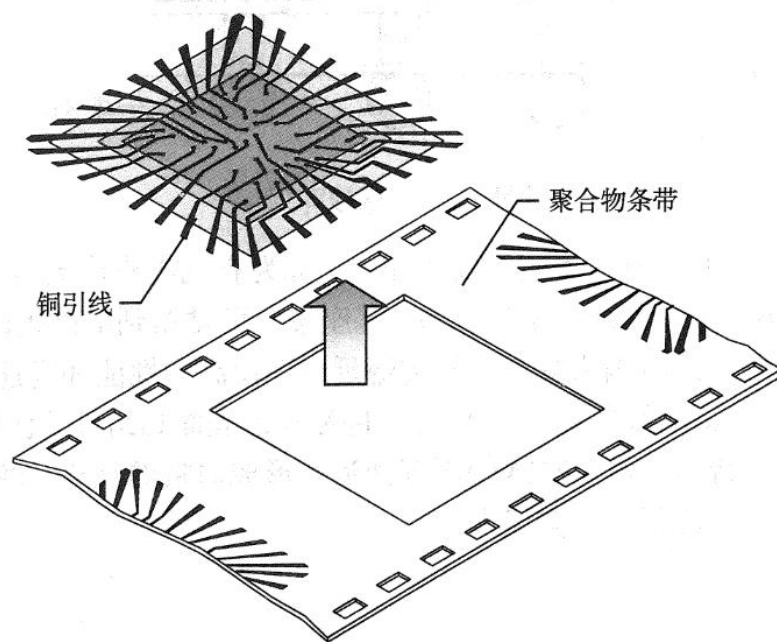


图1.卷带式自动键合

多芯片模块

多芯片模块（MCM）是一种将几个芯片固定在同一基座上的封装形式（见图1）。这种固定能够让MCM基座材料上达到更高的硅芯片密度。MCM被认为是硅芯模块表面积占基座表面积的30%以上。最常用的MCM基座是陶瓷或先进的具有高芯片密度的印刷电路板。MCM封装设计通过在减小总封装尺寸和重量同时减小电路电阻和寄生电容，增强电性能。

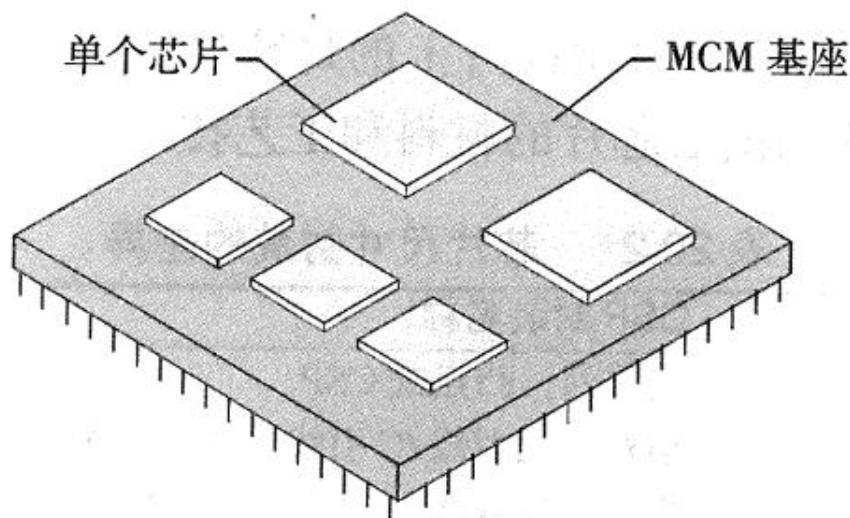


图1.多芯片模块

芯片尺寸封装

集成电路封装设计追求在**增强电性能**的同时追求**更低的成本**、**更轻的重量**以及**更薄的厚度**。芯片尺寸封装（CSP）的**一般定义是小于芯片占地面积（表面积）1.2倍的集成电路封装形式**。

当今主要的csp封装技术是前面讨论的倒装芯片和BGA法，因为两者都采用了凸点互连。更进一步，CSP包括基座上的多芯片，它包含了MCM的概念。倒装是一种发展得最快的先进封装方法（见图1）。

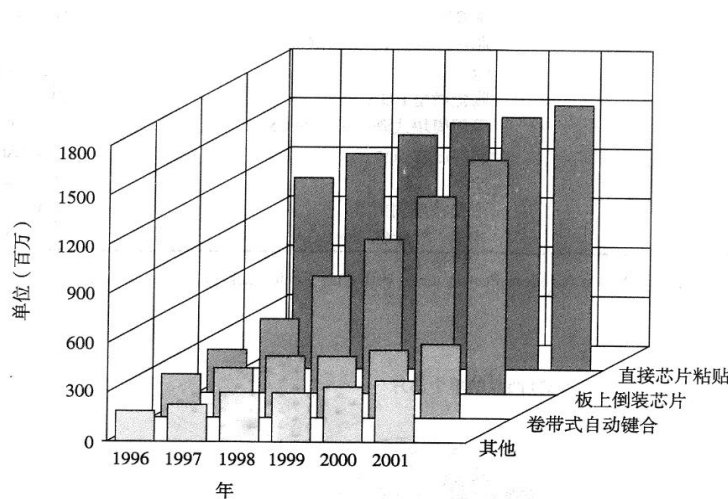


图1.先进的封装趋势

圆片级封装

目前为止，所有将芯片上压点和基座上标准压点连接的集成电路装配与封装都是在由硅片上分离出来的芯片上进行的。这种工艺造成了前端硅片制造工艺与用于生产最终集成电路的后端装配和封装间的自然分离。为了增加生产效率同时获得更低的成本，在20世纪90年代后期开发了圆片级封装。圆片级封装是第一级互连和在划片前硅片上的封装I/O端的形式（图1）。

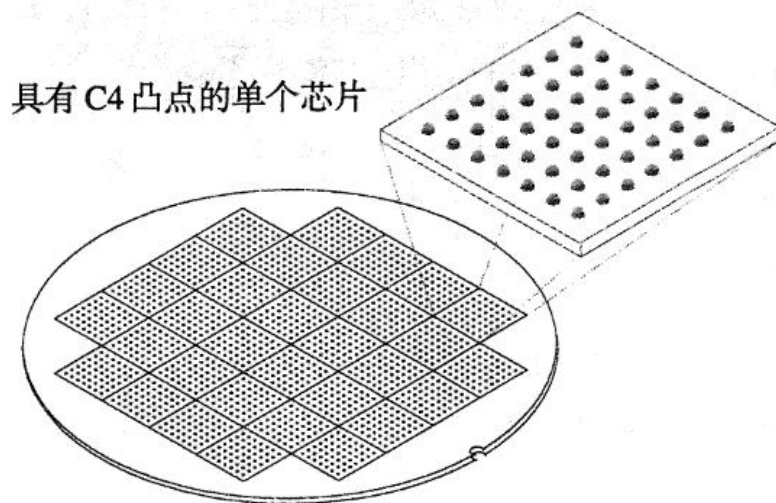


图1.圆片级封装

研究出更好的圆片级封装的**关键**是要在芯片压点细间距尺寸和第二级电路板装配所需的粗间距尺寸之间的界面处，**开发出可靠的互连系统**。一种方式是使用薄膜图层工艺在芯片压点和粘附芯片到电路板所需的较大尺寸压点之间建立界面。引线键合制成芯片和界面之间的互连（图1）。BGA焊料球阵列用于将芯片直接粘贴到第二级装配电路板。

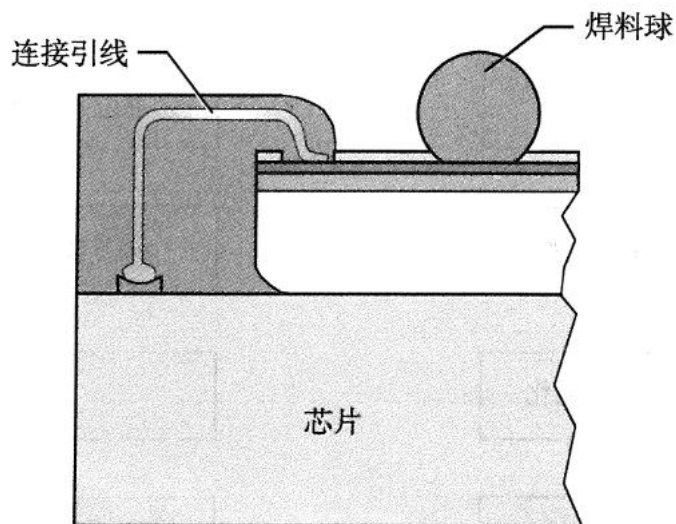


图1.圆片级封装

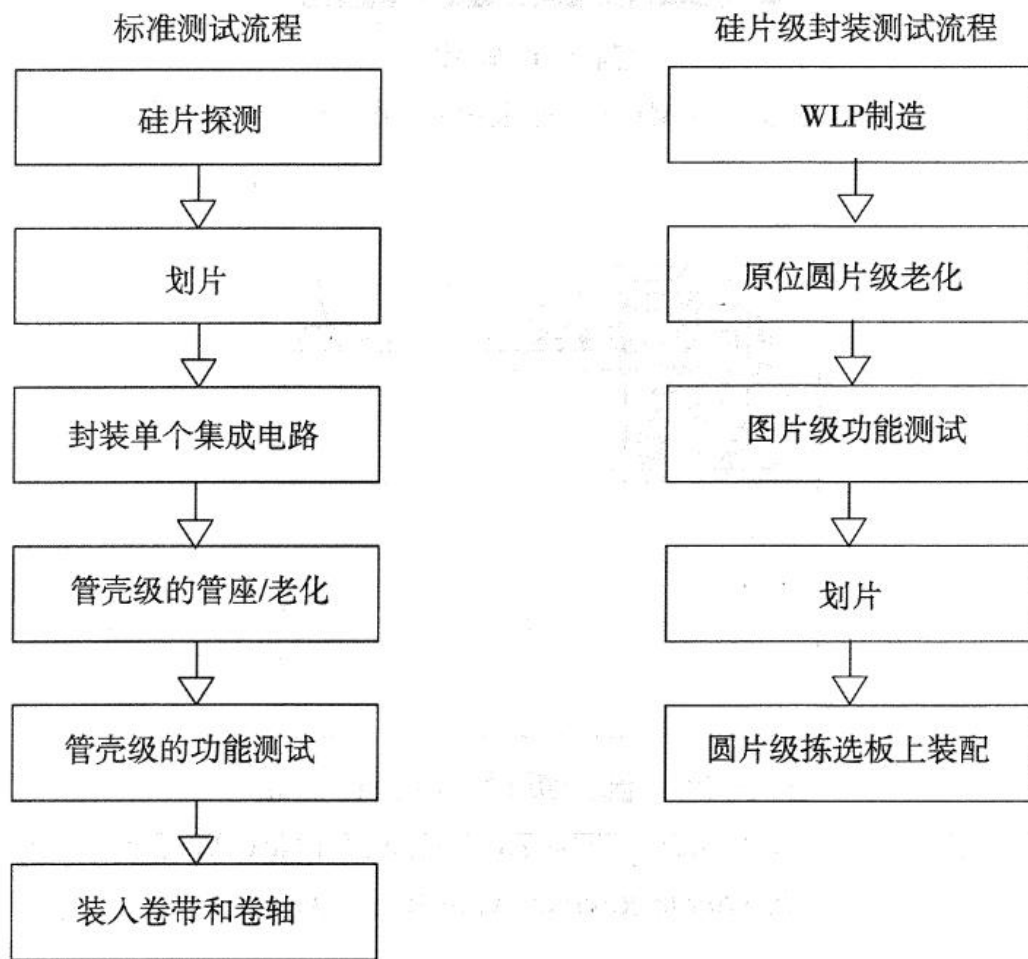


图1.标准测试流程与圆片级封装测试流程比较

费用节省的是集成电路装配和封装中的重要因素。当芯片尺寸缩小而装配和封装技术固定不变时，封装成本在集成电路组件总成本中占有的比重会变得更大。圆片级封装的最终目标是仍在硅片级提供高密度的集成电路封装，因此为从根本上节省费用，统一前端和后端工艺以减少工艺步骤。这种集成导致芯片尺寸封装的自然进步。

表1.圆片级封装特征与优势

参数	优势
管壳尺寸	在 x 和 y 尺度管壳等于芯片面积。它是集成电路封装中的最小最轻的可能性封装
安装后封装高度	它是极薄型，第二级装配后从电路板表面测量总高度小于 1.0 mm
组件可靠性	测试结果表明圆片级封装组件已通过对现有无源组件的可靠性测试
焊接点可靠性	测试结果表明焊接点可靠性满足标准热循环（-65 至 125°C）可靠性测试
电学性能	电学模拟测试表明，芯片面朝下（倒装芯片）的圆片级封装结构具有短的电路路径，由于使电感和寄生电容损失最小，导致了非常好的电性能
与现有 SMT 基础结构的集成	圆片级封装可以与现有的表面贴装技术兼容，并使用标准的焊料球及球间距
抗 α 粒子	在封装材料中天然存在的放射性元素发射 α 粒子，它能引起存储器单元电压损失。聚合物带和薄膜粘贴为存储器芯片提供抗 α 粒子
低系统成本	为降低系统总成本，使用与硅片集成的现有材料减少装卸和硅片测试的策略，以最少化重复测试

封装与装配质量测量

表1.对于集成电路装配和封装的关键质量测量

质量参数	缺陷类型	备注
1. 倒装芯片 C4 凸点中的 裂缝或空洞	A. 在 C4 凸点中的焊接裂缝或空洞是应力集中点, 它将引起早期失效 B. 具有完全分层 C4 凸点的严重裂缝在终测中应被探测出来	● 焊接裂缝可能来自于工艺过程中的工具损伤 ● 空洞可能来自于焊料预热过程中不适当的温度曲线, 它是在焊接过程中蒸发遗留下的过量的熔化残渣
2. 倒装芯片 C4 凸点尺寸 的不规则性	A. 不规则的 C4 凸点尺寸能引起焊接应力增加和凸点的电学失效	● 确保在 C4 焊料淀积前, 压点表面的金属 (BLM) 被彻底地清洗 ● 检查 C4 焊料淀积工艺以验证参数的正确
3. 倒装芯片 C4 凸点上熔 化的沾污残渣	A. 熔化的沾污能在 C4 焊料凸点间产生树枝状生长 (引起短路的沾污导电膜) 并引起器件电失效 B. 熔化残渣阻止环氧树脂填充术从粘接到 C4 焊料柱, 产生分层 (晕轮缺陷)。这导致应力累积和 C4 凸点上最终失效	● 验证回流后清洗工艺以核实对去除熔化残渣清洗的化学成分适当 ● 验证环氧树脂填充术完全覆盖芯片和基座之间的 C4 焊料凸点 (无空洞)
4. 倒装芯片环氧树脂填充 术在芯片和基座之间有 空洞和分层	A. 由于 CTE 失配环氧树脂空洞和分层能在 C4 焊料凸点产生裂缝导致电学失效	● 适当控制环氧树脂填充术工艺使缺陷减小是至关重要的 ● 如果已经施加环氧树脂, 倒装芯片的返工就会很困难
5. 楔压或球键合的引线键 合强度	A. 在拉力测量中低拉力强度数据 (在控制分析图上, 低于最小值或控制值外的读数值) B. 由于键合开路失效导致电测试失效	键合失效的可能原因有: ● 在键合界面金和铝之间金属内部的结构 ● 由于沾污或不适当地清洗, 劣质楔压或球键合结构, 引起键合点翘起 ● 在键合工艺中不适当的压力。键合压力低, 形成键合点易于翘起, 而键合压力高易于形成裂缝失效

集成电路封装检查及故障排除

表1.常用集成电路封装检查及故障排除

问题	可能的原因	纠正措施
1. 塑料管壳的分层或裂缝	A. 过量的潮气吸进塑料管壳（成模塑料能从空气中吸收多达 0.4% 重量的潮气）。在工艺循环温度中曝露或者芯片的使用能引起膨胀和失效 B. 在管壳、芯片和互连结构中过量的 CTE 失配	● 如果必要，可使用干燥存储防止潮气到达管壳 ● 为运输而包装模块应先烘焙干燥，并放置吸潮的干燥剂再包装 ● 过量的 CTE 失配要求管壳重新设计以便失配最小
2. 侵蚀会增加金属化电阻和最终开路，或者增加漏电流，最终使芯片电失效	A. 有离子沾污存在时潮气到达芯片上 B. 由于封装应力，氮化硅层可能裂缝并使下面的金属曝露在潮气中	改正措施需要减少离子沾污水平并禁止潮气进入芯片，包括： ● 在成模中通过加填充剂减少塑料收缩，由此使芯片上的应力最小并在整个表面形成良好粘贴 ● 改善芯片清洗工艺以减少离子沾污的存在 α 粒子的源是氧化铝和环氧树脂。防止 α 粒子辐射的方法包括： ● 因为放射性杂质绝不可能完全消除，在器件周围加屏蔽 ● 用聚合物涂覆表面 ● 在重掺杂硅外延层上做器件以禁止电荷运动
3. 在 DRAM 或 SRAM 中存储软失效（软失效通常是可恢复的，但是如果发生得太频繁可能成为严重的问题）	A. 在封装材料中存在放射元素发射能量高达 8 MeV 的 α 粒子，它能使存储器单元反转（引起存储“1”的单元失去存储内容而变为“0”）	针对紫色瘟疫的措施有： ● 提高温度将曝光降到最小 ● 确保金具有可以接受的纯度 ● 遵守压点金属化标准设计规则
4. 由芯片压点开路造成的引线键合失效	A. 在压点上金和铝之间的界面紫色金属间混合物的形成（被称为紫色瘟疫）。提高温度，压点上的铝扩散进入紫色瘟疫金属并引起空洞。过量的空洞导致开路	对更高温度工作的器件，紫色瘟疫问题可能变得更普遍