§6.4 计数器 Counter

• 计数器的功能

记录*CLK* 个数的电路,可以用来计数、分频,此外还可以对系统定时、顺序控制等操作。

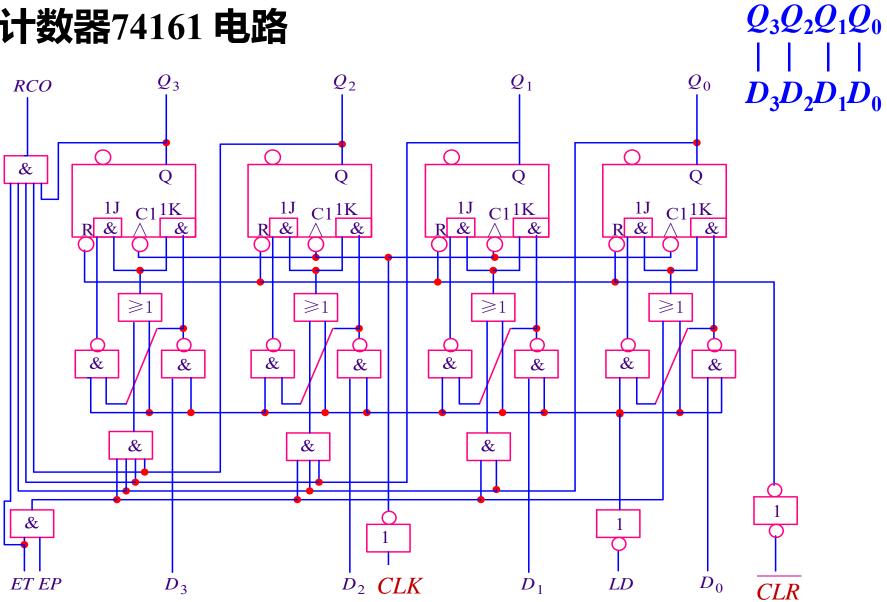
• 计数器的分类

按时钟控制方式分类,有异步,同步计数器两大类。按计数功能分类,有加法计数,减法计数和可逆计数三大类。按数制分类,可分为二进制计数器和非二进制计数器(任意进制计数器)两大类。

§ 6.4.1 集成计数器 74161

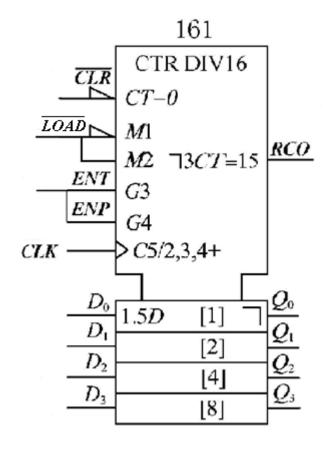
74161: 二进制同步模16加法计数器, 异步清0功能。

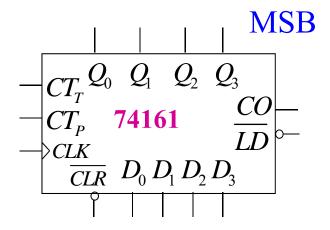
计数器74161 电路



符号

IEEE





输出 $Q_3Q_2Q_1Q_0$

数据输入 $D_3D_2D_1D_0$

异步清零 CLR

控制端 ENT (ET, CT_T), ENP (EP, CT_p)

预置端 \overline{LOAD} (\overline{LD})

进位输出 RCO (CO)

74161 功能表

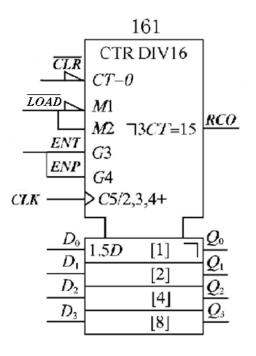
CLR	LD ENT ENP CLK	$D_0 D_1 D_2 D_3$	功能
0	XXXX	XXXX	Direct set 0
1	0 X X 1	$D_0D_1D_2D_3$	Load 预置
1	1 0 X X	XXXX	保持 RCO=0
1	1 X 0 X	XXXX	保持
1	1 1 1	XXXX	M-16 计数

$$RCO = ENT \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0$$

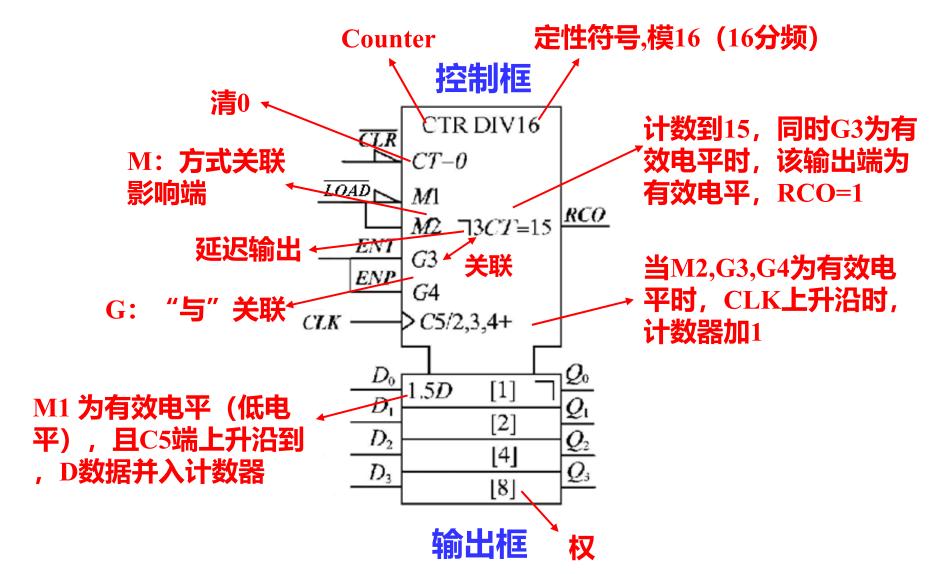
计数时, $ENT = 1$,
当 $Q_3Q_2Q_1Q_0 = 1111$ 时,(M-16)
 $RCO = 1$.

$$Q_3Q_2Q_1Q_0 = 0000$$

 $Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$



74161 IEEE 符号



例1: 用 74161 实现模11加法计数器 (例6.7)

方法1: 预置归0法 (\overline{LD})

$$ENT = ENP = 1$$
, $\overline{CLR} = 1$, $D_3D_2D_1D_0 = 0000$

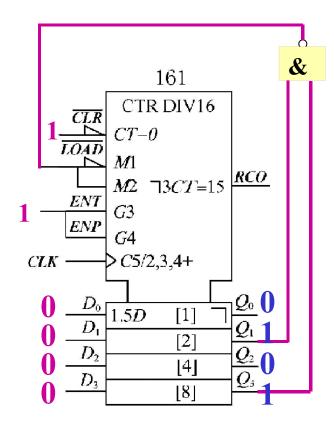
最大状态 1010 最大状态中1端连入一个与非门

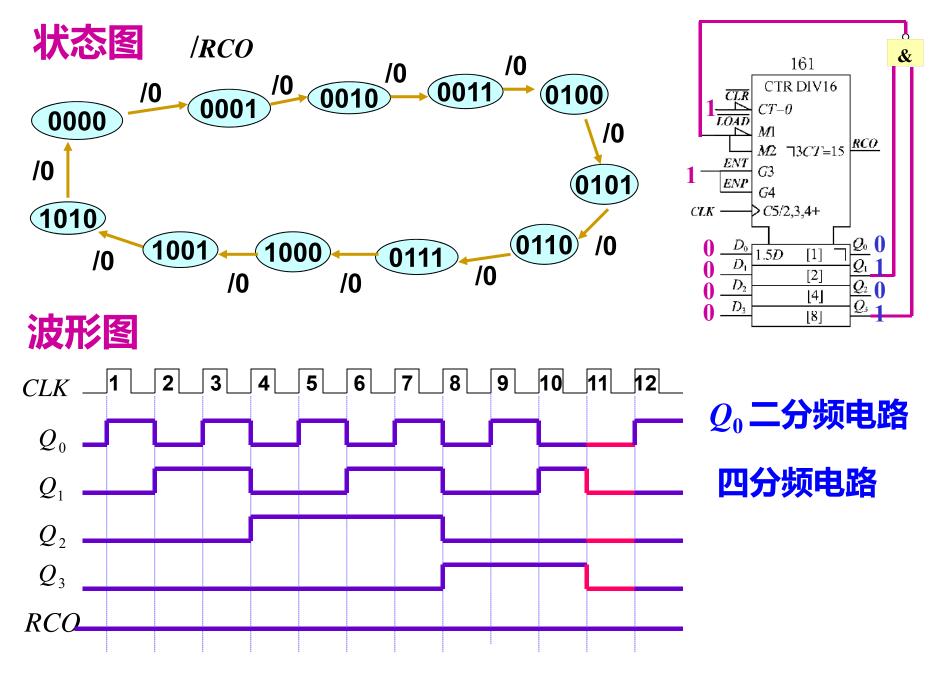
输出 $\rightarrow L\overline{D}$

$$0 \rightarrow 9$$
,与非门 = 1 (\overline{LD} =1),计数

 10^{th} *CLK* 到来, $Q_3Q_2Q_1Q_0=1010$, $\overline{LD}=0$

下一个 CLK (11th) 到来, $Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0 = 0000$



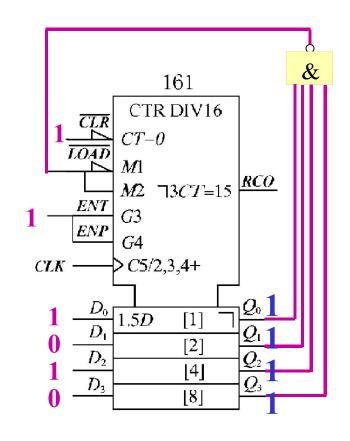


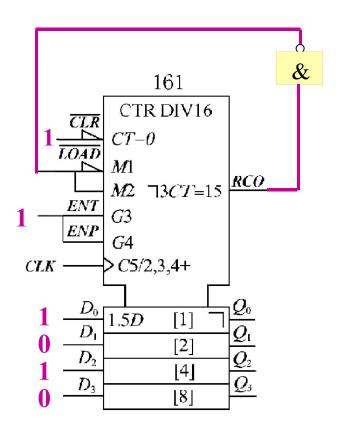
方法 2: 预置补数法

0000~1111 16 个状态

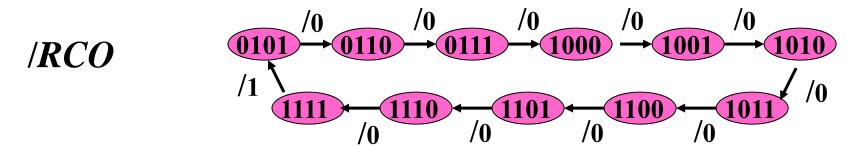
0000~1010 11 **个状态**

5 (0101) ~ 15 (1111) 11 个状态





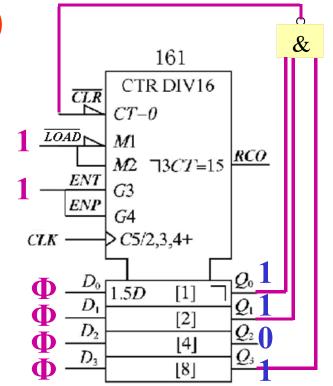
状态图

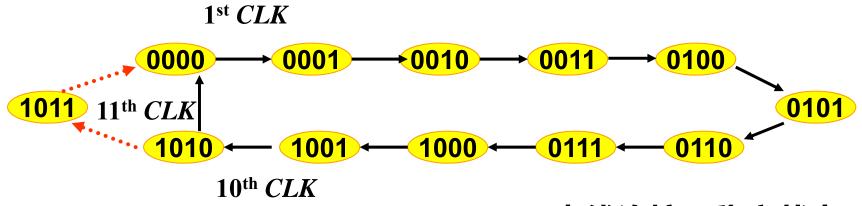


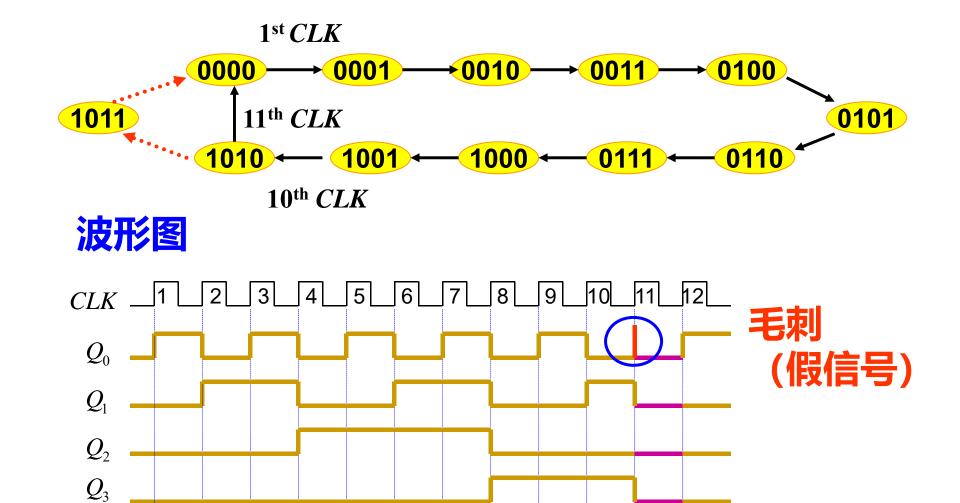
方法 3: 反馈归 0 法 (CLR)

$$ENT = ENP = \overline{LD} = 1$$
 $D_3D_2D_1D_0 = \Phi \Phi \Phi \Phi$
 $Q_3Q_2Q_1Q_0 = 1011$
与非门 $\rightarrow C\overline{LR}$

状态图



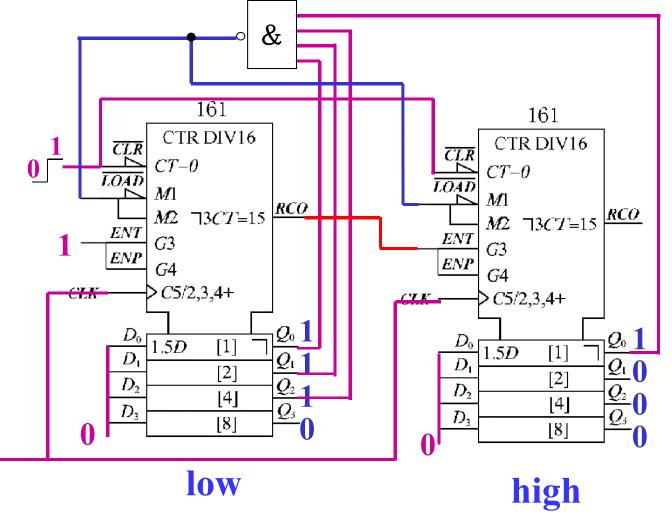




方法1最好,用 \overline{LD} 端归0。

例 2: 用74161 设计模 24 计数器

最大状态: 23 (10111) 两个 74161

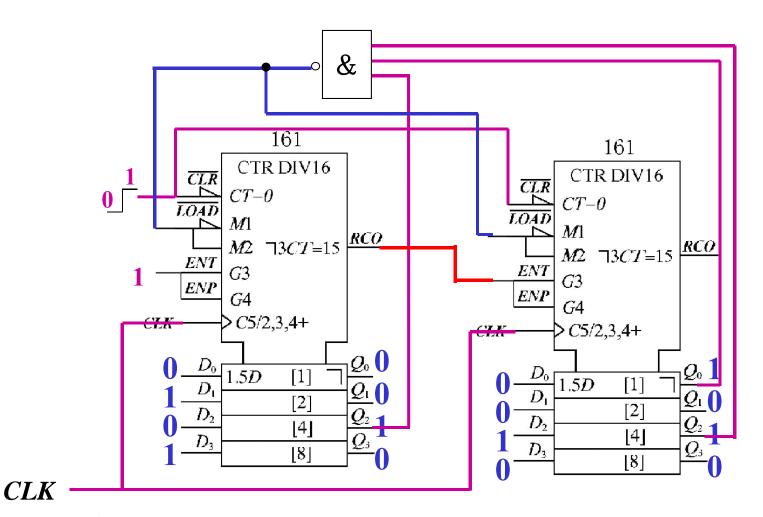


状态图 15th CLK ↓ 01111 16th CLK 10000 高位停 低位计数 17th CLK ↓ 10001 23th CLK ¹√ 10111 24th CLK ↓ 00000

CLK

例 3: 求下图计数器电路的模值。

$$\mathbf{M} = ?$$



终点: 01010100 = 84

ትト: 01001010 = 74

M = 84 - 74 + 1 = 11

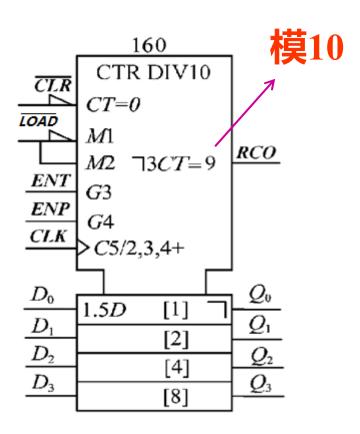
§ 6.4.2 IC 计数器 74160 (M-10)

(8421BCD码同步加法计数器)

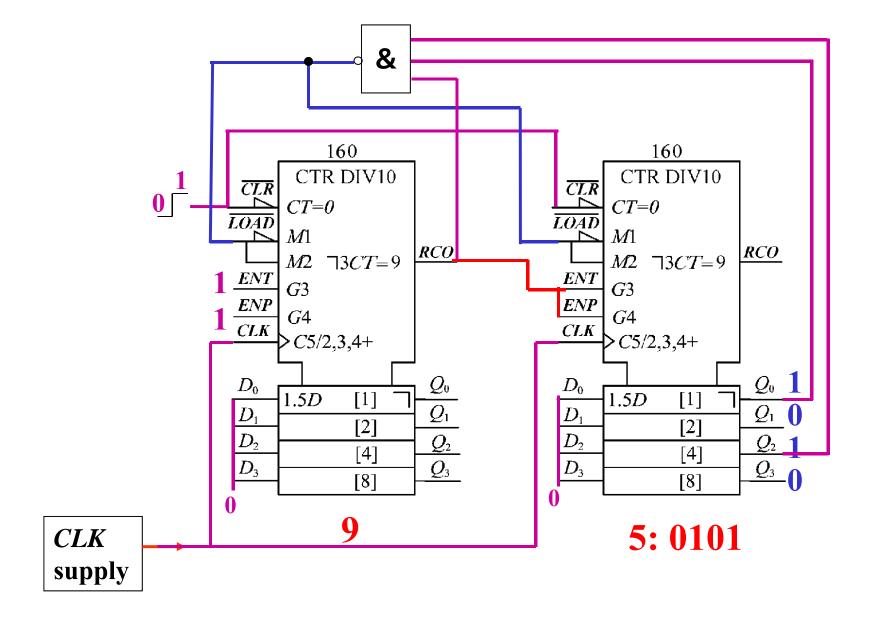
模10, 其它与74161相同, 异步清0

$$RCO = ENT \cdot Q_3 \cdot Q_0$$

当
$$Q_3Q_2Q_1Q_0 = 1001$$
, $RCO = 1$



例: 用74160 设计一个 60 s 计数器 59



§ 6.4.3 IC 计数器 74163 (M-16)

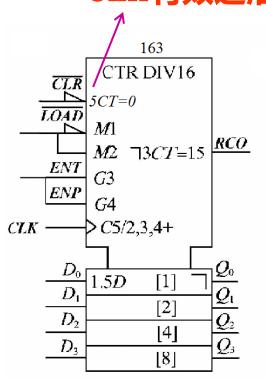
同步清0, 其他与 74161相同 (模16)

图中: 5CT=0 在 5 端有效时清0

74163 功能表

CLR LD ENT ENP CLI	$K \mid D_0 D_1 D_2 D_3$	功能
0 X X X 1	XXXX	Direct set 0
1 0 X X 1	$D_0D_1D_2D_3$	Load 预置
1 1 0 X X	XXXX	保持 RCO=0
1 1 X 0 X	XXXX	保持
1 1 1 1	XXXX	M-16 计数

CLK有效边沿

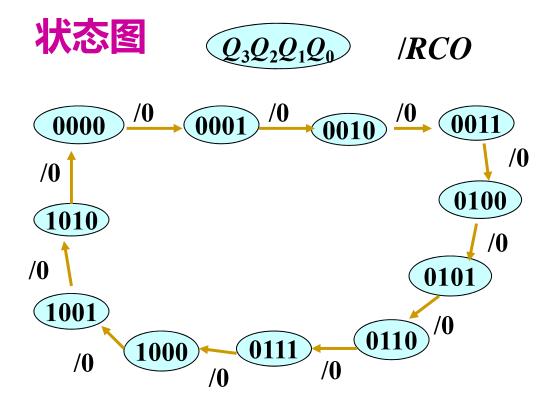


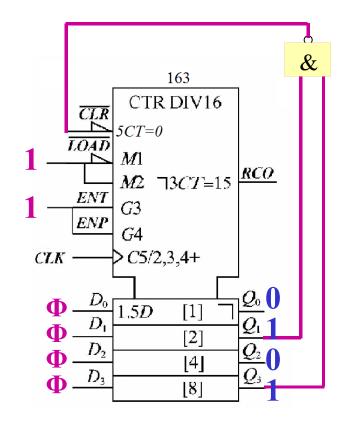
同步清零0: 当 $\overline{CLR} = 0$ 时,下一个 CLK 到达,

$$Q_3Q_2Q_1Q_0 = 0000$$

例: 用74163的同步清零 功能设计一个模11计数器。 (CLR)

最大状态 1010





没有毛刺

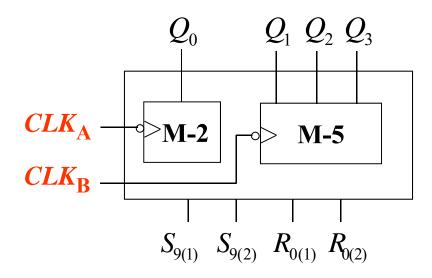
用 LD 端, 与74161相同, 初始为0000。

§ 6.4.4 IC 计数器 74290

1.74290 功能

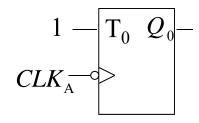
模 2-5-10 异步计数器

框图

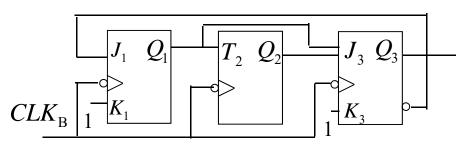


两个独立的下降沿FF

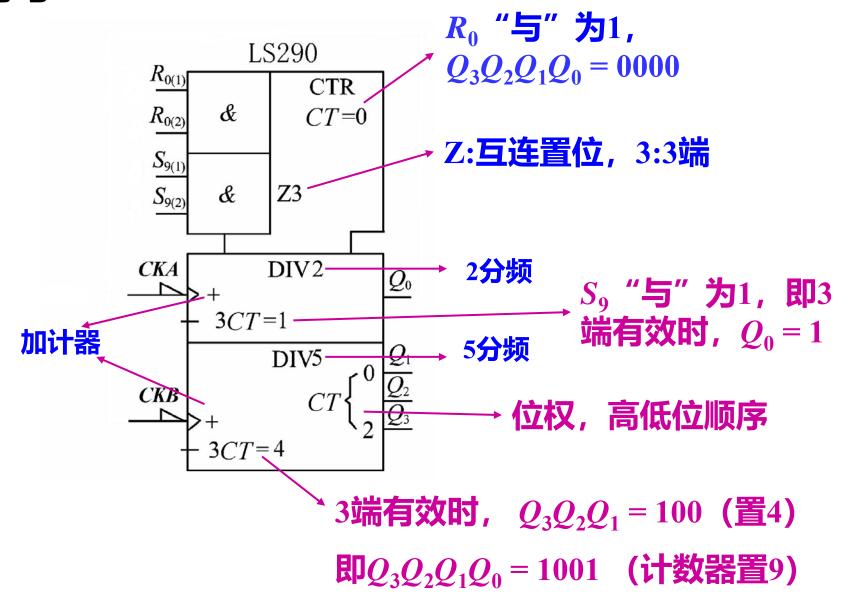
M-2 计数器,输出 Q_0



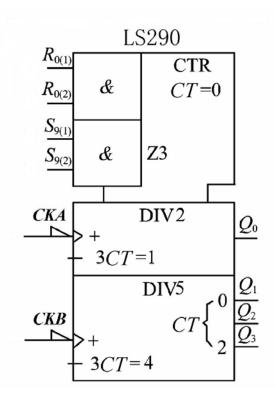
M-5 计数器, 输出 $Q_3Q_2Q_1$



符号



功能



(1) 异步清0

(2) 异步置9

当
$$S_{9(1)} = S_{9(2)} = 1$$

$$Q_3 Q_2 Q_1 Q_0 = 1001$$

(3) 计数

$$\begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \\ R_{0(1)} \cdot R_{0(2)} = 0 \end{cases}$$

同时满足,CLK下降沿实现计数

2.74290应用

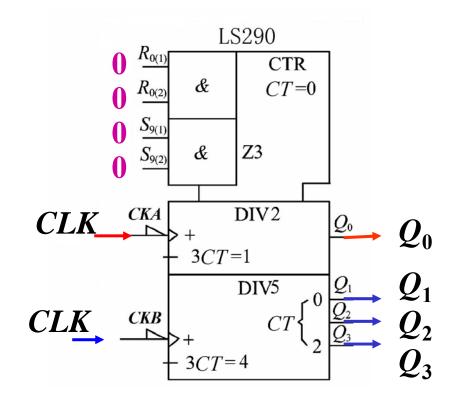
(1) 模 2 计数器

$$\begin{cases} S_{9(1)} \bullet S_{9(2)} = 0 \\ R_{0(1)} \bullet R_{0(2)} = 0 \end{cases}$$

CLK 从 CLK_A 接入, Q_0 输出, 实现 模 2加计数

(2) 模 5 计数器

$$\begin{cases} S_{9(1)} \bullet S_{9(2)} = 0 \\ R_{0(1)} \bullet R_{0(2)} = 0 \end{cases}$$



CLK 从 CLK_B 接入, $Q_3Q_2Q_1$ 输出,实现 模 5加计数两种用法完全独立。构成更大模数时,需外接线连接

(3) 8421BCD 码模10 计数器

$$S_{9(1)} \circ S_{9(2)} = 0$$
, $R_{0(1)} \circ R_{0(2)} = 0$
 CLK 接 CLK_A , $Q_0 \longrightarrow CLK_B$

在 Q_0 下降沿(CLK_B
 $1 \to 0$), $M-5$ 计数

他发 $M-5$ 计数

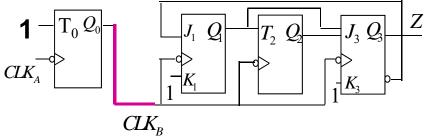
1— $T_0 Q_0$

LS290

 $CCTR_{CCT=0}$
 CKA
 CKA
 CKA
 CKB
 CKB
 CCT
 CKB
 CCT
 CKB
 CCT
 CCT

输出位权

 $Q_3Q_2Q_1Q_0: 8421$



(4) 8421 BCD码任意进制计数器

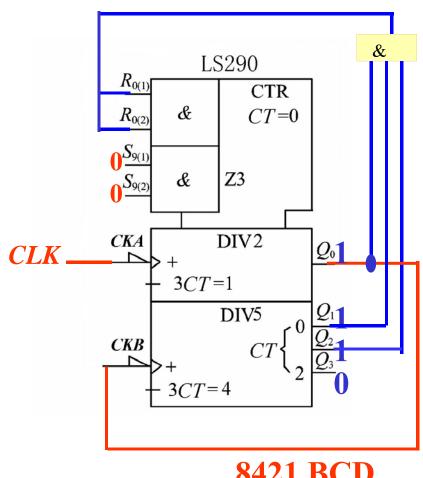
"直接置 $0 R_0$ "高电平清 0

例: M-7 计数器

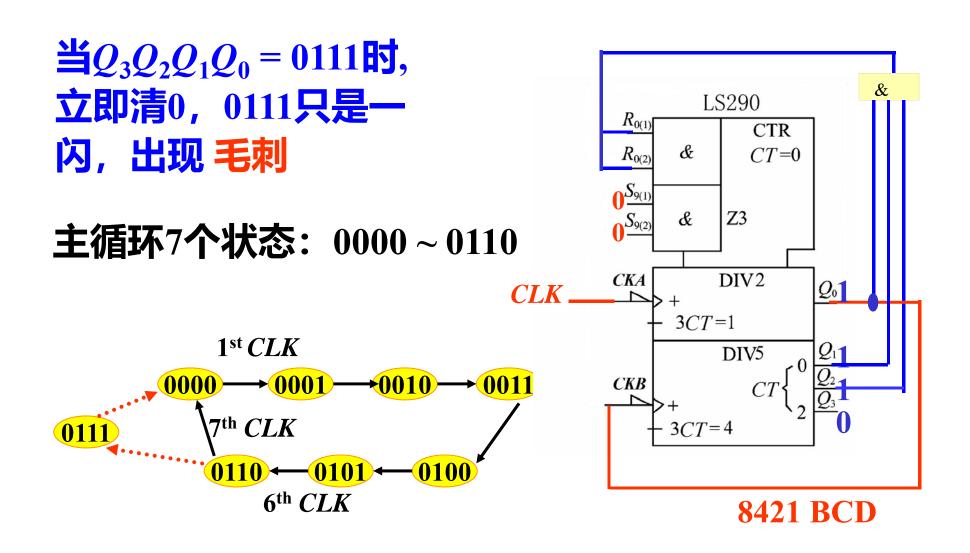
- (1) $CLK \rightarrow CLK_{\Delta}$
- ② 接: 8421 BCD 模10

$$Q_0 \rightarrow CLK_{\rm R}$$

- $\mathfrak{S}_{9(1)} = S_{9(2)} = \mathbf{0}$
- 4 输出 $Q_3Q_2Q_1Q_0 = 01111$ **→与门**
- ⑤ 与门 $\rightarrow R_0$ (直接清0)



8421 BCD



不稳定状态用虚线连接

74290没有进位输出

(5) 8421 BCD 级联计数器

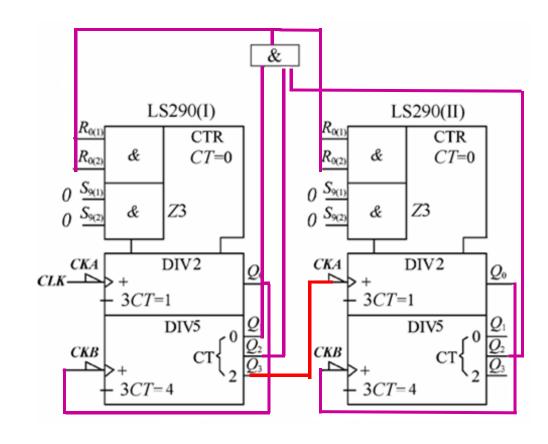
当计数模值>10

74290 级联

例: 用74290 设计 一个 8421BCD 码模 46 计数器.

8421 十进制

进位

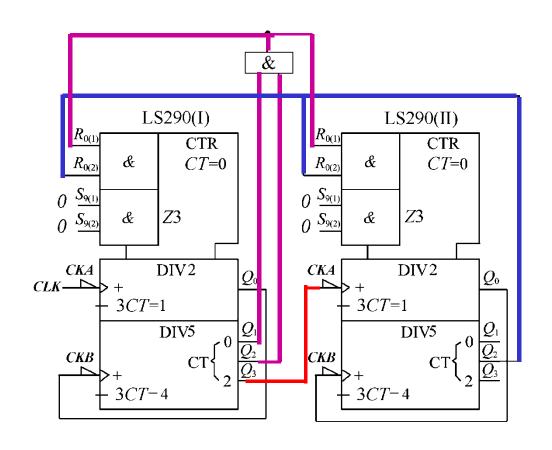


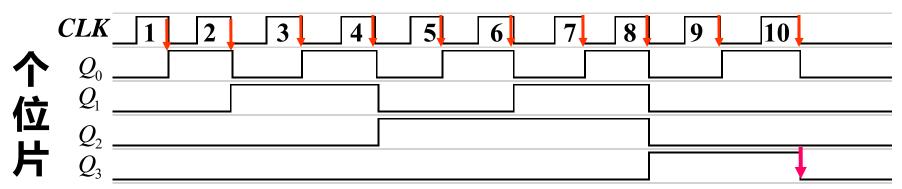
个位: 6 (0110) 十位: 4 (0100)

电路连接方式 也可以

注意: 进位

波形:





利用 Q_3 第10个CLK下降沿触发十位片的 CLK_A (不用连 Q_0Q_3)

§6.5 寄存器 Registers

寄存器用于寄存一组二进制代码,主要由触发器构成。

一个触发器能够存储 1 位二进制代码,所以用 n 个触发器组成的寄存器可以存储一组 n 位二进制信息。

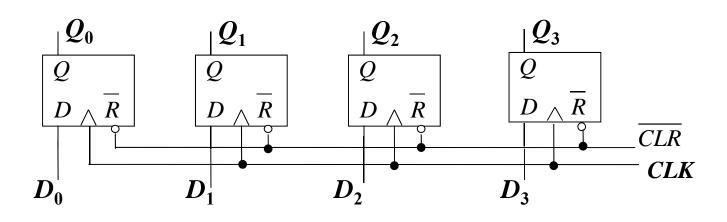
寄存器广泛地应用于各类数字系统和数字计算机中。 移位型寄存器在数字通信中的应用极其广泛。如在计 算机串行数据通信中,需要发送的信息总是先放在发 送端的移位寄存器中,然后由移位寄存器将其逐位移 出。接收端的寄存器逐位从线路上接收信息,收完一 个完整的数据后才从移位寄存器中取走数据。

§ 6.5.1 寄存器分类

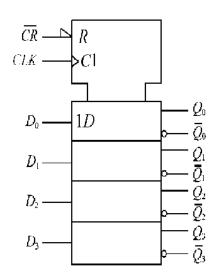
Classifications of Registers

1. 并入/并出型寄存器 Parallel In/Out

例如,4个D-FFs构成寄存器



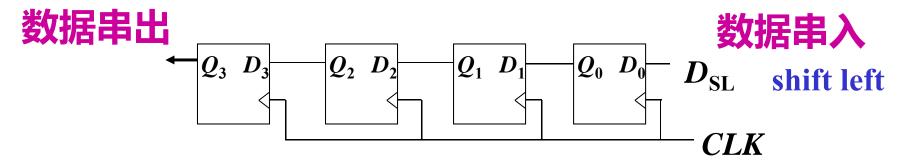
74LS175



在CLK 正边沿, 4 个数据并行输入,状态 $Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$ 并行输出

2. 左移串入/串出型寄存器

Serial In/Serial Out Shift Left Registers



一个CLK到来, 左移一位.

例:

初始 $Q_3Q_2Q_1Q_0 = 1001$

串入: 1011 (D_{SL}),

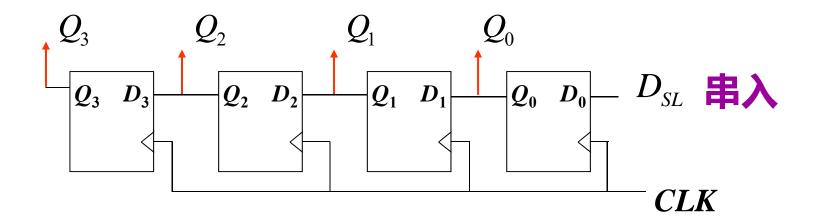
CLK	串出	$Q_3Q_2Q_1Q_0$ 串入
	1	1,0,0,1 1011
1	0	0 0 1 1
2	0	
3	1	1 1 0 1
4	1	1 0 1 1

4 个CLK后, $Q_3Q_2Q_1Q_0 = 1011$

3. 左移串入/并出型寄存器

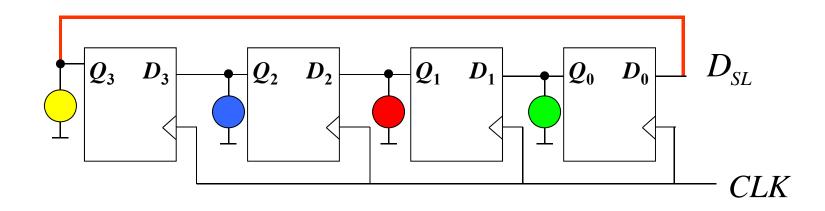
Serial In/Parallel Out Shift Left Registers

并行输出



4. 左移环型寄存器 Shift Left Ring Registers

串出端与串入端相连



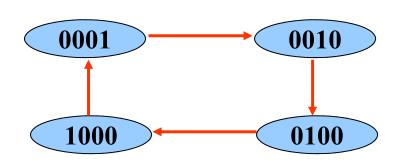
各FF 输出接彩灯

当输出为 0001时,接高电平的灯亮

灯亮时间:

取四位中只有一个1的状态为主循环

状态图

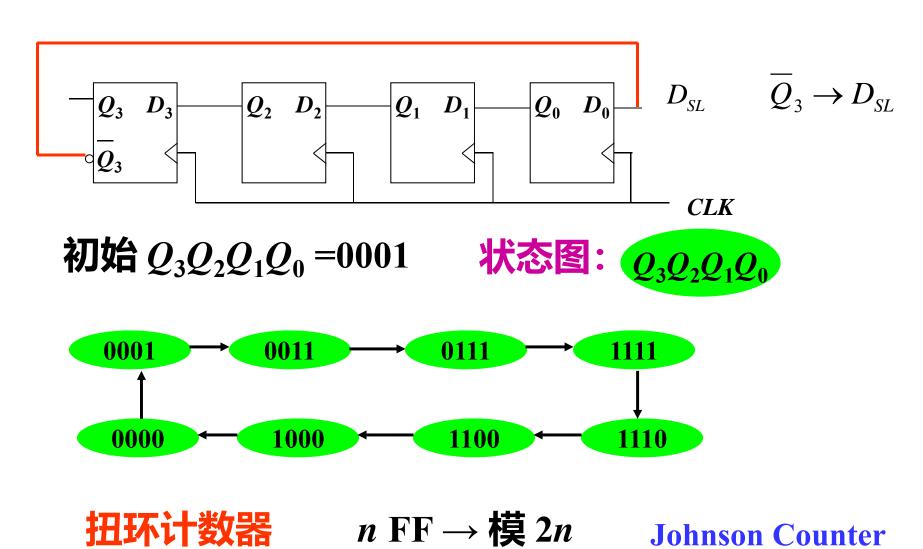


环形计数器

注意: n FFs $\rightarrow n$ 个状态 \rightarrow 模 n

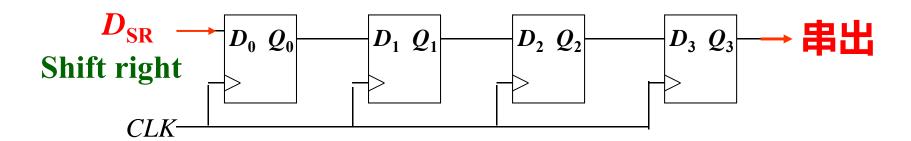
次形图 \mathcal{Q}_0 \mathcal{Q}_1 \mathcal{Q}_2 \mathcal{Q}_3

5. 左移扭环寄存器 Shift Left Twisted-Ring Registers



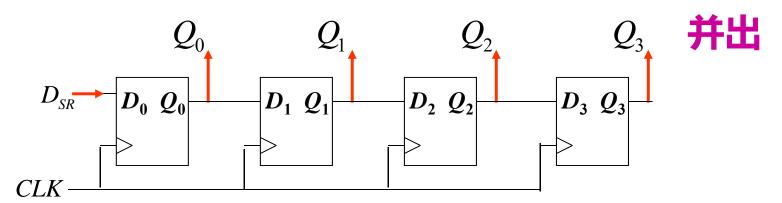
6. 右移串入/串出寄存器

Serial In/Serial Out Shift Right Registers

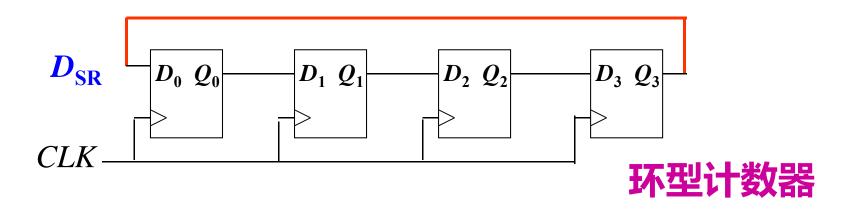


7. 右移串入/并出寄存器

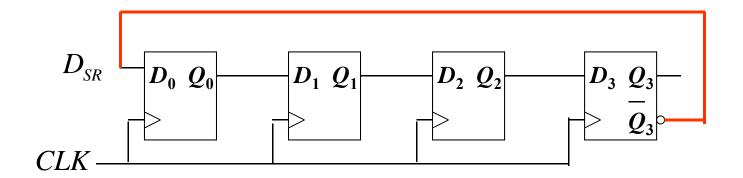
Serial In/Parallel Out Shift Right Registers



8. 右移环型寄存器 Shift Right Ring Registers



9. 右移扭环寄存器 Shift Right Twisted-Ring Registers

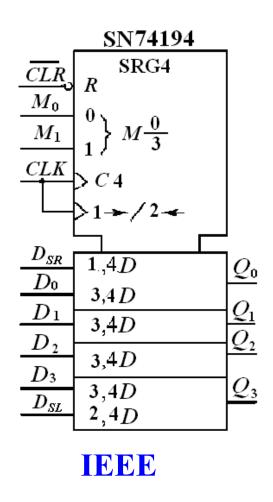


扭环计数器

§ 6.5.3 集成寄存器 74194 IC Register 74194

多功能寄存器: 四位并行存取双向移位寄存器

电路 P. 139



 $D_{\rm SR}$ 在 Q_0 一侧, $D_{\rm SL}$ 在 Q_3 一侧

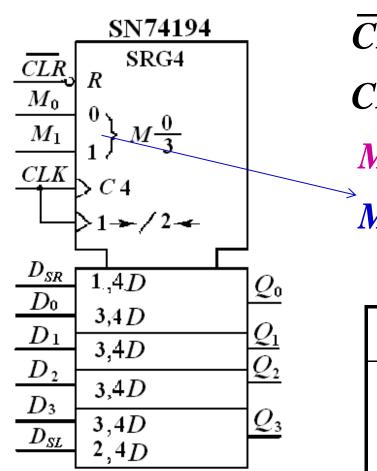
 $Q_3Q_2Q_1Q_0$ 数据输出

 $D_3D_2D_1D_0$ 数据输入

 $D_{
m SR}$ $D_{
m SL}$ 串入

 $1 \rightarrow$ shift right

2← shift left



 $\overline{CLR} = 0$,异步清0

CLK 正边沿触发

 M_1M_0 控制 (模式), M_1 高位

 M_1M_0 组成4种模式

74194 功能

$M_1 M_0$	功能		
0 0	保持		
0 1	右移		
1 0	左移		
1 1	并入		

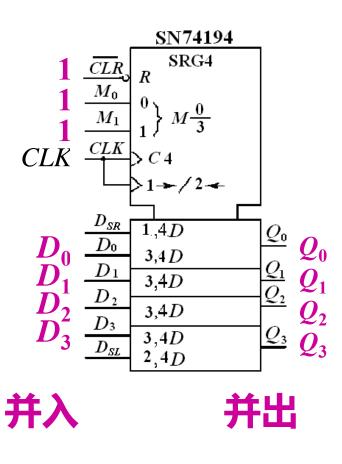
 $Q_0Q_1Q_2Q_3$ $\uparrow \uparrow \uparrow \uparrow$ $D_0D_1D_2D_3$

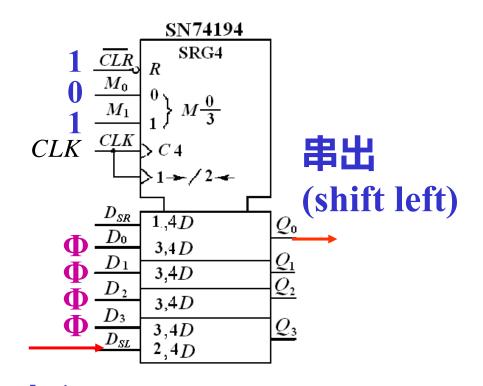
实现前面 9 种功能

注: $Q_0Q_1Q_2Q_3$ 只有排列顺序,没有高、低位。

(1) 并入/并出

(2) 左移串入/串出

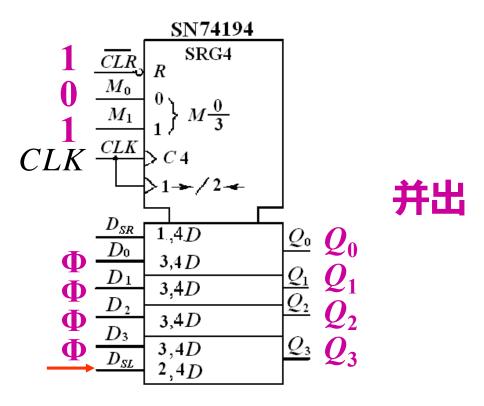




串入 shift left

经过4个触发器

(3) 左移串入 / 并出



串入 shift left

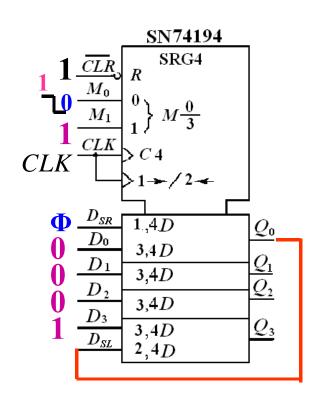
(4) 左移环形

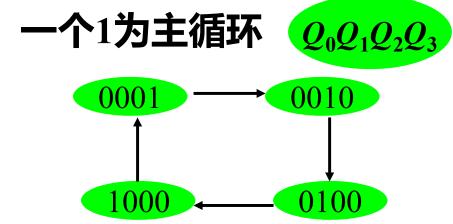
$$Q_0 \rightarrow D_{\mathrm{SL}}$$

先置
$$M_1$$
=1, M_0 =1,
在 CLK 上升沿并入,
 $Q_0Q_1Q_2Q_3$ = $D_0D_1D_2D_3$ = 0001

再置 $M_0 = 0$, CLK 边 沿到来 \rightarrow 左移 \rightarrow M-4 计数

接彩灯

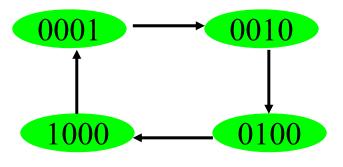


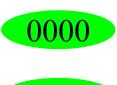


一个1为主循环

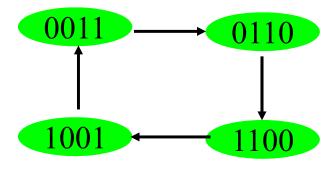
 $Q_0Q_1Q_2Q_3$

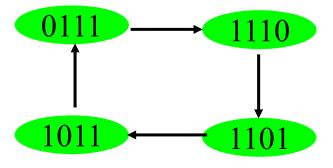
左移环形的其他置 数方式:





保持



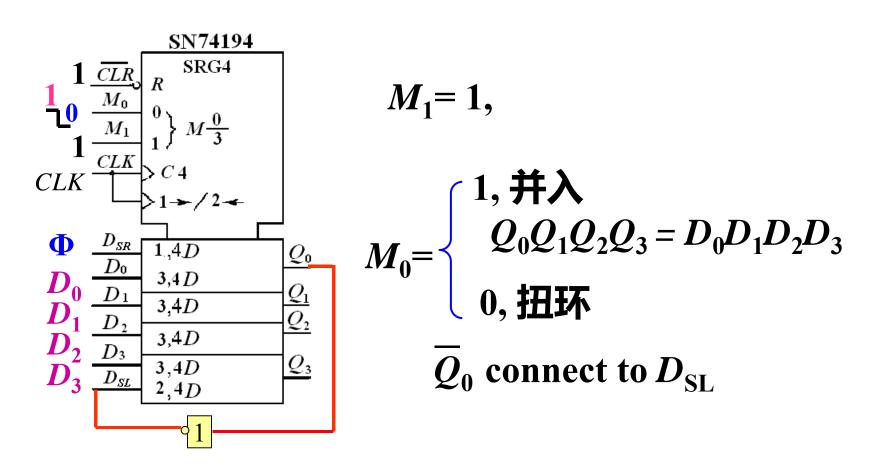


M-4环形计数器

M-4环形计数器



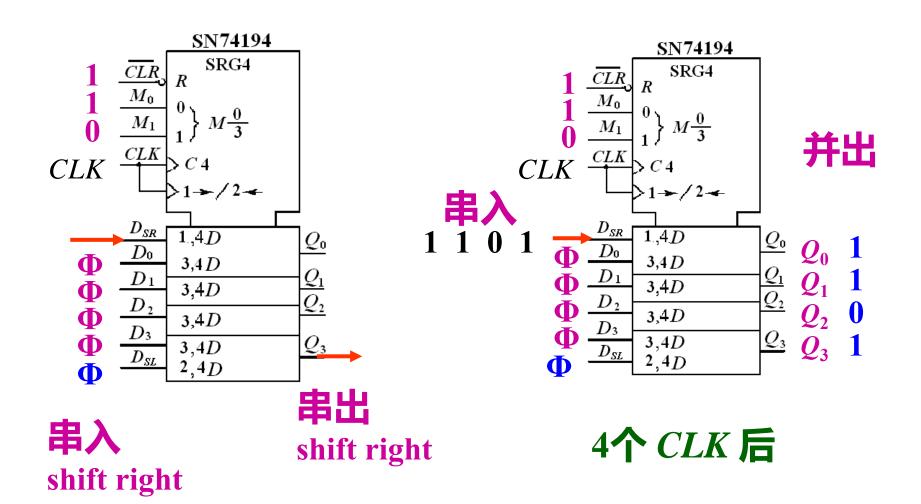
(5) 左移扭环寄存器



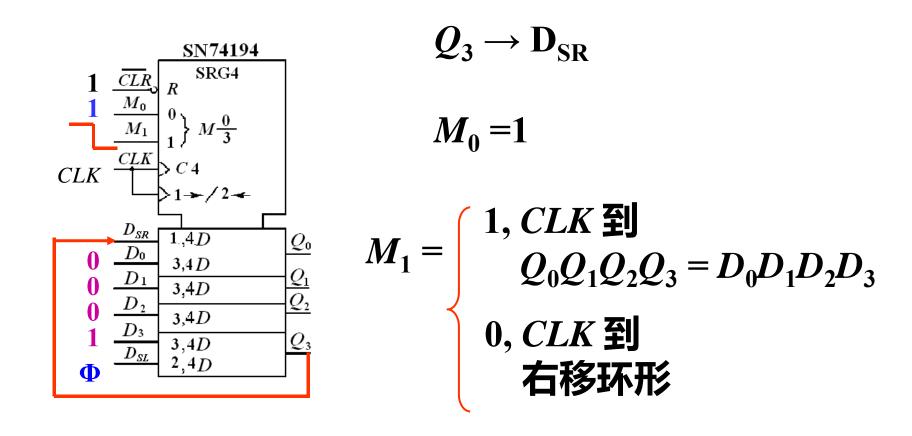
 $D_0D_1D_2D_3$ 接 Φ ,都可以构成扭环

(6) 右移串入/串出 寄存器

(7) 右移串入/并出寄存器

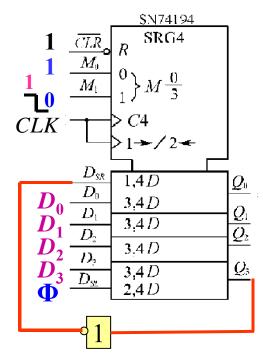


(8) 右移环形寄存器



模 4 计数器

(9) 右移扭环寄存器



$$\overline{Q}_3$$
 接 D_{SR}
 $M_0 = 1$,
 $M_1 = \begin{cases} 1, #\lambda \\ Q_0 Q_1 Q_2 Q_3 = D_0 D_1 D_2 D_3 \\ 0, 扭环 \end{cases}$

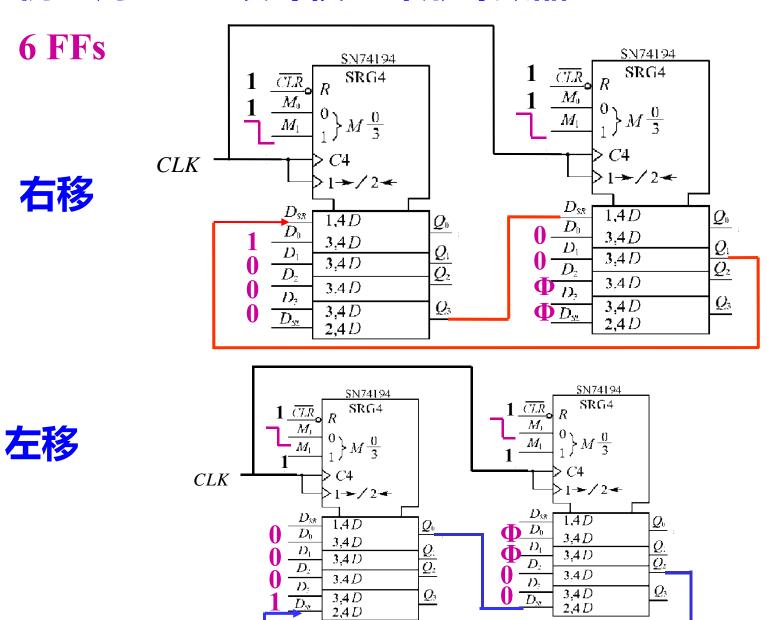
 $D_0D_1D_2D_3$ 接 Φ ,都可以构成扭环

只有两种状态图 $Q_0Q_1Q_2Q_3$



注意: 从并入的 $D_0D_1D_2D_3$ 开始循环 模 8 计数器

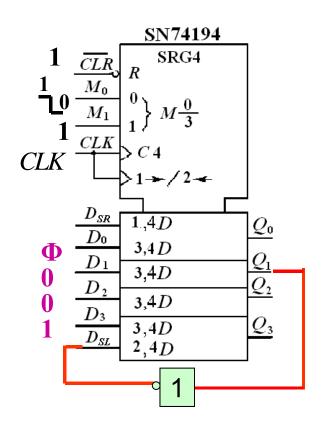
例1. 用74194 设计模 6 环形计数器



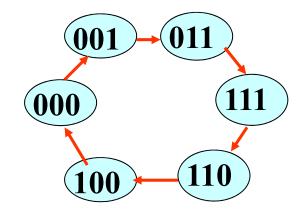
例2. 用74194设计模6 扭环计数器, 画出状态图

3 FFs

Shift left

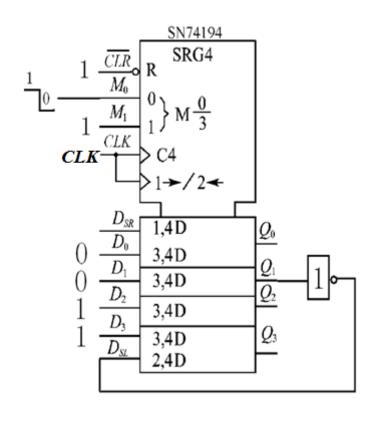


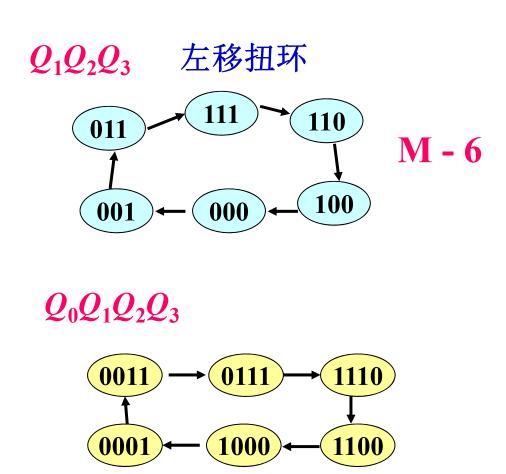






例3:分析如图所示的芯片功能,画出状态图





§6.6 序列信号发生器 Series Signal Generator

计数器和寄存器的应用

序列信号: 一组特定的循环数字信号

序列信号发生器:

Counter-type 计数型
Shift-type 移位型

§ 6.6.1 计数型序列信号发生器

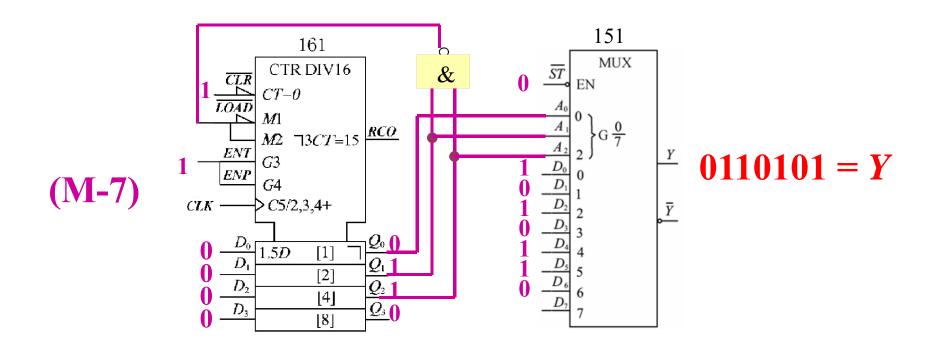
Counter-type Series Signal Generator

例:

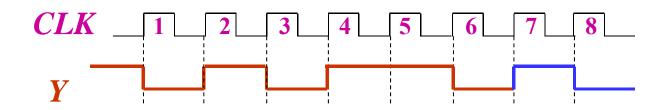
设计一个产生7位序列信号 1010110 的序列信号 发生器(时间顺序: 从左到右)。

结构:

```
    M-7 计数器 → 7位 → 74161
    8-1 MUX → 选择 1010110 → 74151
```

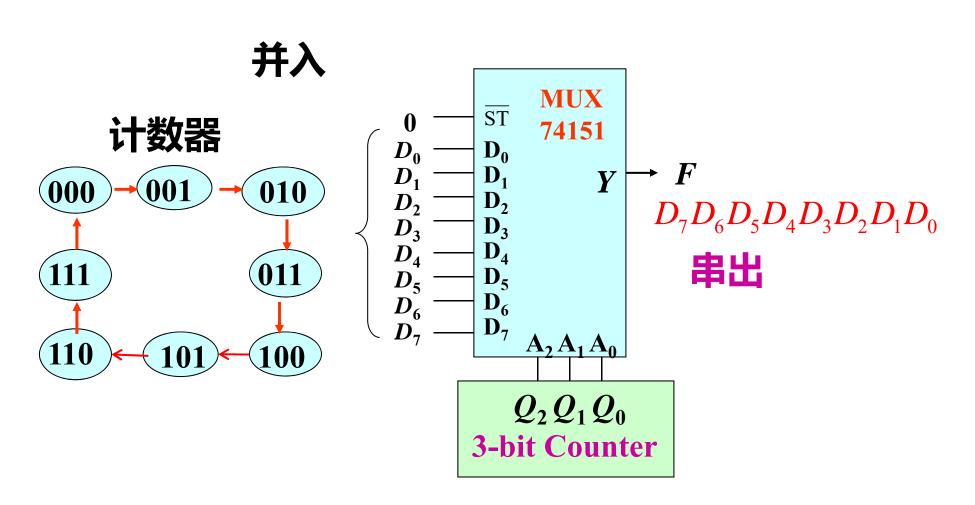


波形

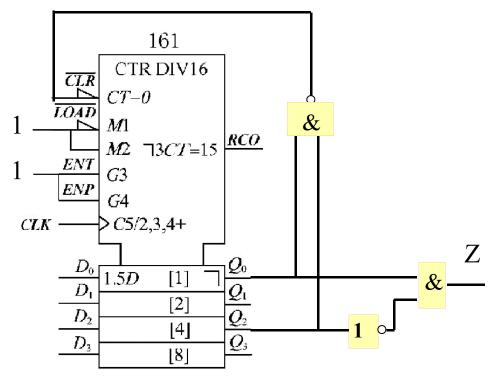


例2. 用序列信号发生器实现数据并/串转换

Counter and MUX



例3.分析下图电路



计数器从000 到100 循环, 相应的输出为 01010.

74161: M-5 计数器

(000)~(100) (110) 毛刺

$$Z = Q_0 \cdot \overline{Q}_2$$

输出为原状态的输出

状态表

N A CONDI									
					Q_0^{n+1}	Z			
0	0	0	0 0 0 1	0	1	0			
0	0	1	0	1	0	1			
0	1	0	0	1	1	0			
0	1	1	1	0	0	1			
1	0	0	0	0	0	0			

电路功能:产生01010序列信号的序列信号发生器。

作业:

6.2

6.3

6.8

6.12

6.15

6.19

更正: 6.15 图 (b) 161 改为 163

6.19 图

