

理解 FPGA 的亚稳定性



Altera Corporation

2009 年 7 月

翻译：李凡

摘要：本文叙述了 FPGA 的亚稳定性，叙述了它是如何发生的，是如何导致设计失效的。文中说明了如何计算亚稳定性能的 MTBF 值，并解释了器件和设计性能的变化将会如何影响该值。

引言：亚稳定性（Metastability）是数字设备（含 FPGA）中导致系统失效的一种现象，当信号在非相关时钟域或异步时钟域之间传输时发生。本文叙述 FPGA 中的亚稳定性，讨论了它如何发生，如何导致系统失效。

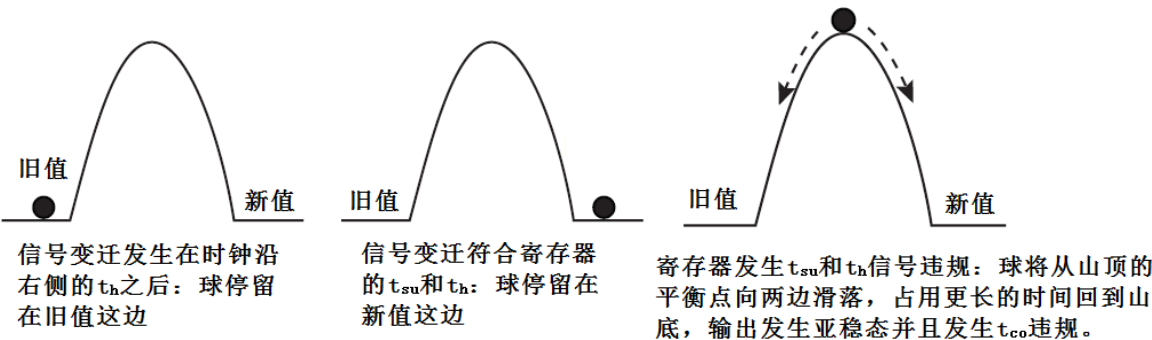
数字电路的设计者通过对两次失效之间间隔的平均值（MTBF）进行计算，得到亚稳定性的定量描述，从而指示设计者采取适当的方法以减少发生失效的可能性（几率）。本文讲解了如何根据不同的器件和设计参数计算 MTBF，解释了 FPGA 厂商和 FPGA 设计者两方面是如何改善 MTBF 的。设计者运用相关的设计技术和优化方案，减少亚稳定失效的几率，使得系统的可靠性得以提高。

何为亚稳定性（Metastability）

数字器件（例如 FPGA）中所有的寄存器都具有所设定的时序要求。根据该要求，每一个寄存器都可以正确地捕获它输入端口的数据，并激励输出信号至它的输出端口。为了保证这种操作的可靠，寄存器的输入信号必须在时钟沿之前的最小时间段保持稳定（寄存器建立时间 t_{su} ），以及在时钟沿之后的最小时间段保持稳定（寄存器保持时间 t_h ）。然后在特定的时钟输出延迟（ t_{co} ）之后，寄存器产生有效的输出。如果某个信号的传输违背了上述建立时间 t_{su} 和保持时间 t_h 的要求，该寄存器就有可能进入亚稳态。发生亚稳态时（某些时钟周期），寄存器的输出值会漂浮在高电平（高状态）和低电平（低状态）之间，这也就意味着指定的输出高状态和输出低状态会在 t_{co} 之后再度被延迟。

在同步系统中，输入信号总是满足寄存器的时序要求（设计必须），所以亚稳态不会发生。通常，若在无关时钟域电路或异步时钟域电路之间发生信号传输，亚稳态问题将会发生。此时，设计者不能保证这些信号能符合 t_{su} 和 t_h ，这是因为这些信号可能在相对于目标域时钟的任何时刻到达。而这些信号中的任何一个若发生 t_{su} 和 t_h 时序违规，将导致一次亚稳态输出。寄存器或者不符合时序要求进入亚稳态，或者符合时序要求回到稳态，这两种可能性兼而有之，而它们很大程度上取决于 FPGA 器件的制造工艺技术，以及运行时的条件。大多数情况下，寄存器将快速地返回到指定的稳定状态。

寄存器在时钟沿采样一个数据的过程，可以用一个球在山丘间的跌落来图示（图一）

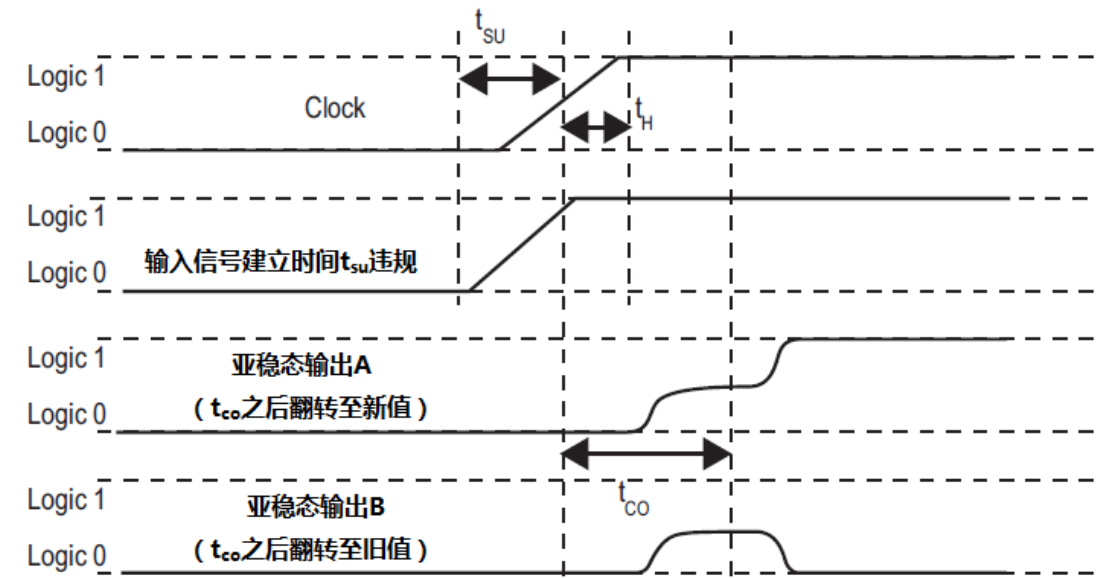


图一：用球在山丘间的跌落示意亚稳态现象

如图一所示,山丘的两边表示稳定状态:时钟沿之后信号的旧值和新值;山丘顶表示亚稳态。图中示意球停留在山顶正中的情况在真实电路中实际不会发生,球总会在山顶微微地偏向一边,继而滚落到山底,快速地到滑落至山丘底部的那侧的稳定状态。

如果数据变迁发生在时钟沿右侧的 t_h 之后,好似球跌落至山丘的“旧值”这边,此时输出信号保持为原先的值。当寄存器的输入数据变迁发生在当前时钟沿左侧的 t_{su} 之前,以及前一个时钟沿右侧的 t_h 之后,则好似球跌落至山丘的“新值”一边,而输出在充分满足 t_{co} 后会快速到达稳定的新状态。因而,当寄存器的数据变迁时刻违背 t_{sh} 和 t_h 时,这就好似球从山顶向两边跌落。球开始跌落的时刻越接近山的顶部,它返回底部的时间就越长,这就使得从数据变迁时钟沿至输出稳定状态的延迟将大于 t_{co} 。

图二示意了一个亚稳态输出时序,在时钟信号 (Clock) 变迁期间,输入信号从低电平变迁到高电平,违反了寄存器需要的建立时间 t_{su} 要求。因而输出信号从低电平状态变迁到亚稳态,它在高电平状态和低电平状态之间 (山顶处) 游动, (细微的差异导致亚稳态向两个不同方向的稳态翻转,译者注)。输出 A 示意了它跟随输入数据变异到新的状态 (逻辑 1),而输出 B 则返回到输入数据的原状态 (逻辑 0)。在这两种情况中,输出信号变迁到新状态逻辑 0 或逻辑 1 的时刻,都将要延迟到寄存器的 t_{co} 之后。



图二：亚稳态输出的例子

何时亚稳态会导致设计失效

如果数据输出信号是在下一个寄存器捕获它之前就已滑落至一个稳定的状态,此时的亚稳态信号并不会给系统带来负面影响。但是如果亚稳态输出信号不能在它到达下一个寄存器之前滑落到低或高的稳定状态,它将导致系统失效。这仍然可使用球和山丘来解释,当球跌落至山底的时间超过所允许的时间 (允许的时间是指时序分析中,对应寄存器路径中的这些寄存器的正的 t_{co} 的 Slack 值)。当亚稳态信号没有在允许的时间段内滑落至稳定状态,将发生逻辑混乱和失效,此时目标寄存器将出现相互矛盾的逻辑状态,那就是说,对于相同的亚稳态信号,不同的寄存器将会捕获到不同的值。

同步寄存器

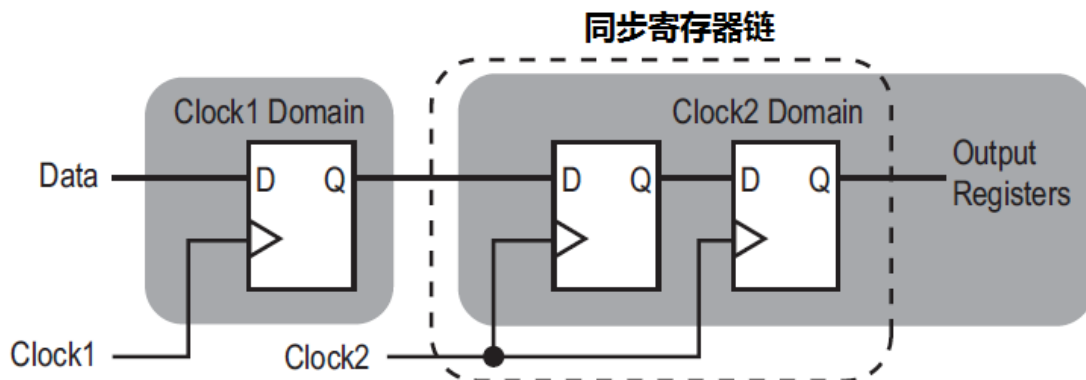
当信号在非相关时钟域电路或异步时钟域电路之间传输时，引用该信号前，必须要将其同步到新的时钟域。新时钟域的第一个寄存器则成为同步寄存器。

为了使异步信号传输的亚稳定性所导致的失效尽可能的最小，电路设计者通常会在目标时钟域使用一个寄存器序列（同步寄存器链或同步器），以达到再同步的目的。同步寄存器链将该信号再次同步到新的目标时钟域。这些寄存器提供额外的时间，用于那些可能出现的亚稳态信号，使得这些亚稳态信号能够在它们被引用（捕获）前滑落至一个已知值（0 或 1），当然这是在设计的时间空档中完成。位于同步器中寄存器-寄存器路径的有效 Slack 值，也就成为对亚稳态信号进行约算的可用时值，称其为亚稳定性的可用约算时间（Settling time）。

同步寄存器链或同步器，其定义是一个符合如下要求的寄存器序列（寄存器链）：

- 链中的所有寄存器或者使用相同的时钟源作为驱动时钟，或者使用具有相对相位关系的不同时钟源作为驱动时钟。
- 链中的第一个寄存器的输入信号，或者来自一个非相关时钟域，或者来自一个异步时钟域。
- 除链中最后一个寄存器外，所有寄存器的输出仅扇出至一个寄存器。

同步寄存器链的长度是指同步时钟域中符合上述要求的寄存器的个数。图三例子中同步寄存器链的长度为二，其输出信号可扇出至多个寄存器。



图三：同步寄存器的例子

注意到任何一个异步输入信号，或那些在非相关时钟域之间传输的信号，都可能在相对于捕获寄存器时钟沿的任何一个时刻发生变迁。因此，设计者不能够预知这些变迁发生的序列，以及变迁发生前目标时钟域时钟沿的个数。例如，如果一个异步总线信号跨时钟域传输，并且被同步，这些数据信号将在不同的时钟沿上发生变迁，其结果就是，所接收到的总线的数值不正确。（这就是说，带有连续节拍的总线跨时钟域时，不能直接使用同步寄存器链的方式进行同步，译者注）

鉴于此，设计者必须习惯于采用例如双时钟 FIFO 这样的电路（DCFIFO）来存取数据和进行握手。FIFO 逻辑仅使用同步器传输转换两个时钟域之间的控制信号，而数据的读和写则使用双端口的存储器。Altera 提供的 DCFIFO 即是用于此目的，其中，对于那些跨时钟域的控制信号，提供了多级潜伏期设置和亚稳态的保护。另外，如果跨时钟域握手信号中的有异步

信号，这些异步的握手信号将能够用于指示当前跨数据域的数据传输。此时，同步寄存器用于保证亚稳态现象不会影响到这些控制信号的接收，对于可能发生的任何亚稳态条件，信号数据都有足够的约算时间，使得在这些信号被使用前，亚稳态已经滑落至稳态。在一个基于完备的设计（properly-designed）中，正确的功能设计，就是使所有的信号在它被使用前就已经滑落至一个稳定值。

亚稳定性 MTBF 值的计算

两次失效之间的平均时间，即 MTBF，是亚稳态性能的一个评估指标，它是由亚稳态所致的两次失效之间的平均间隔。一个较高的 MTBF 值表示一个更稳定的系统（例如，两次亚稳态失效之间的间隔达到数百或数千年）。所需要的 MTBF 值的大小，取决于系统的应用，例如，一个医学生命维持系统所需要的 MTBF，就比一个视频娱乐系统的 MTBF 要高。亚稳定性 MTBF 值的增加，就意味着设备中信号传输时发生亚稳态问题的机会减小。

无论是特定的信号传输的 MTBF，还是当前设计中全部信号传输的 MTBF，都可以依据设计参数和器件参数进行计算。同步寄存器链 MTBF 的计算使用下列公式和参数：

$$MTBF = \frac{e^{t_{met}/C_2}}{C_1 \cdot f_{clk} \cdot f_{data}}$$

其中：

常数 C_1 和 C_2 取决于器件工艺和操作环境

f_{clk} 和 f_{data} 取决于设计，其中 f_{clk} 是接收异步信号时钟域的时钟频率，而 f_{data} 是驱动异步数据信号的时钟频率。 f_{clk} 越快或 f_{data} 越快，MTBF 值将越小（亚稳定性恶化）。

t_{met} 是空闲的亚稳定性约算时间，或者说它是从寄存器的 t_{co} 之后，到亚稳态信号滑落至已知值这个区间其时序分析的 Slack 值。同步寄存器链的 t_{met} 则是该链中各个寄存器输出时序的 Slack 之和。

整个设计系统的 MTBF 值则可由设计系统中各个同步寄存器链的 MTBF 值确定。由于每一个同步器的失效率为 $1/MTBF$ ，因而整个设计系统的失效率可以由每个同步器的失效率累加而得到，如下所示：

$$Failure_rate_{design} = \frac{1}{MTBF_{design}} = \sum_{i=1}^{SN} \frac{1}{MTBF_i}$$

式中：

$Failure_rate_{design}$: 整个设计系统的失效率
 SN : 设计系统中同步寄存器链（或同步器）的数量
 $MTBF_{design}$: 整个设计系统的 MTBF 值
 $MTBF_i$: 每个同步寄存器链的 MTBF 值

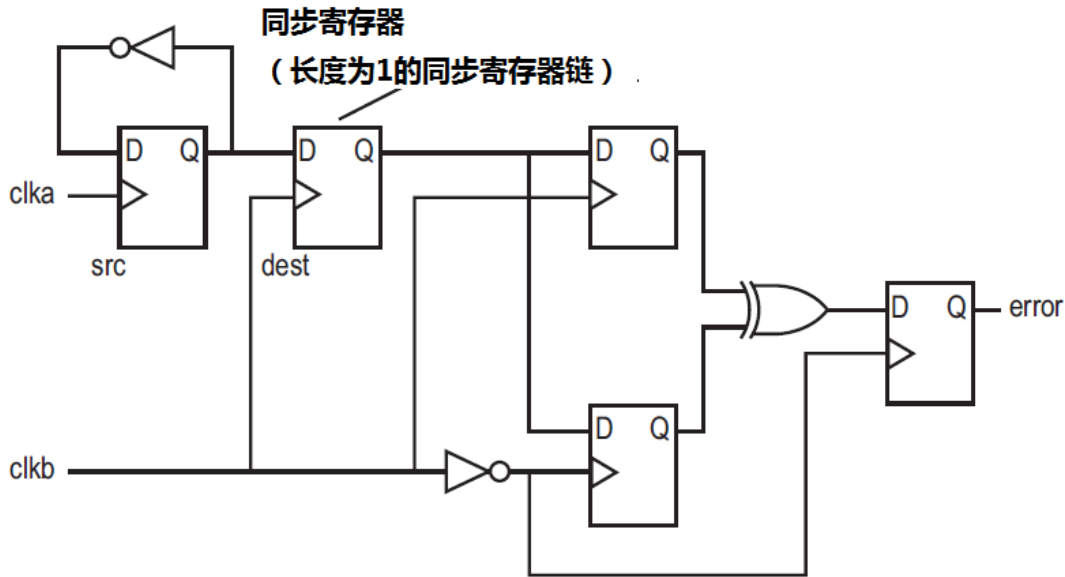
据此，整个设计系统的 MTBF 为： $MTBF_{design} = 1/Failure_rate_{design}$

使用 Alter FPGA 产品的设计者并不需要人工计算上式，因为 Altera 的 Quartus II 软件已经在其内置的工具中集成了亚稳态参数的计算。Quartus II 软件将报告每一个被标识为同步寄存

器链的 MTBF 值，同时也报告整个设计系统的亚稳定性指标 MTBF。

亚稳定性常数的决定

亚稳定性 MTBF 计算公式中的常数值是由 FPGA 的生产厂商提供的。而决定这个常数值困难在于：通常的 FPGA 设计中，其 MTBF 值是以年为单位，以此来计算两次亚稳态之间的间隔，而这用于模拟真实操作环境的真实电路时却并不实际。为了计量特定器件的亚稳态常数，Altera 使用一种具有很短 MTBF 值的电路作为测试电路，如下图所示：



图四：亚稳态测试电路架构

在图四所示的设计中，clka 和 clkb 是两个无关的时钟信号。输入至同步寄存器链的数据在每一输入时钟（clka）周期翻转。由于仅单独的同步寄存器向两个目标寄存器提供信号，因此此时的同步寄存器链长度为 1。而目标寄存器捕获同步寄存器链的输出，一个是发生在一拍之后，另一个则是发生在半拍之后。如果信号在滑落至下一个时钟沿之前进入亚稳态，该电路将检测到所采样的两个信号是不同的，因而输出一个错误信号（异或电路所致，译者注）。这个测试电路检测到的亚稳态事件大多发生在半周期时间段。

用这个测试电路在指定器件的相关实例寄存器中的重复测试，以避免局部电路测试可能带来的噪声耦合等麻烦。Alter 对每一个测试电路进行一分钟的测试，并计数其错误次数。测试电路加载不同的测试频率，将 MTBF 对比 t_{met} 的结果绘制在对数坐标图中。 C_2 对应与实验曲线的斜率，而 C_1 则对应线性线段的坐标。

亚稳定性 MTBF 的改善

由于 MTBF 公式中指数因子 e^{t_{met}/C_2} 的作用，使得 MTBF 计算中 t_{met}/C_2 项影响最大。因此，既可以通过使用增强架构优化器件的 C_2 常数使得亚稳定性得到改善，也可以增加同步寄存器链中的 t_{met} 值以优化设计。

FPGA 的架构增强

MTBF 公式中的亚稳定性时间常数 C_2 ，其取值的诸多因素与制造该器件的工艺有关，这包括

三极管的速度和工作电压。更快的工艺技术和更快的三极管则使得亚稳态信号的滑落更快。当 FPGA 的几何尺寸从 180nm 发展到 90nm 时，通常此时由于三极管速度的增加因而使得亚稳态 MTBF 得到改善。因此说，亚稳态问题的主角并不是设计者本身。

另外，当使用小几何尺寸的工艺技术时，工作电压也因此减小，而电路的阈值电压却不能成比例地减少。当一个寄存器进入亚稳态，它的电压则接近工作电压的一半。减小电源电压时，亚稳态电平则更接近电路的阈值电压。当亚稳态电平和电路的阈值电压接近时，电路的增益将下降，因而电路将占用更多的时间用于完成亚稳态的输出转换。当 FPGA 进入 65nm 工艺或更低的工艺，其电源电压在 0.9V 或更低，阈值电压问题将比三极管速度问题更加严重。通常此时的亚稳态性会变得更差，除非厂商能够提供更稳定的亚稳态电路系统。

Altera 使用其 FPGA 架构中的亚稳态分析架构以优化电路，从而改善亚稳态指标 MTBF。在 Altera 40nm 的 Stratix IV 架构和新器件的开发中，经过改进的增强架构，通过减少 MTBF 的 C_2 常数，使得器件亚稳态电路的鲁棒性（robustness）得到改善。

设计优化

MTBF 公式中的指数因子意味着当设计要素 t_{met} 增加的同时，同步器的 MTBF 值也更随着成指数的增加。例如， C_2 常数由指定器件给定，系统的操作条件 t_{met} 由 50ps 增加至 200ps，使得指数增加了 200/50，由于 MTBF 的因子为 e^4 ，所以 MTBF 增加了 50 倍以上。当 t_{met} 增加至 400ps 时，此时 MTBF 的因子为 e^8 ，故 MTBF 值增加约 3000 倍。

另外，最差的 MTBF 链成为对整个设计的 MTBF 指标的主要影响。例如，考虑同样具有 10 个同步寄存器链的两个不同设计，其中一个设计中的十个同步寄存器链具有相同的 1 万年的 MTBF 值，而另一个设计中具有 9 个 100 万年 MTBF 值的同步寄存器链，和一个只有 100 年 MTBF 值的同步寄存器链。由于系统总的失效率是各个同步寄存器链失效率的总和，即总的失效率 = $1/MTBF$ 。第一个设计中 10 个同步寄存器链的总失效率是 $10 \times 1/100000 = 0.001$ ，因此，该设计的 MTBF 为 1000 年。第二个设计中，其总失效率是 $9 \times 1/1000000 + 1/100 = 0.01009$ ，因而该设计的 MTBF 值约为 99 年，略低于最差同步寄存器链的 MTBF 值。

换句话说，同步寄存器链中最差者将控制支配整个设计的亚稳态指标 MTBF。由于这个原因，对所有的跨时钟域同步信号进行亚稳态分析就显得尤为重要。设计者或工具厂商针对最差 MTBF 的同步寄存器链改善其 t_{met} 具有重要的意义。

为改善亚稳态性目的，设计者增加 t_{met} ，这可以通过扩展同步寄存器链的级联实现。每一个级联至寄存器-寄存器链的寄存器，其时序 Slack 值都将加入到该同步寄存器链的 t_{met} 中。设计者通常使用两级寄存器用于同步一个信号，但 Altera 推荐使用标准的三级寄存器用于更好的亚稳态保护。然而，一个寄存器的增加也将导致同步逻辑的潜伏期增加了一级，所以设计者必须评估这是否可以被接受。

如果一个设计中使用 Altera 的读写时钟分离的 FIFO 核用于处理跨时钟域信号，设计者可以通过增加亚稳态性保护（和潜伏期），以得到更好的 MTBF 值。Altera 的 Quartus II 软件，其 MegaWizard™ Plug-In Manager 提供一个选项，用于选择三级或更多级数的同步寄存器链，以增加对亚稳态的保护。

Quartus II 软件提供业内领先的亚稳态分析工具和优化工具，用于增加再同步寄存器链的 t_{met} 值。当有同步器被标识时，软件将会在布置时使得这些寄存器互相靠近，以增加同步寄存器链输出时序的 Slack 有效值，并且将亚稳态指标 MTBF 报告出来。

结论

当信号在无关时钟域之间传输或异步时钟域之间传输时发生亚稳态现象。两次亚稳态失效的平均时间与器件的工艺技术，设计性能和同步寄存器逻辑的时序 Slack 值有关。设计者使用恰当的设计技术增加同步寄存器链的 Slack 值，使得 t_{met} 增加，进而导致 MTBF 的增加，从而使得设计的可靠性得到提供，设计的亚稳定性指标 MTBF 得到增加。Altera 为其器件提供 MTBF 参数，并使用改进的器件技术使得亚稳定性指标 MTBF 得到提高。使用 Altera FPGA 的设计者，可运用 Quartus II 软件的相关特性，报告其设计的 MTBF 值，优化设计布局，提高 MTBF 值。