

报告类型： 系统设计报告

参赛杯赛： 紫光同创杯

作品名称： 基于紫光同创 FPGA 的远程实验室

队伍编号： CICC0901175

团队名称： 爱抚皮系欸

目 录

快速预览简介.....	1
1 系统架构分析.....	3
1.1 Ctrl_FPGA 系统架构.....	3
1.1.1 AXI4 总线设计.....	5
1.1.2 UDP-AXI 主机设计.....	5
1.1.3 外接线缆和电源管理.....	6
1.2 Lab_FPGA 资源配置.....	7
1.2.1 32x 四色 LED 组件.....	7
1.2.2 4x4 矩阵键盘组件.....	7
1.2.3 8x 段选数码管组件.....	8
1.2.4 8bit 高速 ADDA 模块.....	9
1.3 服务端后台系统设计.....	9
1.4 Web 界面用户端设计.....	10
2 作品核心技术.....	11
2.1 以太网 UDP 传输.....	11
2.2 JTAG 模拟功能.....	12
2.3 REMOTE UPDATE 远程升级.....	13
2.4 远程调试 DEBUGGER 核.....	14
2.5 远程 DDS 功能.....	15
2.6 DSO 示波器功能.....	16
2.7 网络数字摄像头功能.....	16
2.8 基于 EEPROM 的 System Firmware.....	16
3 创新点和关键指标.....	19
3.1 基于 JTAG 边界扫描的低频信号捕获.....	19
3.2 远程下载和固化.....	19
3.3 系统登录及管理.....	20
3.4 图形化界面设计和数字孪生.....	20
3.5 基础实验和进阶实验内容.....	20
3.6 虚拟外设.....	21
4 成果展示.....	22
4.1 实验平台本体.....	22
4.2 Web 前后端.....	23
4.3 用户交互功能.....	23
5 总结.....	24
5.1 小组分工.....	24
5.2 仓库.....	24
5.3 可拓展之处.....	24
5.4 心得体会.....	24
6 附录.....	25
6.1 UDP 数据包解析.....	25
6.2 AXI_SLAVE 地址映射表.....	25
6.2.1 DDR3_AXI_SLAVE.....	25

6.2.2 SYS_STATUS_AXI_SLAVE	26
6.2.3 DDS_AXI_SLAVE	27
6.2.4 I2C_MASTER_AXI_SLAVE.....	28
6.2.5 JTAG_AXI_SLAVE.....	29
6.2.6 REMOTE_UPDATE_SPI_AXI_SLAVE	30
6.3 上位机参考配置流程.....	31
7 实验文档.....	32
参考文献.....	33

快速预览简介

我们基于双 FPGA 架构、Web 前后端构建了高集成、可扩展的远程 FPGA 实验平台，支持用户通过 Web 界面远程配置硬件、调试代码、实时监控，实现“数字孪生”式实验教学。

双 FPGA 架构：Ctrl_FPGA——管理员控制核心，集成以太网通信、JTAG 模拟、DDR3 缓存、电源管理、虚拟外设（DDS/DSO）等功能。Lab_FPGA——用户可编程 FPGA，支持远程烧录比特流，提供与线下一致的实验体验。二者通过 SerDes-DDR3 高速互连，效率优于 FPGA-单片机架构。支持虚拟外设静态配置，管理员可远程升级固件。

AXI4-Full 总线设计：支持跨时钟域、乱序执行、优先级仲裁，主频 250MHz（跨时钟域 185MHz）。标准化接口实现模块化设计，支持虚拟外设静态重分配。

以太网-UDP 协议栈：实现 AXI4 总线与以太网的直接映射，支持千兆高速数据传输。

全功能 JTAG 模拟：IEEE 1149.1 标准，最高时钟 50MHz，动态降频适配不同场景。集成 BSDL 解析，实现边界扫描、IDCODE、UID、状态寄存器获取、比特流下载等功能。

Web 前后端系统：后端（C# + MySQL）——用户管理、比特流校验、FPGA 状态监控、安全烧录。前端（Vue3 + TypeScript）——图形化实验界面，支持画布自定义、文档查阅、实时信号可视化。

完善的实验代码和文档：【待写】

初赛阶段实验系统的功能清单和实现方式如下表所示：

功能	实现	说明
基础实验项目	已实现	基础-01-流水灯
		基础-02-按键
		基础-03-数码管
		基础-04-矩阵键盘
		基础-05-呼吸灯
		基础-06-HDMI 显示
高阶实验项目	已实现	高阶-11-密码锁
		高阶-12-sfp 通信
		高阶-13-频率计
远程下载	已实现	以太网-FPGA-Jtag 方案
远程固化	已实现	以太网-FPGA-spi 方案
远程调试	部分实现	自制 Debugger 核例化、波形抓取和调试已实现
		Web 前后端尚未适配
远程示波器	部分实现	可通过 HDMI 查看波形
		Web 前后端尚未适配
远程信号发生器	已实现	支持四路波形暂存
		支持频率相位调节
		Web 可视化调节界面
		支持输入函数表达式
		支持 dat 文件上传
数字视频摄像头	未实现	开发中
远程逻辑分析仪	未实现	开发中
数字孪生	已实现	Jtag 边界扫描捕获低频信号，部分硬件经过特殊设计，可通过以太网远程控制
远程登录及管理	已实现	MySQL 数据库管理

表 0.1 功能清单

【待写】

1 系统架构分析

紫光 FPGA 的远程实验教学系统整体可分为四层：基于 FPGA-FPGA 架构的**控制端系统**、用户可配置的 PG2L100H **实验端**、基于 C# & TypeScript & Vue3 的**上位机/服务端后台系统**、Web 界面访问的**用户端系统**。

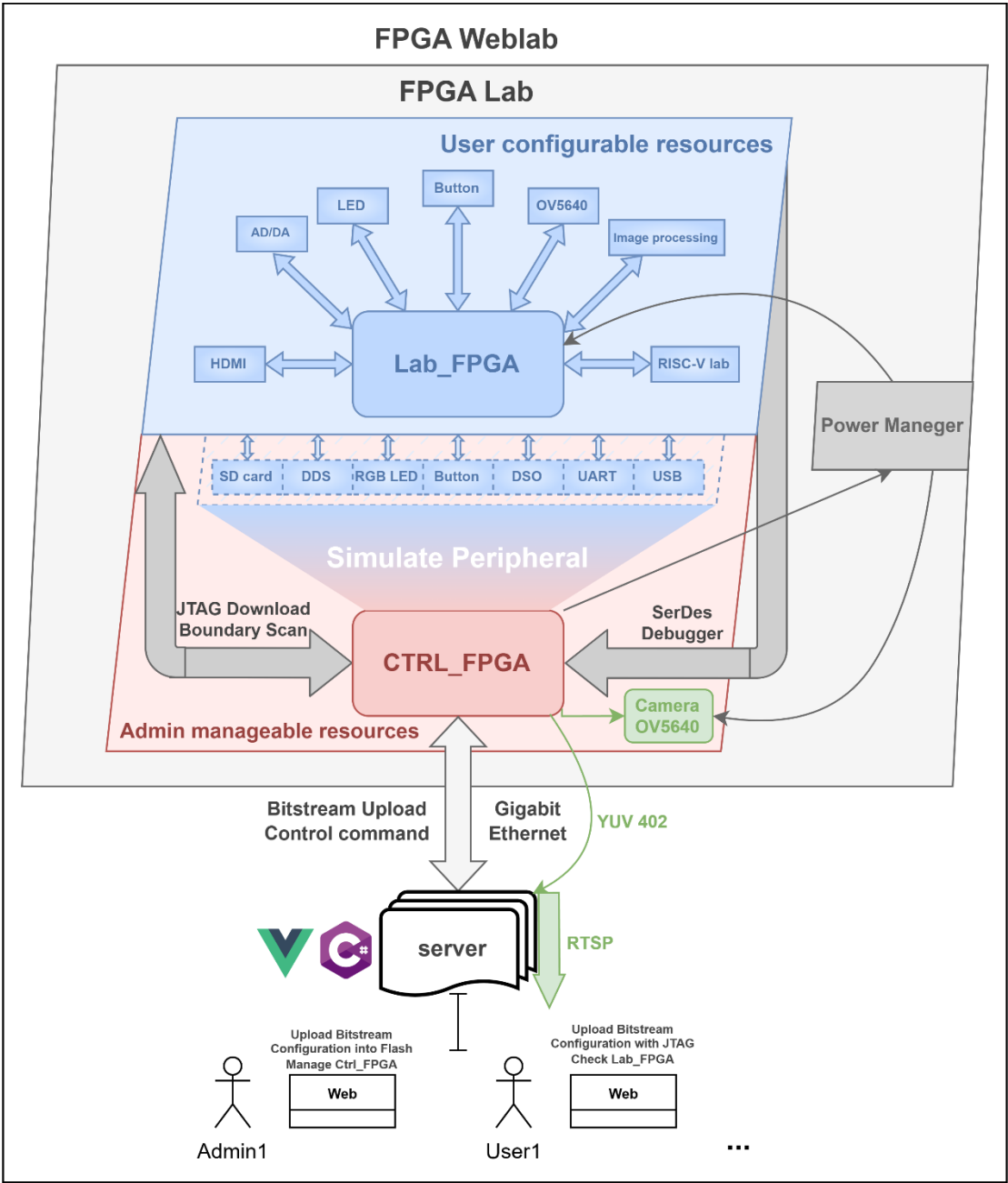


图 1.1 系统架构图 1.1

1.1 Ctrl_FPGA 系统架构

下位机系统即 FPGA 实验平台本体，作为硬件终端搭载实验所需的硬件资源，完成以太网数据包解析、命令接收、电源管理、比特流下载和固化、实验平台状态检测等功能。

在尝试多种架构方案后，我们采用了与清华 FPGA 实验箱【引用】类似的“双 FPGA 架构”，即 Lab_FPGA（用户配置 FPGA）和 Ctrl_FPGA（管理员配置 FPGA）。Lab_FPGA 由一块小眼睛半导体盘古 100pro+开发板组成，芯片型号 PG2L100H-FBG676。用户可通过烧录比特流至该开发板内实现对其全部资源的使用。Ctrl_FPGA 理论上可使用紫光同创任意芯片的官方或自制开发板实现，目前以野火 PG2L100H 开发板为例实现功能。

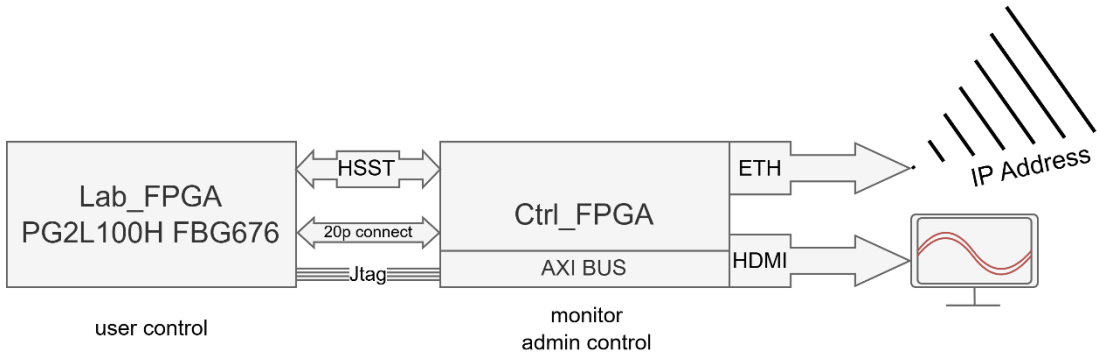


图 1.2 双 FPGA 架构图

相比 FPGA-STM32、FPGA-树莓派等架构，FPGA-FPGA 架构拥有如下不可替代的优势：

- 引脚资源丰富且可自定义，实验平台生产完毕后管理员仍可远程高度自定义 Ctrl_FPGA 固件，实现更长久的维护；
- 使用虚拟外设功能的前提；
- 一块芯片即可在不影响用户逻辑的前提下完成 JTAG、并口传输、以太网通信、信号发生器、示波器、逻辑分析仪等核心功能，集成度高；
- 引脚翻转速度较快，传输比特流时速度更快；
- STM32 等单片机与 FPGA 的高速通信基本只能通过 FSMC，占用引脚资源较多，而 FPGA 之间可以通过 SerDes-DDR3 传输数据，效率更高。

Ctrl_FPGA 实现了以 AXI4 总线为片内通信基础的以太网-UDP 解析、DDR3 缓存、JTAG 全功能模拟、Flash 读写、EEPROM 读写、电源管理、虚拟外设和 DDS（信号发生器）和 DSO（示波器）功能。下面将介绍 Ctrl_FPGA 关键架构

设计，模块功能将在第 2 节详细讲述。

1.1.1 AXI4 总线设计

Ctrl_FPGA 内部通过自开发的 AXI4-Full 总线互连，核心指标如下：

- 1 地址映射 32 位数据
- 总线时钟频率 Fmax 250MHz，跨时钟域下 Fmax 185MHz
- 支持主机和从机接口跨时钟域
- 支持总线流水
- 支持 Outstanding 超前传输
- 支持 Out-of-order 乱序执行，从机可选择性支持
- 不支持 interleaving 交织传输
- 支持参数分配主从机数量，形成 $N \times M$ 交叉矩阵
- 优先级仲裁设计
- 支持数据宽度转换、地址映射和稀疏连接

AXI4-Full 总线的设计使各个功能模块的搭建无需考虑互连协议，大大简化了设计流程。同时，AXI4 接口标准化设计是实现虚拟外设静态重分配的基础。

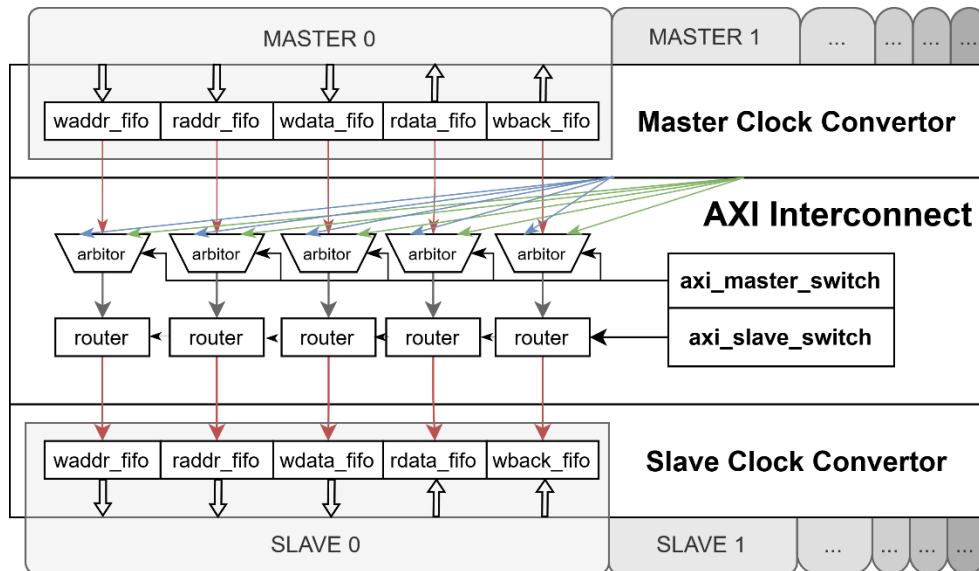


图 1.3 AXI 总线示意图

1.1.2 UDP-AXI 主机设计

UDP-AXI 主机接收来自上位机的数据，并对数据格式进行解析，实现写地址，写数据，写回，读地址，读数据通道的独立化，设计仲裁端对写响应通道和

读数据通道要发送的数据实施仲裁。

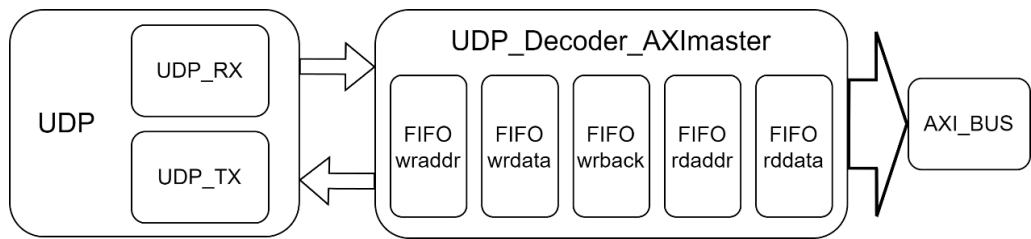


图 1.4 【待填】

1.1.3 外接线缆和电源管理

外接线缆和电源管理方案针对实验平台的实际使用需求进行了专门设计，重点解决系统集成度与能耗控制的矛盾。整个电源架构采用分层管理机制，基础供电输入为单路 12V 直流电源，通过内部电源管理模块进行二次分配。分配后的 12V 输出包含三个功能分支：第一路直接为控制核心 Ctrl_FPGA 提供稳定电源，确保核心控制逻辑持续运行；第二路作为冗余备用接口，为后续功能扩展预留供电能力；第三部分通过六通道光耦和继电器阵列实现受控输出，每个继电器通道由 Ctrl_FPGA 引脚进行独立控制，结合平台检测逻辑（如网络心跳包监测），可动态管理 Lab_FPGA 等外围电路的供电时序。这种设计使得在非工作时段能自动切断 Lab_FPGA 的 12V 供电，延长芯片寿命。

外设连接方面采用极简线缆策略，整个平台仅保留 12V 电源输入线和千兆以太网线各一条，既满足基础供电与数据传输需求，又避免多线缆带来的管理复杂度。针对未来升级规划，系统预留了 POE（以太网供电）适配接口空间，计划采用符合 IEEE 802.3bt 标准的 Type4 方案。这将使平台外部线缆进一步简化为单根网线，同时维持 12V/5A 的供电规格，需配合支持 POD（Power over Data-line）协议的专用 PHY 芯片实现电能与数据的同线传输。

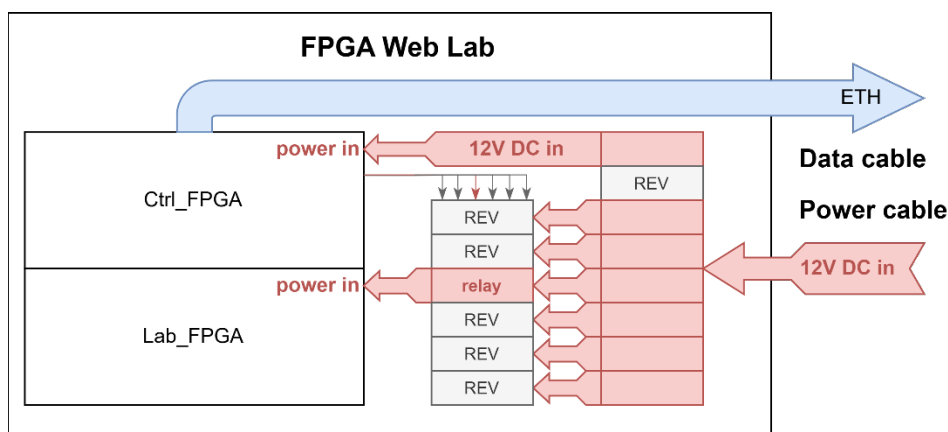


图 1.5 电源管理和外界线缆

1.2 Lab_FPGA 资源配置

考虑到网上已有的 FPGA 教学内容, Lab_FPGA 使用的是小眼睛半导体盘古 100pro+开发板, 用户可以使用小眼睛例程获得与线下实际使用完全一致的体验。除了板载资源如以太网、HDMI、光纤、SD 卡, 我们通过 FMC 子卡为其拓展了更多硬件资源, 其中部分硬件资源经过特殊设计, 支持用户远程控制, 实现数字孪生。

1.2.1 32x 四色 LED 组件

LED 是非常基础的组件, 为了能有更加丰富的 LED 资源, 我们设计了 32 个四色 LED 组件。

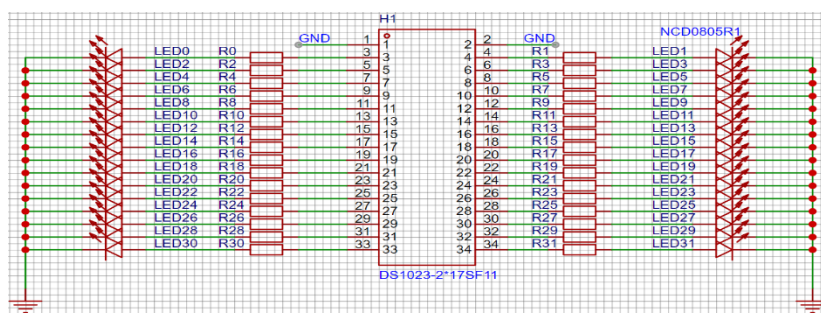


图 1.6 LED 组件原理图

【图片 实物】

1.2.2 4x4 矩阵键盘组件

矩阵键盘管脚利用率高, 作为例程也可训练学生编写时序逻辑的能力。4x4 矩阵键盘经过特殊设计, 其中 4col 和 4row 连接至 Lab_FPGA, 另外 4control 和

4row 连接至 Ctrl_FPGA, Ctrl_FPGA 可选择性通过组合逻辑接管实际矩阵键盘的按键逻辑。同时 Web 界面有特殊处理, 用户可直接添加器件远程控制。

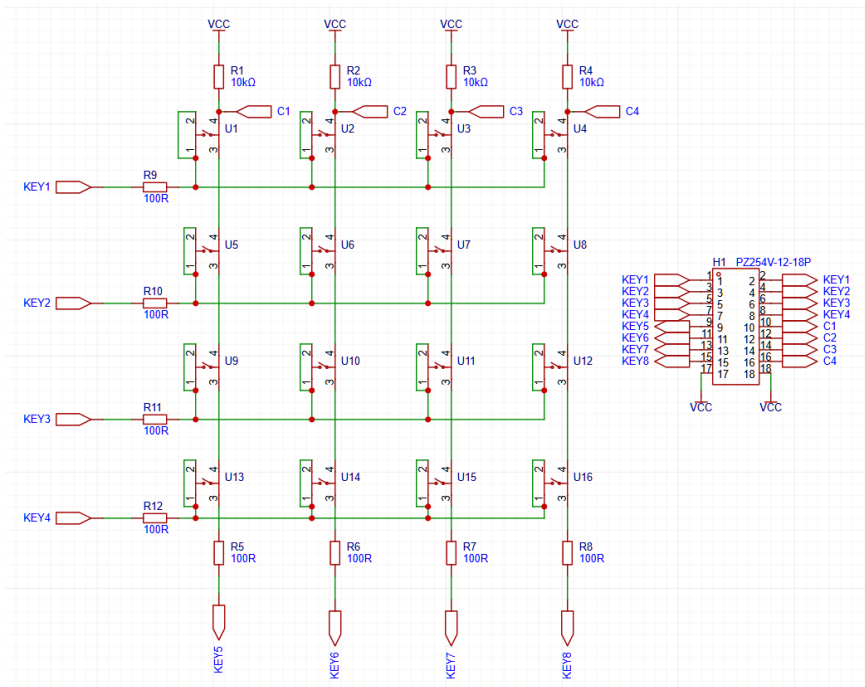


图 1.7 矩阵键盘原理图

【图片 实物】

支持在 Web 端配置模拟抖动, 学生可观察消抖模块对输入稳定性的影响。

1.2.3 8x 段选数码管组件

八位数码管组件占用 16 个 IO, 初步应用于密码锁例程, 模块内置 ASCII 转段码表, 可以方便的输出字符, 便于用户调试。

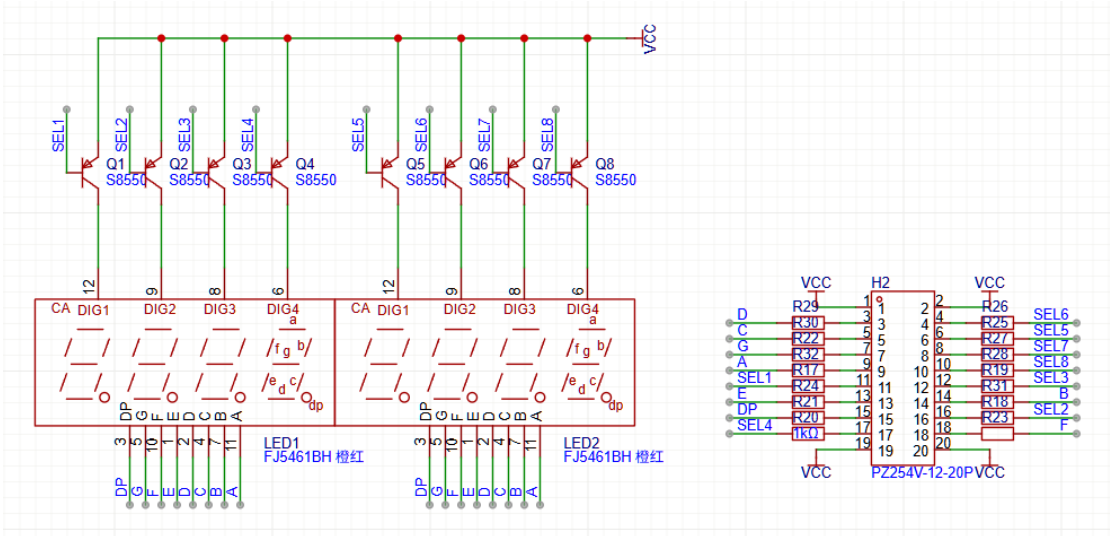


图 1.8 数码管原理图

【图片 数码管实物】

1.2.4 8bit 高速 ADDA 模块

Ctrl_FPGA 和 Lab_FPGA 各有一块 8bit 高速 ADDA 模块，其中用户可直接配置 Lab_FPGA 一路 ADC、一路 DAC 的资源，同时也可使用 Ctrl_FPGA 的 ADDA 模块作为信号发生器(DDS)和示波器(DSO)，使用时将二者对接即可。

【图片 ADDA 实物】

1.3 服务端后台系统设计

FPGA 平台实体通过以太网（交换机中继）以唯一 IP 地址连接到同一局域网的服务器，服务器为 Linux 或 Windows 系统，通过 C# 后端侦测局域网内 FPGA 实验平台，管理 FPGA 资源，并将服务器端口转发至互联网，用户联网即可在任意地点访问到服务器为其分配的 FPGA 资源。除此以外，后端还融合了 MySQL 数据库，实现用户的登录注册、比特流的暂存和留档功能。

Web 后端支持的关键功能如下：

- 用户登录和注册
- 管理员系统，批量配置 FPGA 固件
- Bitstream 的上传、留档
- 自动处理 Bitstream 位序，自适应 Jtag / Flash 等不同位宽下的位序
- 拦截非法 Bitstream 如文件格式错误、体积过大等
- 烧录后实时侦测 Lab_FPGA 运行状态
- BSDL 文件自动解析 Jtag 指令，实现 IDCODE 获取、下载比特流、热启动、边界扫描等功能，符合 IEEE 1149.1 标准
- 固化流程中自动处理开关程序和跳转程序的覆写
- DDS 寄存器配置，频率和相位计算

【图片 前后端框架】

【图片 后端功能】

Web 前端则使用 Vue3 & TypeScript 设计，搭配 Daisy UI 组件库实现更为现代的 Web 界面。工程界面参考了 Wokwi!【引用】风格，设计了自由度极高的画布界面，用户可使用例程的模板进行实验，或者自定义画布内容和连线，充分发

挥 FPGA 可重构的特性。

【图片 前端功能】

Web 前端支持的关键功能如下：

- Json 画布模板导入导出，用户可定义自己的 FPGA 实验界面
- 接收全引脚电平信息，可视化至画布，实现低频信号的数字孪生
- 在线文档查阅
- FPGA、DDS、Button 等组件的图形化配置

1.4 Web 界面用户端设计

【待写】

2 作品核心技术

【待写】

2.1 以太网 UDP 传输

FPGA 板载 1000M 以太网 PHY--RTL8211F, 通过 rgmii 协议实现千兆以太网传输。接收部分利用 GTP_ISERDES_E2 中 DDR 1:2 same pipelined 解串模式实现 rgmii 协议向 gmii 协议的转变, 传输部分使用 GTP_OSERDES_E2 中使用 Generic DDR 2:1 串化模式实现 gmii 向 rgmii 传输速率的转化。

UDP_RX 模块可以解析 UDP 协议的以太网帧, 将获取的有效数据送入 UDP_CMD_AXI 主机模块进行指令译码, 处理后再将地址, 数据等送入 AXI_BUS 进行处理。

UDP_TX 模块可以将要发送的数据包装成 UDP 协议的以太网帧, UDP_CMD_AXI 主机模块将来自从机的数据放入 fifo 暂存, 经过仲裁后通过 UDP_TX 模块发送给上位机。

自行设计 ARP 模块, ARP_RX 模块可以接收并解析来自上位机的 ARP 报文, 获取上位机的 MAC 地址和 ip 地址。同时 ARP_TX 模块可以发送 ARP 报文以回应上位机的 ARP 映射请求, 将 Ctrl FPGA 的 MAC 地址告知上位机。

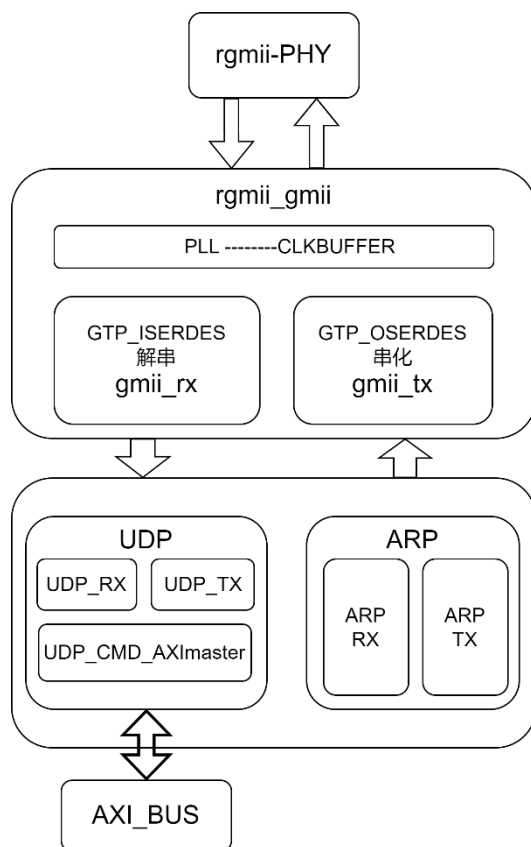


图 2.1 **U**

2.2 JTAG 模拟功能

通过模拟 JTAG 时序，用户可以向系统上传 Bitstream 文件，通过以太网 →Ctrl_FPGA→JTAG→Lab_FPGA 数据链将比特流烧录至实验平台内，观察实验现象。

与 STM32 模拟 JTAG 的方案不同，我们在 Ctrl_FPGA 上开发了一套完整的 JTAG 时序模拟模块，向外包装成 AXI4-SLAVE 接口，供上位机控制。

JTAG 模块实现的关键功能如下：

- JTAG 时钟频率支持最高 50MHz（需板级连接），也可动态配置降频至 25MHz、12.5MHz、7MHz、3.5MHz、2MHz、1MHz、500KHz
- 数据读入读出 FIFO 暂存
- 支持命令流水暂存列，多条命令连续执行时可节省一部分时间
- 支持 FIFO 内数据不足或将满时进入 PAUSE 状态等待

AXI-SLAVE 地址映射参考表 6.6。通过合适的上位机控制，该 JTAG 模块可

实现 Ctrl_FPGA 对 Lab_FPGA 的 IDCODE 获取、UID 获取、状态寄存器获取、Bitstream 下载、热启动、边界扫描等功能。控制流程参考第 6 节。

2.3 REMOTE UPDATE 远程升级

Ctrl_FPGA 作为实验平台的核心监控单元，需支持固件的远程安全升级。通过 SPI Flash 多镜像管理和动态优先级配置，系统可实现**无缝热切换**：管理员可远程切换不同版本的固件，无需重启设备；**多重备份容错机制**：Flash 中存储最多 4 份固件镜像，支持异常回滚；**全流程自动化**：从上传到烧录完全由上位机驱动，消除手动操作风险。

我们基于例程的 spi 模块做了大幅修改，通过 AXI-SLAVE 接口控制和传输数据，并将绝大多数控制功能移交至上位机处理。上位机可直接向 Flash 中写入数据或读出 Flash 存储的数据。

分区	容量	功能
Bootloader	4KB×6	引导程序
Golden Image	由芯片型号决定，PG2L100H 为 4MB	黄金位流，保留位流下载和固化功能
Image 1-3	由芯片型号决定，PG2L100H 为 4MB×3	优先级可调的应用位流

表 2.1 Flash 分区设计

管理员通过 Web 端设定启动顺序（如 Image2 > Image1 > Golden）。

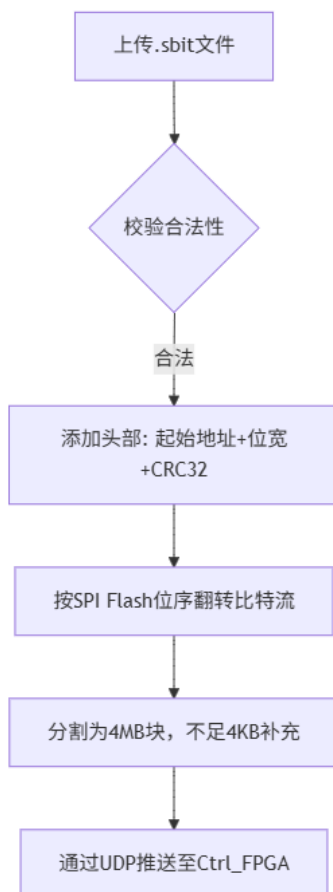


图 2.2 C#后端流程

管理员可直接上传 sbit 文件，无需处理比特翻转或导出 sfc 文件，C# 后端可自动拼接比特流，自动处理起始地址、位宽顺序和开关跳转程序，使 Flash 固化像比特流烧录一样简单。同时升级过程中 Lab_FPGA 实验不受影响，固件异常时自动回退至 Golden Image。

功能	JTAG+Flash 烧录器	远程升级方案
操作复杂度	需手动切换跳线帽、使用专用软件	全 Web 端操作，一键完成
多镜像管理	依赖外部 Flash 分区工具	内置优先级表和自动回滚机制
安全性	依赖专用软件	依赖 Web 加密方案
适用场景	实验室本地操作	跨地域远程维护

表 2.2 远程升级方案与传统方案对比

2.4 远程调试 DEBUGGER 核

LabFPGA 的 Debugger 核主要由 2 部分组成，1 部分是 Debugger 核主体功能部分，负责抓取和存储数据，另一部分是 sfp 通信部分，负责接收处理来自

CtrlFPGA 的指令，向 CtrlFPGA 发送数据

Debugger 核主体部分由可以检测 32 位信号的 debugger 核级联组成，触发条件可以配置成上升沿，下降沿，高电平，低电平和不关心状态。支持每位信号同时配置触发条件。利用板载 DRM 资源实现数据存储，支持位宽自由定义。

LabFPGA sfp 通信部分利用 1 路 hsstlp 实现，线速率 5Gbps，采用 8b10b 编码方式，负责与 CtrlFPGA 通信，接收 CtrlFPGA 传输的指令，解析后控制 Debugger 核配置通道的触发条件以及数据的传输。

CtrlFPGA sfp 通信部分通过封装，设计为 AXI-Slave，以太网部分接收上位机的指令，通过 AXI 将指令送入 CtrlFPGA sfp，CtrlFPGA sfp 将指令送入 LabFPGA Debugger 中。

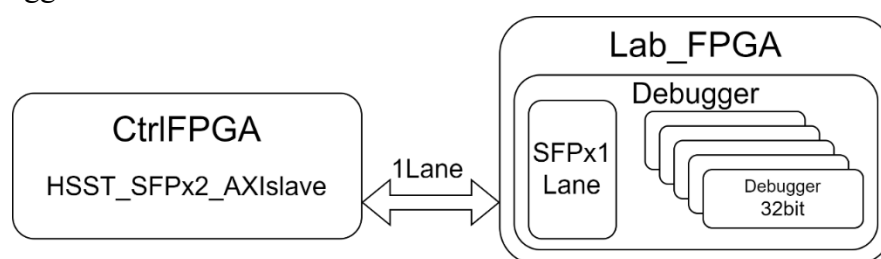


图 2.3 【待填】

【图片 实拍】

2.5 远程 DDS 功能

Ctrl_FPGA 上的 DAC 接口可以配置为远程信号发生器（DDS），用户可通过 Web 界面的图形化操作实时控制模拟信号的波形输出。

DDS 模块支持的功能如下：

- Max 35MSPS、8bit 垂直分辨率
- AXI-SLAVE 接口
- 参数化配置多路输出
- 可配置频率、相位等参数
- 支持四组波形暂存，每一路都可单独调整参数
- 默认暂存波形为：正弦波、方波、三角波、锯齿波
- 支持上传 dat 文件输出自定义波形
- 后端支持函数解析

【图片 实拍】

2.6 DSO 示波器功能

Ctrl_FPGA 上的 ADC 接口可以配置为示波器(DSO),目前用户可通过 HDMI 输出实时查看波形图像。

DSO 模块支持的功能如下:

- Max 35MSPS、8bit 垂直分辨率
- 可设置 Run/Stop、触发边沿、触发电平、水平偏移、时基缩放
- 可查看波形采样频率、幅值 V_{pp} 、最小值 V_{min} 、最大值 V_{max}
- HDMI 实时显示波形画面

预计未来将 DSO 模块集成进 AXI 总线中,开发对应的前后端组件,实现远程 DSO 功能。

【图片 实拍】

2.7 网络数字摄像头功能

该网络数字摄像头系统采用模块化设计,整合了图像采集、协议转换、存储管理和流媒体传输等关键技术环节。

图像采集子系统使用 OV5640 传感器,OV5640 支持 2592x1944@15fps 或 1920x1080@30fps,内置图像处理引擎(自动曝光/白平衡/对焦),DVP 并行接口输出 YUV422 格式数据,时钟频率可达 96MHz,上位机通过 FPGA 桥接实现寄存器配置。OV5640 支持对焦功能,上位机可通过配置寄存器实现自动对焦。

Ctrl_FPGA 将 Camera 配置为 AXI 主从兼容设备,模块将 DVP 协议转为 AXI-MASTER 将视频流存入 DDR3 缓存中。上位机通过以太网从 DDR3 中读取 YUV422 格式的帧缓存,后端将其编码为 RTSP 视频流,从而实现用户在网页的实时查看。

Camera 功能目前处于开发状态。

【图片】

2.8 基于 EEPROM 的 System Firmware

EEPROM 具有数据断电不易失的特性，实验平台基于 EEPROM 搭建了一套 System Firmware，在系统上电初始化后，会通过 AXI-IIC 接口从 EEPROM 内读取数据进行参数重配置，为实验平台提供了高可靠性的配置管理能力，支持远程维护和安全升级。同时上位机也可以覆盖 EEPROM 内数据或读出。

IIC 时序的实现基于开发的 AXI_SLAVE-IIC_MASTER 模块，支持动态调节 IIC 速率、FIFO 暂存、SCCB 时序兼容、ACK 响应错误处理、FIFO 快照和回滚机制、死锁检测机制，保证 IIC 时序安全。

System Firmware 实现的功能如下：

- IP 地址、端口号自动装载、重配置
- AXI-SLAVE 地址映射自动装载、重配置
- FPGA 版本号配置
- 上电后默认电源管理配置

Ctrl_FPGA 可以从 EEPROM 内读取存储的 IP 地址，实现本机 IP 地址的永久存储和自动配置；可以从 EEPROM 内读取 AXI-SLAVE 各个功能模块的偏移地址配置。同时上位机也可以读取偏移地址，实现正确的地址映射。；可以从 EEPROM 内读取电源管理配置，控制上电后的六路 12V 电源是否输出。

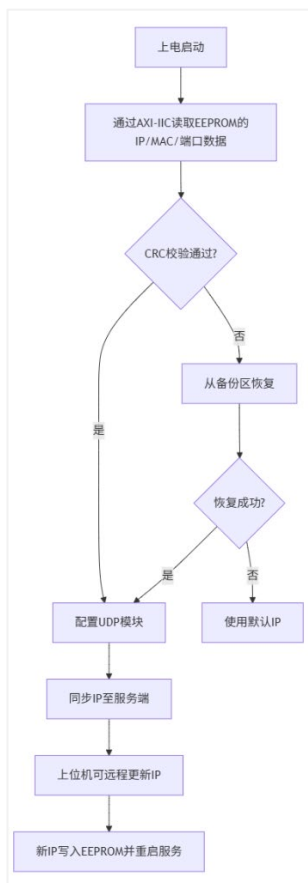


图 2.4 IP 地址配置

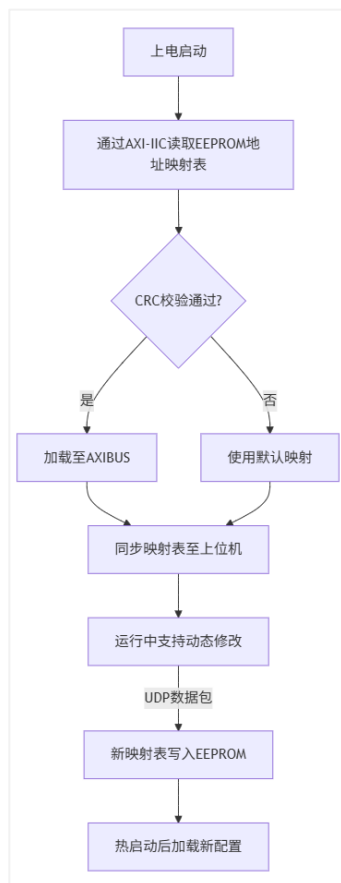


图 2.5 AXI 地址配置

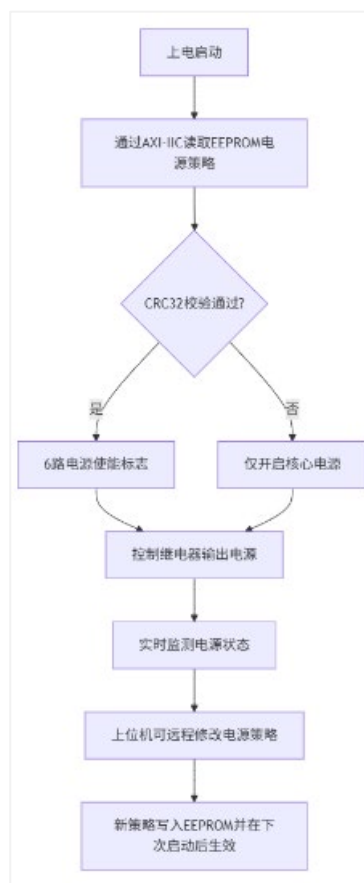


图 2.6 电源管理配置

3 创新点和关键指标

3.1 基于 JTAG 边界扫描的低频信号捕获

传统 FPGA 实验平台中，低频信号（如按键输入、LED 状态、数码管驱动信号）的调试通常依赖物理示波器或逻辑分析仪，而远程实验场景下无法直接接入硬件探头。我们通过 **JTAG 边界扫描链(Boundary Scan)**，在无需物理接触 FPGA 的前提下，实现以下功能：

- **实时信号捕获** 利用 JTAG 的 SAMPLE/PRELOAD 指令，动态捕获 Lab_FPGA 指定引脚的逻辑电平，支持 1Hz~10kHz 低频信号。信号数据通过 AXI4 总线传输至 DDR3 缓存，经以太网推送至 Web 端可视化。
- **虚拟器件映射** 用户可在 Web 界面添加器件（如数码管、LED），定义引脚约束，系统自动生成 BSDL（Boundary Scan Description Language）指令，动态配置 JTAG 扫描链。前端接收到电平变化时会驱动 Web 界面的器件做出响应变化，实现数字孪生。

部分关键指标如下：

指标	参数	传统方案对比
最大采样率	$\frac{f_{jtag}}{n_{io}} * 1.2$ （PG2L100H FBG676 最高可达 10kHz）	逻辑分析仪：100MHz+，但需物理接口
通道数量	全引脚捕获，645 通道	普通 JTAG 调试器：通常≤4 路
传输延迟	<50ms（从捕获到 Web 端显示）	物理示波器：实时，但无法远程
资源占用	0 额外引脚	需占用 FPGA GPIO 引脚
兼容性	支持 IEEE 1149.1 标准	依赖特定调试工具链

表 3.1 JTAG 边界扫描关键指标

边界扫描复用 JTAG 接口，无需额外逻辑分析仪或调试工具。学生通过 Web 界面直接观察按键、LED 等外设信号，无需硬件探头，还可与实验平台虚拟外设（DSO、DDS）无缝联动，形成完整调试生态。

3.2 远程下载和固化

传统 FPGA 实验平台的比特流下载依赖物理 JTAG 调试器，且固化需手动操作 Flash 烧录器，难以适配远程教学场景。本设计通过 Ctrl_FPGA 模拟 JTAG 协议 + 以太网-SPI 链式传输，实现全流程远程化。

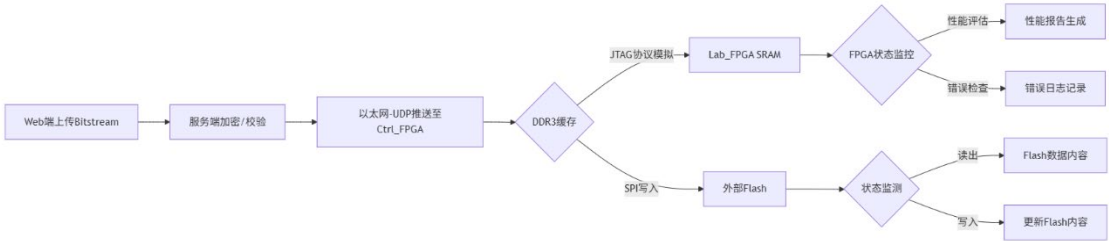


图 3.1 Flash 固化流程

下载至 Lab_FPGA 前，后端会校验比特流 CRC32 和头部标识符。
实测在 PG2L100H 开发板上，以 2.5MHz 的 Jtag 速率下载 3703KB 比特流至 Lab_FPGA 需 7 秒，以 10MHz 的 spi 单线速率固化至 Flash 耗时 10 秒。

3.3 系统登录及管理

系统支持用户登录和注册功能，支持管理员模式实时监测实验平台状态。预计未来会实现学生/教师/管理员身份分配，实现更完整的账号和权限管理系统。

身份	功能权限	数据权限
学生	比特流上传/下载、虚拟外设调用、信号捕获	访问个人实验记录、访问例程
教师	学生权限+实验模板发布、作品批阅	查看所辖学生数据
管理员	全权限（含固件升级、设备分配）	全局数据访问

表 3.2 身份权限表

【登陆界面】

3.4 图形化界面设计和数字孪生

【待写】

3.5 基础实验和进阶实验内容

本项目目前完成了 6 组基础实验内容和 2 组进阶实验内容，后续会继续完善进阶实验内容，并且编写 SOC 系列实验，视频图像处理实验，RISC-V 实验等系列实验内容。

我们为实验设计了教学文档，文档内容主要包括章节导读，理论学习，实战演练，仿真测试，上板验证和章末总结。每一部分代码都亲自编写或理解，并且会详细的说明代码逻辑，以保证文档内容可以做到通俗易懂，使阅读者能够有更好的体验。

同时我们为每一个实验设有工程文件，点击工程文件夹内的工程可以直接进行使用我们已经创建的工程。

除此之外我们基本上为每一个实验设计了仿真文件夹，内部包含仿真顶层文件和 `moduleSim.tcl` 脚本文件，用户只需要点击 `do.bat` 文件即可使用 `moduleSim` 对实验模块进行仿真验证。

3.6 虚拟外设

传统 FPGA 实验平台需依赖固定外设模块（如 UART、I2C、USB 硬件芯片，按键，LED），导致不同实验需频繁更换硬件，灵活性差且成本高昂。本设计通过**协议虚拟化**，实现外设功能的“软件定义硬件”。

20 个 `Ctrl_FPGA` 引脚直连 `Lab_FPGA`，用户可将其分配为不同协议接口。所有虚拟外设均封装为 `AXI4-Slave` 设备，映射至统一地址空间。

例如：用户在实验中需要用到 5 路虚拟按键，2 路 LED 和 1 路 UART RX/TX，用户即可在 Web 界面配置引脚定义，选择想要实现的功能。后端会将组件自动包装为 `AXI-SLAVE` 接口，映射地址空间，综合布线后烧录至 `Ctrl_FPAG` 中。

虚拟外设功能目前处于开发状态。

4 成果展示

4.1 实验平台本体

FPGA 实验平台底板如下图所示：

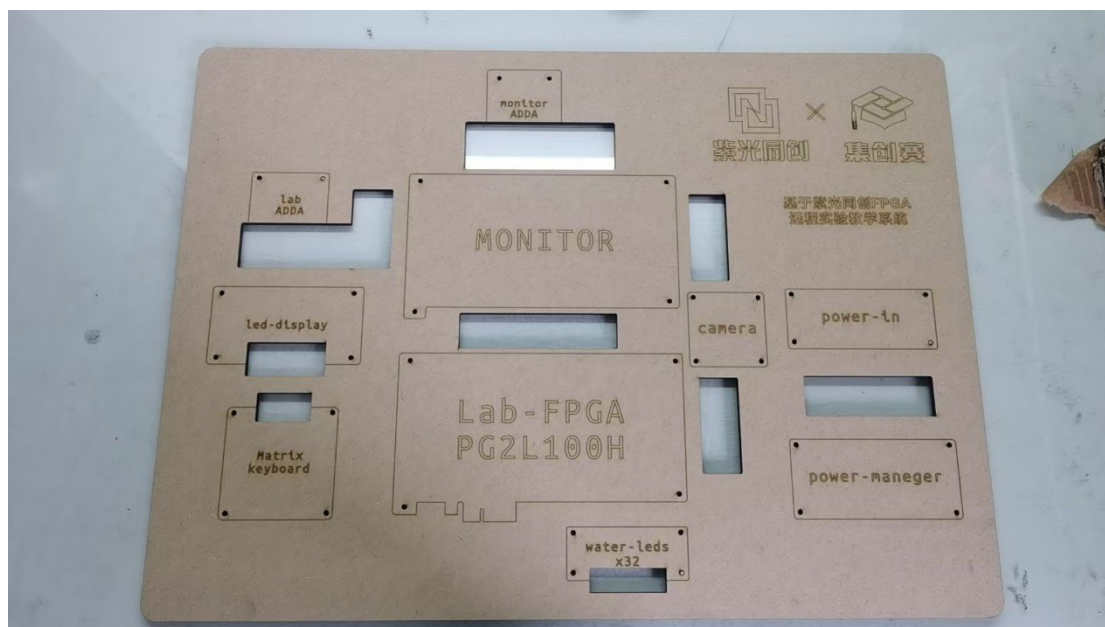


图 4.1 底板制作

目前完成了项目主体框架适配和板级硬件的设计制作，实物图如下所示：

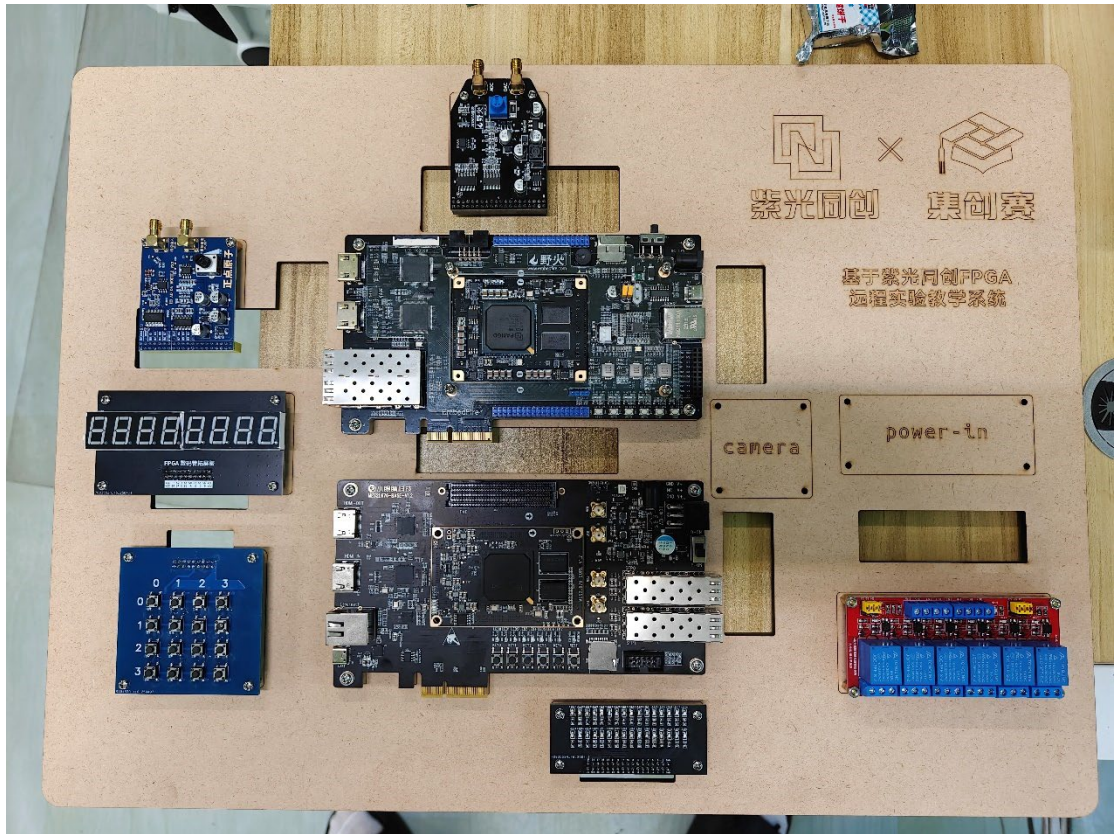


图 4.2 实验平台实拍图

片上硬件部分，目前已经完成了【待写】控制器的编写，其余外设正在编写或验证中。

RTL 文件列表如下：

【图片】

4.2 Web 前后端

【待写】

4.3 用户交互功能

【待写】

5 总结

5.1 小组分工

5.2 仓库

Ctrl_FPGA 的 Verilog 代码和部分实验工程：

https://gitee.com/alivender/pangu_remote_lab

5.3 可拓展之处

5.4 心得体会

6 附录

6.1 UDP 数据包解析

【待写】

6.2 AXI_SLAVE 地址映射表

以下所有从机的地址已经过偏移映射，起始地址均从 0x00000000 开始。一位地址对应 32 位数据。

6.2.1 DDR3_AXI_SLAVE

DDR3 AXI-SLAVE 协议，支持超前传输、乱序执行，支持 valid-ready 握手，支持位宽转换。DDR3 存储空间 8Gbit。

地址	读写	说明
0x00000000	R/W	DDR3 首地址
...	R/W	...
0x0FFFFFFF	R/W	DDR3 末地址

表 6.1 DDR3 从机地址映射表

6.2.2 SYS_STATUS_AXI_SLAVE

系统状态配置从机，主要用于配置系统的各项运行参数。

地址	读写	说明
0x00000000	RO	AXI 总线主从机复位情况，[31:16]为 16-1 号主机，[15:0]为 16-1 号从机，1 为复位结束，0 为正在复位
0x00000001	WO	AXI 总线主从机手动复位，[31:16]为 16-1 号主机，[15:0]为 16-1 号从机，1 为重新复位，0 为不影响。复位后自动置零
0x00000002	RO	UID 高 32 位
0x00000003	RO	UID 中 32 位
0x00000004	RO	CTRL_FPGA 的 UID 低 32 位，格式为 {0x02,0x03,0x04}={UID}。UID 是唯一器件标识符
0x00000005	R/W	[7:0]位为电源管理模块 8 个供电口的状态，1 为供电，0 为不供电，可读取或更改
0x00000006	WO	[7:0]位为电源管理模块 8 个供电口对应器件的复位，1 为重新复位，0 为不影响。复位后自动置零
0x00000007	R/W	CTRL_FPGA 的 MAC 地址高 16 位
0x00000008	R/W	CTRL_FPGA 的 MAC 地址低 32 位，格式为 {0x07,0x08}={16'b0,MAC}
0x00000009	R/W	CTRL_FPGA 的 IP 地址
0x0000000A	R/W	上位机的 IP 地址

表 6.2 系统状态配置从机地址映射表

上电后的默认以太网 MAC 配置优先级顺序为：EEPROM 配置 > 取 UID 低 48 位 > 12-34-56-78-AB-CD。

上位机可以通过写地址 07,08 来动态重分配 MAC 地址，但下次复位后仍会以 EEPROM 中存放的 MAC 地址配置。如想永久更改 MAC 地址，建议写 EEPROM+写地址 07,08 执行两次。MAC 地址的更改会在 AXI 总线和 UDP 完全空闲后执行，因此写响应数据包仍是原 MAC 配置。

IP 地址配置流程同上。

6.2.3 DDS_AXI_SLAVE

信号发生器模块的 AXI-SLAVE 接口。管理员可参数化配置输出通道的个数和垂直分辨率。

参数	可选值	默认	说明
CHANNEL_NUM	1-8	2	并行输出波形数
VERTICAL_RESOLUTION	8-32	8	垂直分辨率

表 6.3 DDS 从机可选参数

地址	读写	说明
0x000000N0	R/W	Channel N 选择输出波形存储
0x000000N1	R/W	Channel N Store 0 freq_ctrl
0x000000N2	R/W	Channel N Store 1 freq_ctrl
0x000000N3	R/W	Channel N Store 2 freq_ctrl
0x000000N4	R/W	Channel N Store 3 freq_ctrl
0x000000N5	R/W	Channel N Store 0 phase_ctrl, 范围 0-4095
0x000000N6	R/W	Channel N Store 1 phase_ctrl, 范围 0-4095
0x000000N7	R/W	Channel N Store 2 phase_ctrl, 范围 0-4095
0x000000N8	R/W	Channel N Store 3 phase_ctrl, 范围 0-4095
0x000000N9	R/W	覆盖 Channel N Store[0x000000N0]波形写使能
0x000000NA	WO	覆盖数据 FIFO 写入口

表 6.4 DDS 从机地址映射表

6.2.4 I2C_MASTER_AXI_SLAVE

AXI-SLAVE 接口的 I2C 主机，支持 FIFO 快照和回退，可设置兼容 SCCB 协议，支持 error 返回。

地址	读写	说明
0x00000000	R/W	[7:0] 本次传输的 i2c 地址(最高位总为 0)
		[8] 1 为读，0 为写;
		[16] 1 为 SCCB 协议，0 为 I2C 协议
		[24] 1 为开启本次传输，自动置零
0x00000001	R/W	[15:0] 本次传输的数据量（字节单位，0 为传 1 个字节）
		[31:16] 若本次传输为读的 DUMMY 数据量（同上）
0x00000002	RO	[0] cmd_done
		[8] cmd_error
0x00000003	WO	FIFO 写入口，仅低 8 位有效
0x00000004	RO	FIFO 读出口，仅低 8 位有效
0x00000005	R/W	[0] FIFO 写入口清空
		[8] FIFO 读出口清空；1 为有效，默认置 0，自动置 0

表 6.5 I2C 从机地址映射表

6.2.5 JTAG_AXI_SLAVE

JTAG 控制器的 AXI-SLAVE 接口，支持 tck 速率调整，支持 cmd 指令暂存和衔接执行，支持 FIFO 数据暂存，支持数据不足或 FIFO 将满时进入 PASUE 状态等待。

地址	读写	说明
0x00000000	R/W*	[0] 移位数据读 fifo 清空，1 为有效，清空后自动置 0
		[1] 移位数据 fifo 读入口-空标识，RO
		[2] 移位数据 fifo 读入口-满标识，RO
		[7:3]保留
		[8] 移位数据写 fifo 清空，1 为有效，清空后自动置 0
		[9] 移位数据 fifo 写入口-空标识，RO
		[10] 移位数据 fifo 写入口-满标识，RO
		[15:11] 保留
		[16] 移位命令写 fifo 清空，1 为有效，清空后自动置 0
		[17] 移位命令 fifo 写入口-空标识，RO
		[18] 移位命令 fifo 写入口-满标识，RO
		[23:19] 保留
		[24] CMD 执行完毕标识，RO
0x00000001	RO	移位数据 fifo 读入口
0x00000002	WO	移位数据 fifo 写入口
0x00000003	WO	移位命令 fifo 写入口

表 6.6 Jtag 从机地址映射表

6.2.6 REMOTE_UPDATE_SPI_AXI_SLAVE

远程升级用 AXI-SLAVE 接口转 SPI 协议和 IPAL 控制的从机。

地址	读写	说明
0x00000000	R/W	[31:16] wr_sector_num
		[15] flash_wr_en
		[11:0] start_wr_sector
0x00000001	WO	写比特流数据入口
0x00000002	RO	[24] wr_fifo_full
		[16] wr_fifo_empty
		[8] flash_wr_done
		[0] flash_clear_done
0x00000003	R/W	[31:16] rd_sector_num
		[15] flash_rd_en
		[11:0] start_rd_sector
0x00000004	R/W	[17:16] bs_crc32_ok
		[8] crc_check_en
		[0] bitstream_up2cpu_en
0x00000005	RO	读比特流数据出口
0x00000006	RO	CRC 校验值 bs_readback_crc
0x00000007	RO	[24] rd_fifo_afull
		[16] rd_fifo_empty
		[8] flash_rd_done
		[0] bs_readback_crc_valid
0x00000008	R/W	[31:8] hotreset_addr
		[0] hotreset_en
0x00000009	RO	FPGA_VERSION

表 6.7 远程升级从机地址映射表

6.3 上位机参考配置流程

【待写】

7 实验文档

本项目目前完成了 6 组基础实验内容和 2 组进阶实验内容，分别是：

基础-1-流水灯

基础-2-按键

基础-3-数码管

基础-4-矩阵键盘

基础-5-呼吸灯

基础-6-HDMI 显示

进阶-1-密码锁

进阶-2-sfp 光纤通信

实验文档内容如下所示：

参考文献