

第九届

全国大学生集成电路创新创业大赛

报告类型： 系统设计报告

参赛杯赛： 紫光同创杯

作品名称： 基于紫光同创FPGA的远程实验室

队伍编号： CICC0901175

团队名称： 爱抚皮系欸

目 录

快速预览简介 1

1 系统架构分析 1

1.1 Ctrl\_FPGA系统架构 2

1.1.1 AXI4总线设计 3

1.1.2 UDP-AXI主机设计 3

1.1.3 Camera主从兼容设计 3

1.1.4 电源管理 3

1.2 Lab\_FPGA资源配置 3

1.2.1 32x四色LED组件 3

1.2.2 4x4矩阵键盘组件 4

1.2.3 8x段选数码管组件 4

1.2.4 8bit高速ADDA模块 4

1.3 服务端后台系统设计 4

1.4 Web界面用户端设计 5

2 作品核心技术 5

2.1 以太网UDP传输 5

2.2 JTAG模拟功能 5

2.3 REMOTE UPDATE远程升级 6

2.4 远程调试DUBUGGER核 6

2.5 远程DDS功能 6

2.6 DSO示波器功能 7

2.7 网络数字摄像头功能 7

2.8 基于EEPROM的System Firmware 7

3 创新点和关键指标 8

3.1 基于JTAG边界扫描的低频信号捕获 8

3.2 远程下载和固化 8

3.3 系统登录及管理 8

3.3 图形化界面设计和数字孪生 8

3.4 基础实验和高阶实验内容 8

3.4 虚拟外设 8

4 成果展示 9

5 总结 9

6 附录 9

6.1 UDP数据包解析 9

6.2 AXI\_SLAVE地址映射表 9

6.3 上位机参考配置流程 9

参考文献 9

快速预览简介

快速预览简介内容不超过**两页**，对作品关键技术、重要指标、作品亮点等核心内容进行展示。展示软硬件工作平台。同时列表展示功能清单。

我们基于双FPGA架构、Web前后端构建了高集成、可扩展的远程FPGA实验平台，支持用户通过Web界面远程配置硬件、调试代码、实时监控，实现“数字孪生”式实验教学。

**双FPGA架构：**Ctrl\_FPGA——管理员控制核心，集成以太网通信、JTAG模拟、DDR3缓存、电源管理、虚拟外设（DDS/DSO）等功能。Lab\_FPGA——用户可编程FPGA，支持远程烧录比特流，提供与线下一致的实验体验。二者通过SerDes-DDR3高速互连，效率优于FPGA-单片机架构。支持虚拟外设动态配置，管理员可远程升级固件。

**AXI4-Full总线设计：**支持跨时钟域、乱序执行、优先级仲裁，主频250MHz（跨时钟域185MHz）。标准化接口实现模块化设计，支持虚拟外设静态重分配。

**以太网-UDP协议栈：**实现AXI4总线与以太网的直接映射，支持千兆高速数据传输。

**全功能JTAG模拟：**IEEE 1149.1标准，最高时钟50MHz，动态降频适配不同场景。集成BSDL解析，实现边界扫描、IDCODE、UID、状态寄存器获取、比特流下载等功能。

**Web前后端系统：**后端（C# + MySQL）——用户管理、比特流校验、FPGA状态监控、安全烧录。前端（Vue3 + TypeScript）——图形化实验界面，支持画布自定义、文档查阅、实时信号可视化。

**完善的实验代码和文档：**【待写】

|  |  |  |
| --- | --- | --- |
| **功能** | **实现** | **说明** |
| 基础实验项目 | 已实现 | 基础-01- |
| 基础-02- |
| 基础-03- |
| 基础-04- |
| 基础-05- |
| 高阶实验项目 | 已实现 | 高阶-11- |
| 高阶-12- |
| 高阶-13- |
| 远程下载 | 已实现 | 以太网-FPGA-Jtag方案 |
| 远程固化 | 已实现 | 以太网-FPGA-spi方案 |
| 远程调试 | 部分实现 | 自制Debugger核例化、波形抓取和调试已实现，Web前后端尚未适配 |
| 远程示波器 | 部分实现 | 可通过HDMI查看波形 |
| Web前后端尚未适配 |
| 远程信号发生器 | 已实现 | 支持四路波形暂存 |
| 支持频率相位调节 |
| Web可视化调节界面 |
| 支持输入函数表达式 |
| 支持dat文件上传 |
| 数字视频摄像头 | 未实现 | 开发中 |
| 远程逻辑分析仪 | 未实现 | 开发中 |
| 数字孪生 | 已实现 | Jtag边界扫描捕获低频信号，部分硬件经过特殊设计，可通过以太网控制，Web前后端 |
| 远程登录及管理 | 已实现 | 使用MySQL数据库管理 |

表1 功能清单

1 系统架构分析

紫光FPGA的远程实验教学系统整体可分为四层：基于FPGA-FPGA架构的**控制端**系统、用户可配置的PG2L100H**实验端**、基于& TypeScript & Vue3的上位机/**服务端**后台系统、Web界面访问的**用户端**系统。

【图片：整体架构】

1.1 Ctrl\_FPGA系统架构

下位机系统即FPGA实验平台本体，作为硬件终端搭载实验所需的硬件资源，完成以太网数据包解析、命令接收、电源管理、比特流下载和固化、实验平台状态检测等功能。

在尝试多种架构方案后，我们采用了与清华FPGA实验箱【引用】类似的“双FPGA架构”，即Lab\_FPGA（用户配置FPGA）和Ctrl\_FPGA（管理员配置FPGA）。Lab\_FPGA由一块小眼睛半导体盘古100pro+开发板组成，芯片型号PG2L100H-FBG676。用户可通过烧录比特流至该开发板内实现对其全部资源的使用。Ctrl\_FPGA理论上可使用紫光同创任意芯片的官方或自制开发板实现，目前以野火PG2L100H开发板为例实现功能。

【图片：双FPGA架构】

相比FPGA-STM32、FPGA-树莓派等架构，FPGA-FPGA架构拥有如下不可替代的优势：

* 引脚资源丰富且可自定义，实验平台生产完毕后管理员仍可远程高度自定义Ctrl\_FPGA固件，实现更长久的维护；
* 使用虚拟外设功能的前提；
* 一块芯片即可在不影响用户逻辑的前提下完成JTAG、并口传输、以太网通信、信号发生器、示波器、逻辑分析仪等核心功能，集成度高；
* 引脚翻转速度较快，传输比特流时速度更快；
* STM32等单片机与FPGA的高速通信基本只能通过FSMC，占用引脚资源较多，而FPGA之间可以通过SerDes-DDR3传输数据，效率更高。

Ctrl\_FPGA实现了以AXI4总线为片内通信基础的以太网-UDP解析、DDR3缓存、JTAG全功能模拟、Flash读写、EEPROM读写、电源管理、虚拟外设和DDS（信号发生器）和DSO（示波器）功能。下面将介绍Ctrl\_FPGA关键架构设计，模块功能将在第2节详细讲述。

1.1.1 AXI4总线设计

Ctrl\_FPGA内部通过自开发的AXI4-Full总线互连，核心指标如下：

* 1地址映射32位数据
* 总线时钟频率Fmax 250MHz，跨时钟域下Fmax 185MHz
* 支持主机和从机接口跨时钟域
* 支持总线流水
* 支持Outstanding超前传输
* 支持Out-of-order乱序执行，从机可选择性支持
* 不支持interleaving交织传输
* 支持参数分配主从机数量，形成 交叉矩阵
* 优先级仲裁设计
* 支持数据宽度转换、地址映射和稀疏连接

AXI4-Full总线的设计使各个功能模块的搭建无需考虑互连协议，大大简化了设计流程。同时，AXI4接口标准化设计是实现虚拟外设静态重分配的基础。

【AXI4互连图】

1.1.2 UDP-AXI主机设计

【待写】

1.1.4 外接线缆和电源管理

外接线缆和电源管理方案针对实验平台的实际使用需求进行了专门设计，重点解决系统集成度与能耗控制的矛盾。整个电源架构采用分层管理机制，基础供电输入为单路12V直流电源，通过内部电源管理模块进行二次分配。分配后的12V输出包含三个功能分支：第一路直接为控制核心Ctrl\_FPGA提供稳定电源，确保核心控制逻辑持续运行；第二路作为冗余备用接口，为后续功能扩展预留供电能力；第三部分通过六通道光耦和继电器阵列实现受控输出，每个继电器通道由Ctrl\_FPGA引脚进行独立控制，结合平台检测逻辑（如网络心跳包监测），可动态管理Lab\_FPGA等外围电路的供电时序。这种设计使得在非工作时段能自动切断Lab\_FPGA的12V供电，延长芯片寿命。

【图片：电源管理】

外设连接方面采用极简线缆策略，整个平台仅保留12V电源输入线和千兆以太网线各一条，既满足基础供电与数据传输需求，又避免多线缆带来的管理复杂度。针对未来升级规划，系统预留了POE（以太网供电）适配接口空间，计划采用符合IEEE 802.3bt标准的Type4方案。这将使平台外部线缆进一步简化为单根网线，同时维持12V/5A的供电规格，需配合支持POD（Power over Data-line）协议的专用PHY芯片实现电能与数据的同线传输。

【图片：外界线缆】

1.2 Lab\_FPGA资源配置

考虑到网上已有的FPGA教学内容，Lab\_FPGA使用的是小眼睛半导体盘古100pro+开发板，用户可以使用小眼睛例程获得与线下实际使用完全一致的体验。除了板载资源如以太网、HDMI、光纤、SD卡，我们通过FMC子卡为其拓展了更多硬件资源，其中部分硬件资源经过特殊设计，支持用户远程控制，实现数字孪生。

1.2.1 32x四色LED组件

【待写】

1.2.2 4x4矩阵键盘组件

【待写】

1.2.3 8x段选数码管组件

【待写】

1.2.4 8bit高速ADDA模块

【待写】

1.3 服务端后台系统设计

FPGA平台实体通过以太网（交换机中继）以唯一IP地址连接到同一局域网的服务器，服务器为Linux或Windows系统，通过后端侦测局域网内FPGA实验平台，管理FPGA资源，并将服务器端口转发至互联网，用户联网即可在任意地点访问到服务器为其分配的FPGA资源。除此以外，后端还融合了MySQL数据库，实现用户的登录注册、比特流的暂存和留档功能。

Web后端支持的关键功能如下：

* 用户登录和注册
* 管理员系统，批量配置FPGA固件
* Bitstream的上传、留档
* 自动处理Bitstream位序，自适应Jtag / Flash 等不同位宽下的位序
* 拦截非法Bitstream如文件格式错误、体积过大等
* 烧录后实时侦测Lab\_FPGA运行状态
* BSDL文件自动解析Jtag指令，实现IDCODE获取、下载比特流、热启动、边界扫描等功能，符合IEEE 1149.1标准
* 固化流程中自动处理开关程序和跳转程序的覆写
* DDS寄存器配置，频率和相位计算

【图片 前后端框架】

【图片 后端功能】

Web前端则使用Vue3 & TypeScript设计，搭配Daisy UI组件库实现更为现代的Web界面。工程界面参考了Wokwi!【引用】风格，设计了自由度极高的画布界面，用户可使用例程的模板进行实验，或者自定义画布内容和连线，充分发挥FPGA可重构的特性。

【图片 前端功能】

Web前端支持的关键功能如下：

* Json画布模板导入导出，用户可定义自己的FPGA实验界面
* 接收全引脚电平信息，可视化至画布，实现低频信号的数字孪生
* 在线文档查阅
* FPGA、DDS、Button等组件的图形化配置

1.4 Web界面用户端设计

【待写】

2 作品核心技术

【待写】

2.1 以太网UDP传输

【待写】

2.2 JTAG模拟功能

通过模拟JTAG时序，用户可以向系统上传Bitstream文件，通过以太网🡪Ctrl\_FPGA🡪JTAG🡪Lab\_FPGA数据链将比特流烧录至实验平台内，观察实验现象。

与STM32模拟JTAG的方案不同，我们在Ctrl\_FPGA上开发了一套完整的JTAG时序模拟模块，向外包装成AXI4-SLAVE接口，供上位机控制。

JTAG模块实现的关键功能如下：

* JTAG时钟频率支持最高50MHz（需板级连接），也可动态配置降频至25MHz、12.5MHz、7MHz、3.5MHz、2MHz、1MHz、500KHz
* 数据读入读出FIFO暂存
* 支持命令流水暂存列，多条命令连续执行时可节省一部分时间
* 支持FIFO内数据不足或将满时进入PAUSE状态等待

AXI-SLAVE地址映射参考第6节内容。通过合适的上位机控制，该JTAG模块可实现Ctrl\_FPGA对Lab\_FPGA的IDCODE获取、UID获取、状态寄存器获取、Bitstream下载、热启动、边界扫描等功能（控制流程参考第6节内容）。

2.3 REMOTE UPDATE远程升级

Ctrl\_FPGA作为实验平台的Monitor，需要上电后自动从Flash中加载固件。其内部固件的升级只对实验平台的管理员开放。管理员可上传最多4份Bitstream至一个Ctrl\_FPGA中，可实时设定Bitstream启动优先级和热启动。

我们基于例程的spi模块做了大幅修改，通过AXI-SLAVE接口控制和传输数据，并将绝大多数控制功能移交至上位机处理。上位机可直接向Flash中写入数据或读出Flash存储的数据。

管理员可直接上传sbit文件，无需处理比特翻转或导出sfc文件，后端可自动拼接比特流，自动处理起始地址、位宽顺序和开关跳转程序，使Flash固化像比特流烧录一样简单。

2.4 远程调试DUBUGGER核

【待写】

2.5 远程DDS功能

Ctrl\_FPGA上的DAC接口可以配置为远程信号发生器（DDS），用户可通过Web界面的图形化操作实时控制模拟信号的波形输出。

DDS模块支持的功能如下：

* Max 35MHz、8bit垂直分辨率
* AXI-SLAVE接口
* 参数化配置多路输出
* 可配置频率、相位等参数
* 支持四组波形暂存，每一路都可单独调整参数
* 默认暂存波形为：正弦波、方波、三角波、锯齿波
* 支持上传dat文件输出自定义波形
* 后端支持函数解析

2.6 DSO示波器功能

Crtl\_FPGA上的ADC接口可以配置为示波器（DSO），目前用户可通过HDMI输出实时查看波形图像。

DSO模块支持的功能如下：

* Max 35MHz、8bit垂直分辨率
* 可设置Run/Stop、触发边沿、触发电平、水平偏移、时基缩放
* 可查看波形采样频率、幅值Vpp、最小值Vmin、最大值Vmax
* HDMI实时显示波形画面

预计未来将DSO模块集成进AXI总线中，开发对应的前后端组件，实现远程DSO功能。

2.7 网络数字摄像头功能

该网络数字摄像头系统采用模块化设计，整合了图像采集、协议转换、存储管理和流媒体传输等关键技术环节。

图像采集子系统使用OV5640传感器，OV5640支持2592x1944@15fps 或 1920x1080@30fps，内置图像处理引擎（自动曝光/白平衡/对焦），DVP并行接口输出YUV422格式数据，时钟频率可达96MHz，上位机通过FPGA桥接实现寄存器配置。OV5640支持对焦功能，上位机可通过配置寄存器实现自动对焦。

Ctrl\_FPGA将Camera配置为AXI主从兼容设备，模块将DVP协议转为AXI-MASTER将视频流存入DDR3缓存中。上位机通过以太网从DDR3中读取YUV422格式的帧缓存，后端将其编码为RTSP视频流，从而实现用户端在网页的实时查看。

目前Camera功能处于开发状态。

【图片】

2.8 基于EEPROM的System Firmware

EEPROM具有数据断电不易失的特性，实验平台基于EEPROM搭建了一套System Firmware，在系统上电初始化后，会通过AXI-IIC接口从EEPROM内读取数据进行参数重配置，为实验平台提供了高可靠性的配置管理能力，支持远程维护和安全升级。同时上位机也可以覆盖EEPROM内数据或读出。

IIC时序的实现基于开发的AXI\_SLAVE-IIC\_MASTER模块，支持动态调节IIC速率、FIFO暂存、SCCB时序兼容、ACK响应错误处理、FIFO快照和回滚机制、死锁检测机制，保证IIC时序安全。

System Firmware实现的功能如下：

* IP地址、端口号自动装载、重配置
* AXI-SLAVE地址映射自动装载、重配置
* FPGA版本号配置
* 上电后默认电源管理配置

Ctrl\_FPGA可以从EEPROM内读取存储的IP地址，实现本机IP地址的永久存储和自动配置。

【IP地址配置流程图】

Ctrl\_FPGA可以从EEPROM内读取AXI-SLAVE各个功能模块的偏移地址配置。同时上位机也可以读取偏移地址，实现正确的地址映射。

【地址映射配置流程图】

Ctrl\_FPGA可以从EEPROM内读取电源管理配置，控制上电后的六路12V电源是否输出。

【电源管理配置流程图】

3 创新点和关键指标

3.1 基于JTAG边界扫描的低频信号捕获

【待写】

3.2 远程下载和固化

【待写】

3.3 系统登录及管理

【待写】

3.3 图形化界面设计和数字孪生

【待写】

3.4 基础实验和高阶实验内容

【待写】

3.4 虚拟外设

【待写】

4 成果展示

4.1 实验平台本体

FPGA实验平台主体框架如下图所示：

【图片】

目前完成了项目主体框架适配和板级硬件的设计制作，实物图如下所示：

【图片】

片上硬件部分，目前已经完成了【待写】控制器的编写，其余外设正在编写或验证中。

RTL文件列表如下：

【图片】

4.2 Web前后端

【待写】

4.3 用户交互功能

【待写】

5 总结

【待写】

6 附录

6.1 UDP数据包解析

【待写】

6.2 AXI\_SLAVE地址映射表

【待写】

6.3 上位机参考配置流程

【待写】

参考文献