

Problema 2: Conversão de Sinais

1st Allan Capistrano de Santana Santos
Universidade Estadual de Feira de Santana
Feira de Santana - BA, Brasil
asantos@ecomp.uefs.br

2nd Daniel Fernandes Campos
Universidade Estadual de Feira de Santana
Feira de Santana - BA, Brasil
dfc152@gmail.com

3rd João Erick Barbosa Teixeira da Silva
Universidade Estadual de Feira de Santana
Feira de Santana - BA, Brasil
jsilva@ecomp.uefs.br

4th João Pedro Rios Carvalho
Universidade Estadual de Feira de Santana
Feira de Santana - BA, Brasil
jpccarvalho1@gmail.com

Resumo—Este relatório descreve o processo de conversão de um sinal analógico em um sinal digital, lidando com todos os possíveis contratempos envolvidos tanto na prática, como na simulação, mantendo o erro de quantização abaixo de 1% do valor de referência do sinal analógico, de pico a pico. Validando este circuito através de uma bateria de testes realizados tanto para prática quanto na simulação.

Index Terms—aproximações sucessivas, conversor A/D, bateria de testes

I. INTRODUÇÃO

O conversor analógico-digital (A/D) é uma ferramenta fundamental na área de processamento digital de sinais, sendo utilizado em diversas aplicações como controle de processos, medições, comunicação de dados, entre outras. De forma geral, o conversor A/D realiza a conversão de um sinal analógico em um sinal digital. Isso é feito por meio de um processo de amostragem (sinal analógico é segurado em intervalos de tempo regulares), quantização (amplitudes são ajustadas para níveis de tensão determinados) e codificação (cada amostra é convertida em um valor digital correspondente).

Para o presente projeto, o conversor foi implementado pelo método de aproximações sucessivas, para que o processo de quantização seja feito de forma iterativa. A cada ciclo, um valor de referência é comparado com a tensão de entrada e a comparação é utilizada para atualizar o valor de referência para o próximo ciclo. Esse processo é repetido até que se encontre o valor digital mais próximo da tensão de entrada.

O número de *bits* utilizados para representar o valor digital determina a resolução do conversor. Quanto maior o número de *bits*, maior é a precisão da conversão, já que é possível representar um maior número de valores digitais.

O objetivo do problema consiste em converter um sinal analógico para digital, com valor de $5V_{pp}$ e periódico, de forma a manter o erro abaixo de 1% desse valor de referência. Ao final deste relatório, espera-se que seja possível compreender o funcionamento de um conversor A/D e as etapas envolvidas no seu projeto e implementação.

II. DESENVOLVIMENTO

O processo de conversão A/D foi realizado tanto de forma prática, utilizando um conversor ADC0804, como também, de

forma simulada. O passo a passo de cada um serão explicados a seguir.

Para tal, foi entendido que o erro deve ficar entre 50mV devido ao fato de que este não deve ultrapassar em 1% o valor máximo de amplitude do sinal de entrada, assim sendo, o erro de quantização ($\frac{LSB}{2}$) deve ser menor que 50mV. Para garantir esse requisito, realizou-se o cálculo abaixo:

$$E_{quant} = \frac{V_{max}}{2^n} = \frac{5000mV}{2^n}$$

Então:

$$E_{quant} = 50mV = \frac{5000mV}{2^n}$$

$$50mV \cdot 2^n = 5000mV$$

$$2^n = 100$$

Desta forma n pode ser aproximado para 7.

A. Simulação

Para realizar a simulação de um conversor analógico-digital, foi utilizado o software *NI Multisim* versão 14.0. Sua montagem consiste na utilização de 4 módulos principais: *Sample and Hold* (SH), que consiste em um segurador de ordem 0; SAR, no qual está presente a lógica das aproximações sucessivas e controle de conversão; Conversor Digital-Analógico (*Digital-Analogic Converter* - DAC); e por fim o SRG, utilizado manter estabilidade na saída do circuito durante aproximação do próximo resultado.

1) *Sample and Hold*: Este módulo realiza a amostragem e retenção do sinal, ou seja, dado um sinal de entrada, analógico, o mesmo é lido em intervalos de tempo definidos pelo período de amostragem, e então, o valor lido é mantido para ser operado pelos módulos subsequentes como um valor de referência de entrada, a ser comparado para a quantização e codificação. Segundo o Teorema de Nyquist, a frequência de leitura, também chamada de taxa de amostragem (f_s), deve ser duas vezes maior ou igual a máxima frequência (f_{max}) do sinal de entrada ($f_s \geq 2f_{max}$), garantindo, dessa forma, que não haverá *aliasing* no processo.

Para simular o circuito, foi utilizado dois amplificadores operacionais (AmpOp), modelo 741, com configuração de seguidor unitário (*buffer*), separados por uma chave controlada pela f_s e um capacitor de 100nF, conectado à entrada do segundo AmpOp, e ao terra, para segurar o valor no intervalo

necessário até a próxima leitura, que é realizada a cada fechamento de chave. O circuito pode ser visto na Fig.1.

O valor do capacitor, foi definido através da frequência de *clock* (25,6Hz) do *Sample and Hold*, que satisfaça a relação $t > 5\tau$, onde t é o inverso da frequência de *clock* e 5τ é o tempo de carga completa do capacitor:

$$\tau = R \cdot C \Rightarrow \tau = 10k\Omega \cdot 100nF \Rightarrow \tau = 1 \times 10^{-3}s$$

$$t > 5\tau \Rightarrow t > 5 \cdot 1 \times 10^{-3} \Rightarrow \frac{1}{25,6} > 5 \times 10^{-3} \Rightarrow 0,03906s > 0,005s$$

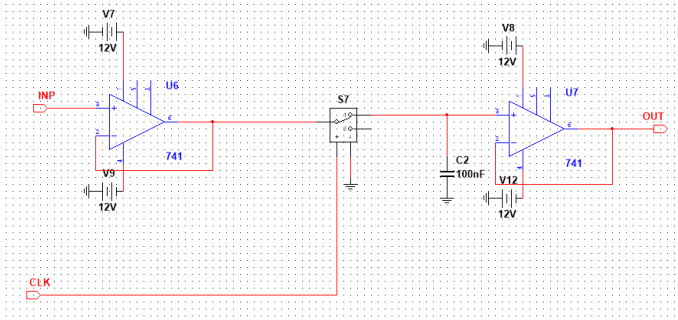


Figura 1. Componente *Sample and Hold* desenvolvido.

2) **SAR**: O componente SAR é o responsável por realizar as aproximações sucessivas, parte fundamental para este método de conversão analógica-digital. Como pode ser observado na Fig. 2, o processo de aproximações inicia alterando o *bit* mais significativo (MSB) para nível lógico alto (1), e então é verificado se o valor correspondente em *volts* é maior ou menor do que a tensão que se deseja aproximar. Caso seja menor, o MSB mantém o nível lógico alto, caso contrário, o mesmo é mudado para nível lógico baixo (0), e então será analisado o próximo *bit* mais a direita. Este processo é repetido até a verificação do *bit* menos significativo (LSB).

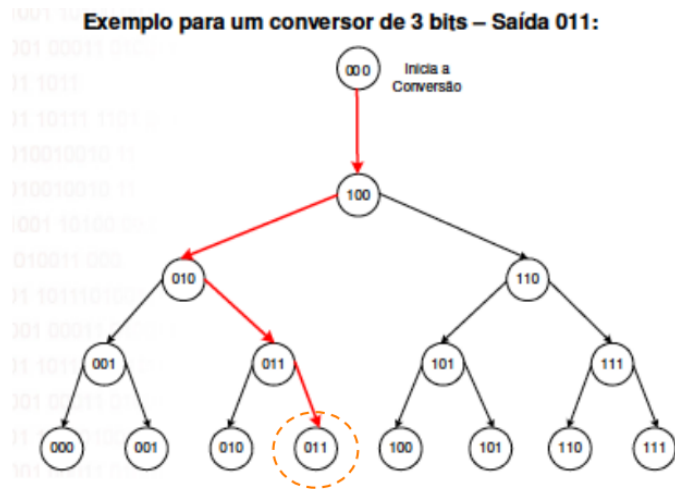


Figura 2. Exemplo aproximações sucessivas com 3 *bits*. Fonte: [3]

Para este projeto, foi desenvolvido um SAR de 7 *bits*, utilizando um contador de 4 *bits*, modelo 4028BD; e um de-

multiplexador (DEMUX) 3x8, modelo 74LS138D, que juntos são os responsáveis pela varredura dos *bits*, iniciando pelo MSB até o LSB. A lógica para manter o nível lógico alto ou baixo foi feita utilizando *Flip-Flop D* e porta lógica XNOR (devido à saída do DEMUX ser negada).

A Fig. 3 mostra como os componentes citados anteriormente foram conectados para o pleno funcionamento do SAR.

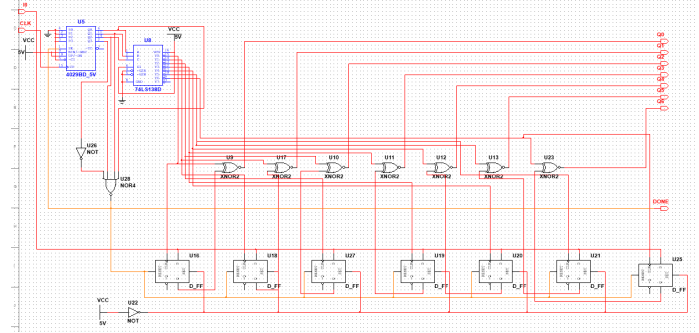


Figura 3. Componente SAR desenvolvido.

3) **DAC**: O conversor digital-analógico é um circuito que recebe uma palavra binária como entrada, e tem como saída o seu valor correspondente em *volts*. Para tal, foi construído utilizando o circuito R-2R, que como pode ser visto na Fig. 4, realiza a divisão de tensão, ou seja, cada um dos nós individualmente contribui com uma “parte” da tensão.

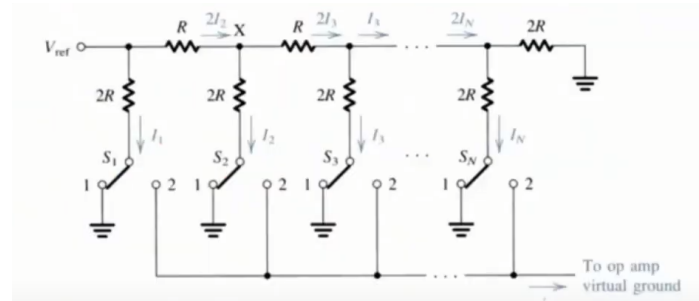


Figura 4. Circuito R-2R. Fonte: [2]

Para o desenvolvimento do componente, foi utilizada uma chave eletrônica controlada por tensão, em vez de um *switch* simples, isso foi feito para que a conversão seja realizada de maneira automática, sem interferências manuais. A saída de todas as chaves estão indo para a entrada inversora do AmpOp, que está na configuração de somador inversor, para que dessa forma, as contribuições de tensões de cada chave sejam somadas. Por conta disso, foi necessário utilizar um segundo AmpOp, porém na configuração inversor, para corrigir a fase do sinal. O circuito resultante pode ser observado na Fig. 5.

4) **SRG**: O SRG corresponde a um *buffer* de saída. Para seu desenvolvimento, foram utilizados somente *Flip-Flops D*, que são responsáveis por reter a última aproximação realizada, sendo que os mesmos são atualizados ao fim de cada leitura. Para o projeto, foram utilizados ao todo sete *Flip-Flops D*, como pode ser visto na Fig. 6.

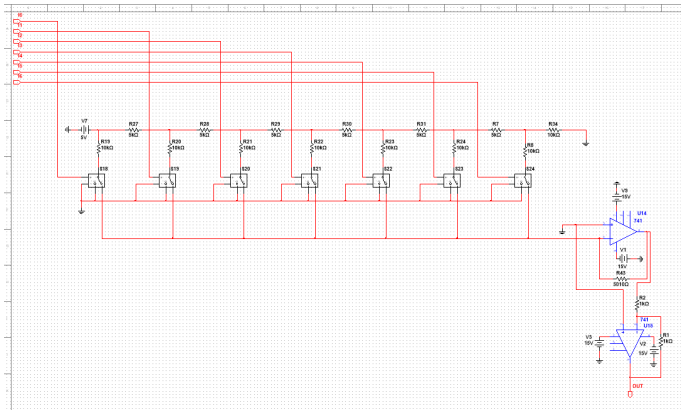


Figura 5. Conversor digital-analógico (DAC) desenvolvido.

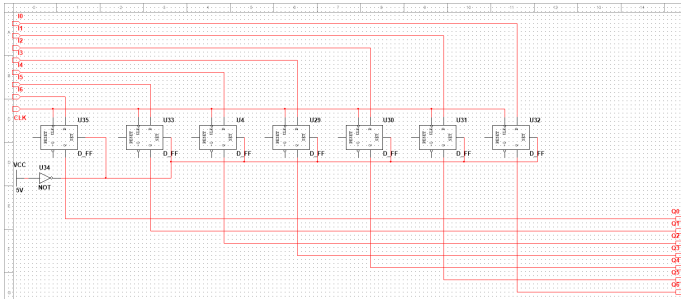


Figura 6. Componente SRG desenvolvido.

5) **Configurações:** Para realizar a simulação, foram definidas algumas configurações para o funcionamento.

- **Frequência do sinal de entrada:**

$$f_{in} = 100\text{mHz}$$

- **Frequência de clock do Sample & Hold (SH):**

Em um período do sinal de entrada, o SH irá retê-lo em 256 níveis.

$$f_{SH} = f_{in} \cdot 256 \text{ níveis} = 25,6\text{Hz}$$

- **Frequência de clock do Registrador por Aproximações Sucessivas (SAR):**

No período de uma retenção do sinal, a conversão do valor para binário deve ser feita em 8 ciclos (7 ciclos de conversão e 1 ciclo para registrar o valor convertido).

$$f_{SAR} = f_{SH} \cdot 8 \text{ ciclos/retenção} = 204,8\text{Hz}$$

- **Resistores da configuração R-2R do DAC:**

$$R = 5\text{k}\Omega; 2R = 10\text{k}\Omega$$

6) **Parâmetros importantes:** O projeto deve levar em consideração as especificações listadas a seguir. A partir delas, realizou-se a obtenção dos respectivos resultados:

- Resolução: $n = 7 \text{ bits}$;
- Precisão: $N = 128$ níveis de conversão;
- Margem dinâmica de conversão:

$$M = 20 \cdot \log(N) \cong 42\text{dB};$$

- Margem de erro: 1% do valor de referência do sinal analógico de pico a pico;

- Escala de entrada: 0 – 5V;
- Formato de saída: binário.
- Tempo de conversão:

$$t_{SH} = \frac{1}{f_{SH}} = \frac{1}{25,6} = 0,03906\text{s}$$

$$\text{Tempo de registro } (t_{reg}) = \frac{t_{SH}}{8} = 0,0048828\text{s}$$

$$\text{Tempo de conversão } (t_c) = \frac{n}{f_{clk}} + t_{reg} = 0,27832\text{s}$$

B. Montagem prática

A montagem prática foi realizada com o conversor analógico-digital ADC0804, sendo utilizado como base o circuito que está presente no *datasheet* do componente. O circuito foi previamente simulado utilizando o *software* Proteus 8 (Fig. 7), para que seu comportamento fosse avaliado e validado.

Como o ADC0804 é um conversor A/D de 8 *bits* e para esta conversão (5V com 1% de erro) somente 7 *bits* são suficientes, foram utilizados apenas os 7 *bits* mais significativos do componente.

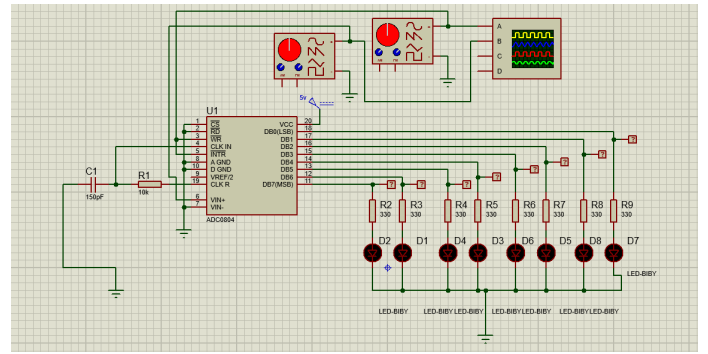


Figura 7. Circuito com o ADC0804 simulado.

As Fig. 8, 9 demonstram o circuito montado, utilizando um sinal de entrada no formato de onda triangular e retangular, respectivamente, no Laboratório de Processamento de Sinais (LABPS), além do ADC0804, foram utilizados:

- 1x Resistor de 10kΩ;
- 1x Capacitor de cerâmica de 150pF;
- 7x Resistores de 330Ω;
- 7x LEDs laranjas.

Os sinais de entrada foram gerados com amplitude 0 – 5V e frequência de 100mHz.

O clock do componente foi fornecido com uma onda retangular com amplitude de 0 – 5V e frequência de 25,6Hz.

A configuração dos LEDs que foi montada, representa os 7 *bits* de conversão, sendo que o LED mais inferior é definido como o *bit* mais significativo (MSB).

No instante da Fig. 8, a amplitude do sinal triangular foi convertida para o valor binário 1100110 (3,967V). No instante da Fig. 9, a amplitude do sinal retangular foi convertida para o valor binário 1111111 (4,933V).

III. DISCUSSÕES E RESULTADOS

Nesta seção será discutido à respeito da simulação, que foi realizada utilizando o *software* Multisim 14.0 e da montagem prática, feita em laboratório, mostrando os resultados obtidos e fazendo análises sobre os mesmos.

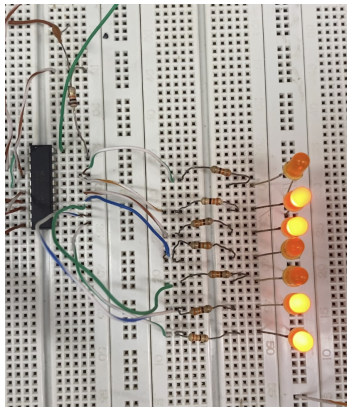


Figura 8. Circuito montado com o conversor ADC0804, utilizando uma onda triangular como sinal de entrada.

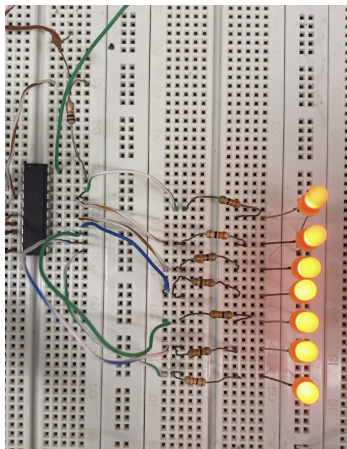


Figura 9. Circuito montado com o conversor ADC0804, utilizando uma onda retangular como sinal de entrada.

A. Simulação

O circuito final do conversor A/D projetado, pode ser observado na Fig. 10, em que é demonstrado como cada um dos componentes, explicados na seção anterior, estão conectados entre si. Os resultados obtidos na simulação podem ser vistos nas Fig. 11, 12.

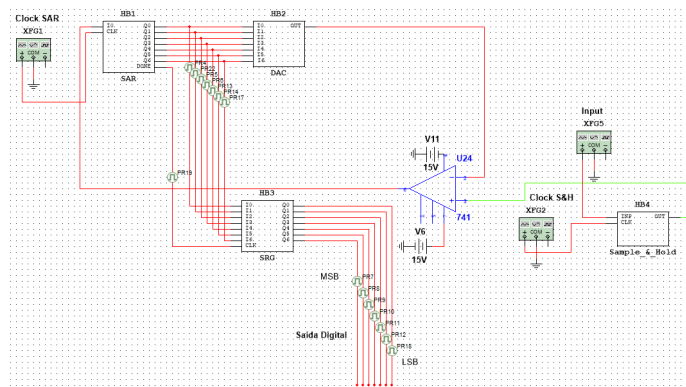


Figura 10. Circuito conversor analógico-digital projetado.

Na Fig. 11, o canal A (Vermelho) representa o sinal de entrada com *offset* de 0,2 div; o canal B (Roxo) mostra a saída do conversor A/D projetado; e o canal D (Verde) representa a saída do SH. O erro é exibido no canal C (Azul) com 50mV/div para onda triangular de 2.5Vp e *offset* 2,5V, durante o processo de subida do sinal.

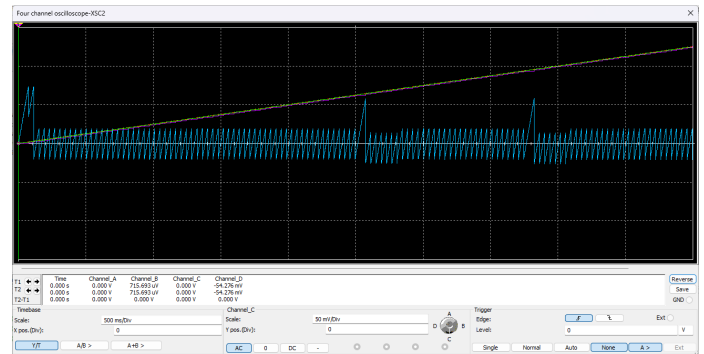


Figura 11. Resultado da simulação utilizando um sinal triangular de entrada com amplitude 0-5V e frequência de 100mHz.

Na Fig. 12, o canal A (Vermelho) representa o sinal de entrada com *offset* de 0,2 div; o canal B (Roxo) mostra a saída do do conversor A/D projetado; e o canal D (Verde) representa a saída do SH. O erro é exibido no canal C (Azul) com 50mV/div para onda retangular de 2.5Vp e *offset* 2,5V, processo de subida do sinal.

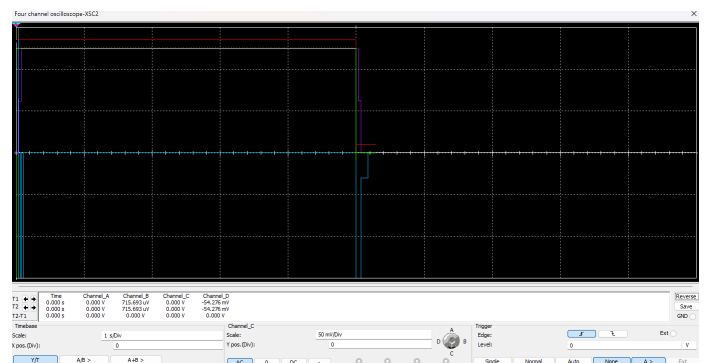


Figura 12. Resultado da simulação utilizando um sinal retangular de entrada com amplitude 0-5V e frequência de 100mHz.

Como pode ser observado nas Fig. 11, 12, as conversões dos valores 0V e 5V, contêm um maior erro, que pode ser explicado uma vez que, durante o processo de conversão, o componente responsável pela conversão digital-analógica (o DAC), não apresenta os valores 0V e 5V exatos, que posteriormente serão comparados e utilizados no método de aproximações sucessivas, isso está relacionado com o último resistor da configuração R-2R presente no DAC. Assim tem-se o sinal convertido variando de aproximadamente 37,4mV - 4,97V.

Para a frequência do SH, foi usado 25,6Hz, já no SAR, a frequência é de 8 vezes a frequência do SH, ou seja, 204,8Hz, isto para um sinal de entrada de frequência igual a 100mHz.

Na montagem prática não foi possível montar o circuito para o cálculo do erro do sinal de entrada com relação o sinal convertido, uma vez que seria necessário a utilização de um DAC, não sendo encontrado para realizar a comparação.

B. Erro

1) *Simulação:* O processo de medição do erro na simulação foi feito através de um cálculo utilizando um AmpOp, configurado como um subtrator, tendo como entradas o sinal de entrada do circuito e a saída do circuito convertida pra analógica por um módulo DAC adicional, isso pode ser visto na Fig. 13. Assim, a saída do AmpOp é a subtração desses dois valores, ou seja, a variação do erro, que não deve ultrapassar 1% do sinal de entrada. Pode-se observar o tal cálculo ao longo do tempo na Fig. 14.

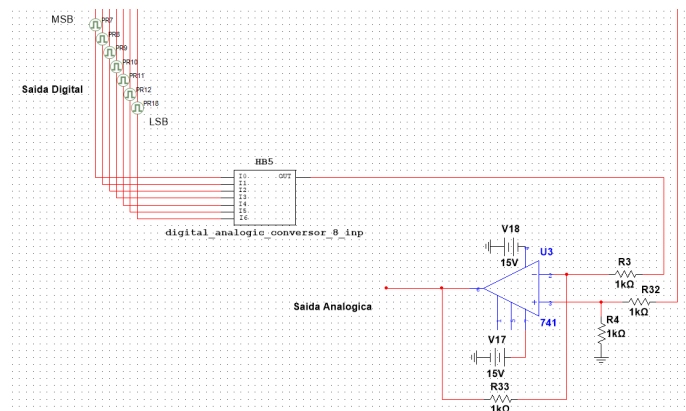


Figura 13. Circuito para cálculo do erro.

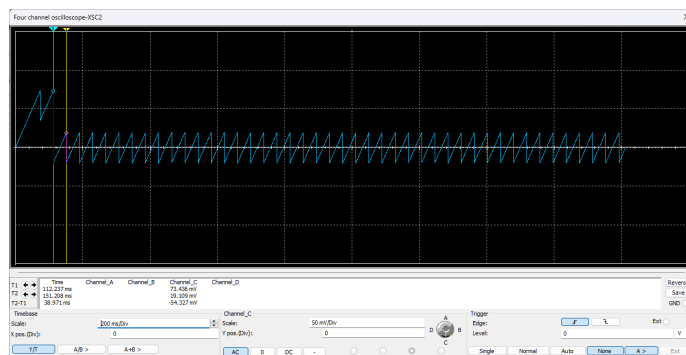


Figura 14. Variação do erro ao longo do tempo.

Analisando o resultado obtido, pode-se observar alguns picos de variação, por conta de uma limitação do DAC, explicada na seção anterior, que recomeça a contagem muito rapidamente em valores de pico, 0V e 5V, e do SH, que realiza duas leituras convertidas em um mesmo nível, como em 2,5V e 3,75V (Fig. 11). Tais picos de erro alcançam um valor de cerca de 57mV e os demais se mantêm em torno de 19mV.

Para este circuito existem 4 tipos de erros, sendo eles listados e explicados abaixo:

• Erro de *offset*:

É o valor de entrada no meio degrau quando o código de saída do conversor A/D é zero. Como pode ser observado na Fig. 15, o sinal de saída convertido novamente para analógico (Roxo) está um pouco abaixo do sinal de entrada (Vermelho).

Enquanto o sinal de entrada está em 0V, o sinal de saída está em 715,693μV, ou seja, o erro de *offset* é justamente de 715,693μV.

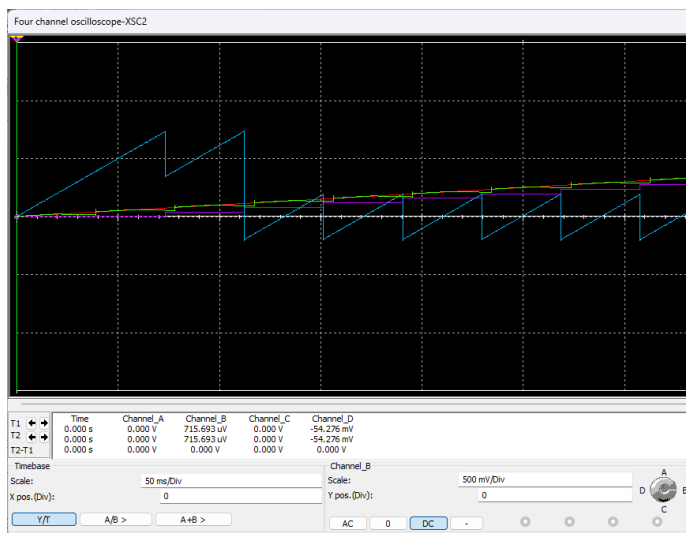


Figura 15. Erro de *offset* no sinal de entrada triangular.

• Erro de ganho:

É a diferença entre o valor no meio do degrau ideal e o valor do degrau real quando o código de saída é máximo. Pela Fig. 16, existe uma diferença entre o sinal máximo de entrada (Vermelho) e seu valor analógico depois de convertido (Roxo). O sinal de entrada está em 4,996V, enquanto o sinal convertido está em 4,970V. Então a diferença entre estes valores resulta em 26mV.

• Erro de não linearidade diferencial:

É a diferença entre a largura de 1 LSB de um degrau ideal e um degrau real para cada código digital.

A partir da Fig. 17, analisando o sinal de saída convertido em analógico novamente (Roxo), o erro diferencial pode ser calculado como a subtração entre o valor do *bit* menos significativo (LSB), que é de 39,0625mV; pela diferença entre os degraus que é de 38,881mV, dessa forma, o erro diferencial é de 181,5μV.

• Erro de não linearidade integral:

É o desvio medido nas transições de um degrau para o seguinte do sinal convertido em comparação com o sinal amostrado. Como pode ser visto na Fig. 18, o sinal convertido (Roxo) difere do sinal amostrado (Verde). O sinal Roxo está em 195,812mV e o sinal Verde está em 208,671mV. O erro integral é dado por 12,859mV.

2) *Montagem prática:* No laboratório, não foi possível montar o circuito para o cálculo do erro do sinal de entrada

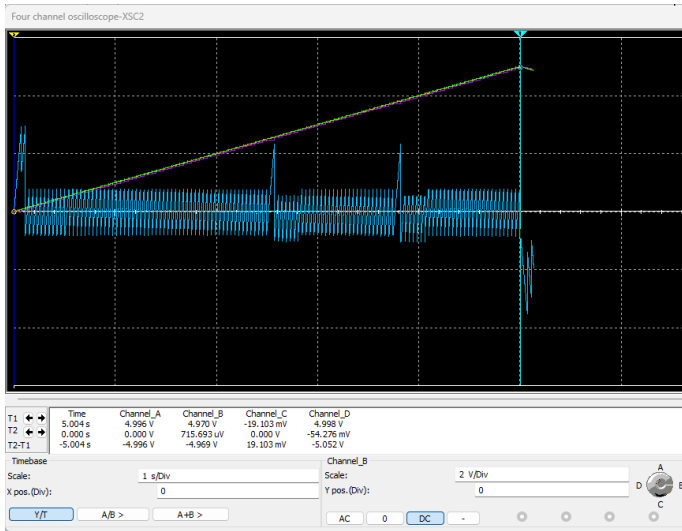


Figura 16. Erro de ganho no sinal de entrada triangular.

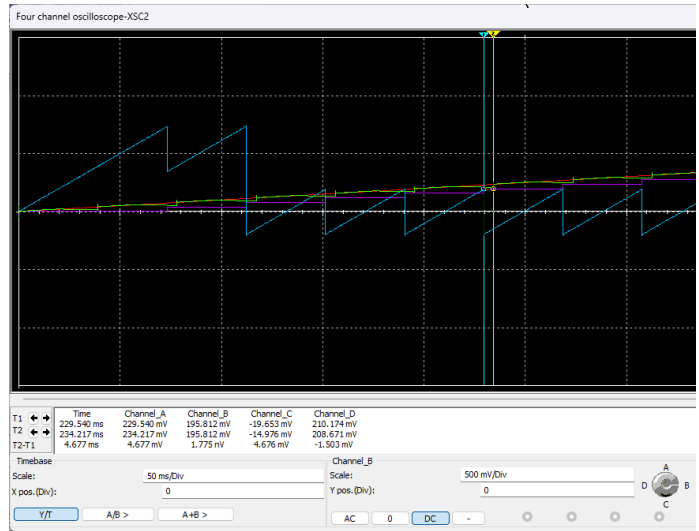


Figura 18. Erro integral no sinal de entrada triangular.

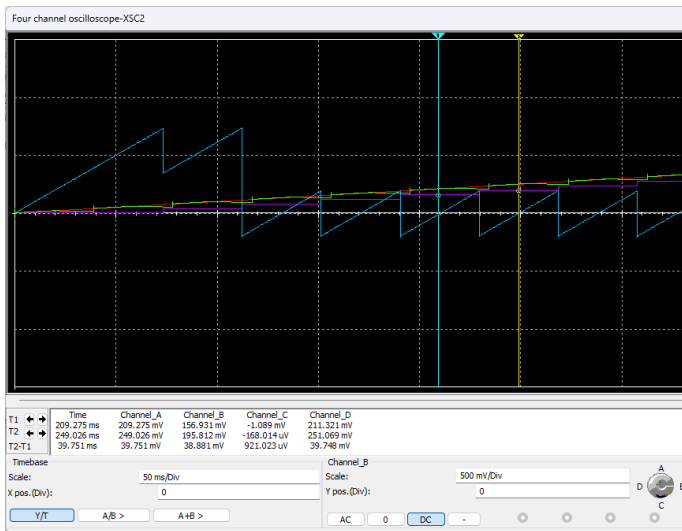


Figura 17. Erro diferencial no sinal de entrada triangular.

Tabela I
COMPARAÇÃO CIRCUITO SIMULADO E NA PRÁTICA

Saída Digital	Prática (V)	Simulação (V)	Diferença (mV)
0 0 0 0 0 1	0,034	0,041	7
0 0 0 1 1 1	0,584	0,589	5
0 0 1 1 0 1 0	1,008	1,017	9
0 1 0 1 0 0 0	1,548	1,564	16
0 1 1 1 1 1 0	2,403	2,426	23
1 0 0 1 0 1 0	2,874	2,896	22
1 1 0 1 1 0 1	4,238	4,268	30
1 1 1 1 1 1 1	4,933	4,971	38

atualmente, porém, é um dos pontos essenciais, que tornou possível os diversos avanços tecnológicos das últimas décadas, como processamento digital de imagens, vídeos, áudio, melhorias em codificação e transmissão de dados, dentre outros.

Durante o desenvolvimento, além de entender a real importância desse módulo, presente nas tecnologias atuais, foi possível aprender sobre o seu funcionamento interno, como cada parte atua e opera para gerar a saída esperada, além dos erros e limitações existentes.

REFERÊNCIAS

- [1] F. Elnatan C. (2012). *Aula 18 Sistemas de conversão AD e DA* [Online]. Available: <https://www.dsif.fee.unicamp.br/~elwatan/ee610/18a%20Aula.pdf>. (accessed Apr 13, 2023).
- [2] Hudson Zanin. *Escada R/2R - Conversor D/A*. (Nov. 11, 2020). Accessed Apr 06, 2023. [Online Video]. Available: <https://www.youtube.com/watch?v=Tg65KwhTtIA>.
- [3] L. Manoel E. (2016). *Conversão Digital Analógico e Analógico Digital* [Online]. Available: https://www.cin.ufpe.br/~es238/arquivos/aulas/aula17_conversores_add_a.pdf. (accessed Apr 10, 2023).
- [4] TEXAS Instruments (2015). *ADC080x 8-Bit, μ P-Compatible, Analog-to-Digital Converters* [Online]. Available: https://www.ti.com/lit/ds/symlink/adc0804-n.pdf?ts=1681363970215&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FADC0804-N. (accessed Mar 16, 2023).

IV. CONCLUSÕES

A partir do circuito e das simulação realizadas, foi possível observar o funcionamento do conversor A/D, analisando suas etapas e entendendo sua importância. Esse processo de conversão é apenas uma pequena parte dos projetos que existem

com relação o sinal convertido, uma vez que seria necessário a utilização de um DAC.

3) *Comparação Circuito Simulado e na Prática*: Também foi realizada uma comparação entre a conversão analógica-digital utilizando o ADC0804 e o conversor projetado via *software de simulação*, para isso, foi realizada uma bateria de testes no qual foi conectada uma fonte DC na entrada de ambas, e o de valor de tensão foi variado, assim validando o funcionamento dos circuitos. Como pode ser observado na Tabela I, a diferença entre os valores utilizando o CI e os valores da simulação é bem pequena.