

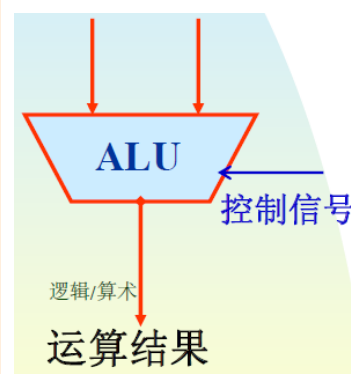
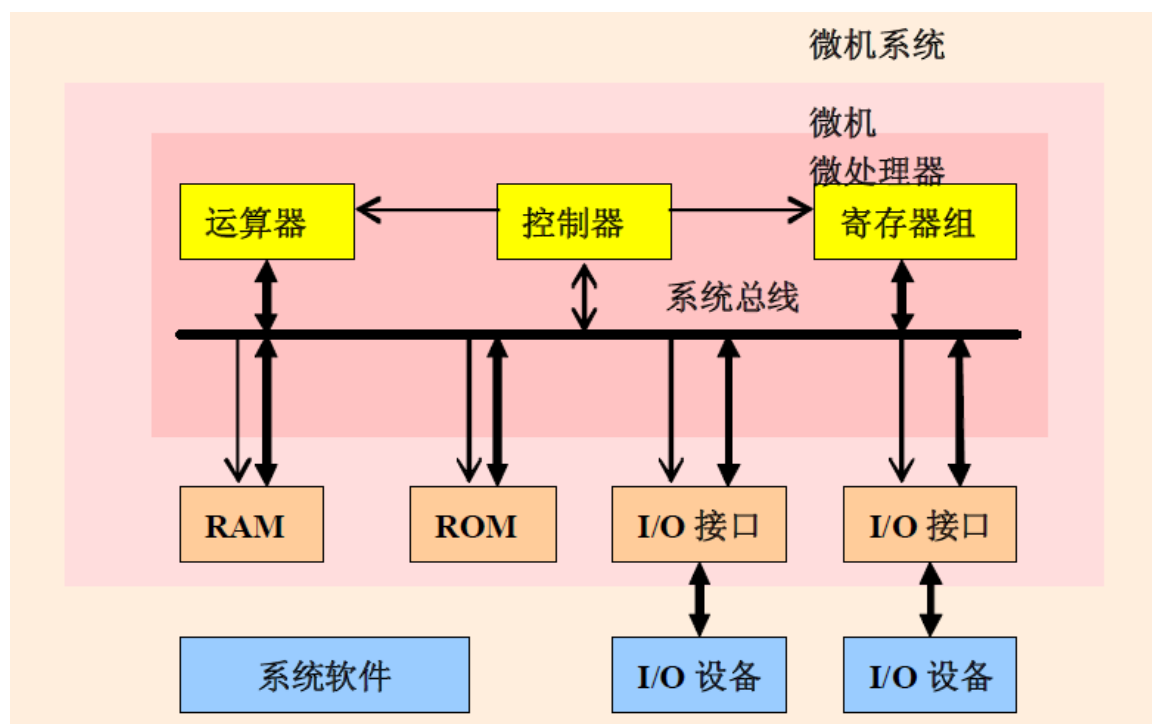
## 计算机系统的基本构成

### 6 计算机架构

冯·诺依曼：运算器、控制器、存储器、输入设备、输出设备

哈佛结构：存储器 -> 指令存储器，数据存储器

### 8 微型计算机系统的构成



### 11 运算器

### 12 存储器

位 (0/1)

字节 (是所有存储器的基本存储数据单元)

字 (通用寄存器的位数和数据总线的宽度，并行能力，16)

字数：存储器的地址范围<-所需要的地址总线 (字扩展)

位数：存储器的数据范围<-所需要的数据总线 (位扩展)

寻址方式：大数端 (最低字节存储在高地址)，小数端

### 13 控制器

指令在计算机中用二进制的代码 (机器码) 表示

普通 CPU 五级流水：取指，译码，运算执行，访存，写回

指令流水线相关性：资源 (结构) 相关，数据相关，控制相关

指令系统计算机：复杂 (CISC)，简单 (RISC)

### 21 总线

各模块之间进行信息传输的公共线路

发送方和接收方，主设备和从设备

(电气特性) 传输方向：单工，双工 (半双工，全双工)；定时特征：同步，异步。

地址总线：CPU (发出) 用来向存储器或 I/O 端口传送地址，CPU 可直接寻址的内存容量 $2^n$

数据总线：CPU 与存储器及外设交换数据的通路，双向三态，位数与微处理器的位数相同 (字，并行能力)

控制总线：命令信号线 (CPU→MEM/IO)，状态信号线 (MEM/IO→CPU)

总线结构：单 (CPU 与内存间无存储总线)，双 (面向 CPU：存储/IO 总线，面向主存：内存与 IO 总线相连)

### 38 输入输出设备

寻址：统一编址法：存储器映像的外设寻址；单独编址法：访问存储器和访问外围设备采用不同的指令

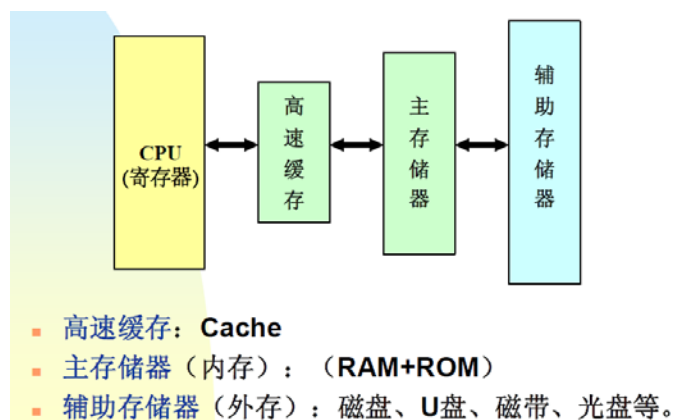
数据传送的方式：程序控制方式 (程序查询，中断)，直接存储器访问 (DMA) 方式，通道方式

DMA：DMA 控制器取代 CPU 临时接管总线，控制外设与存储器之间直接进行高速的数据传送 (在硬件控制下)

通道方式：在多个设备之间共享 DMA 控制器，通道命令控制多个外设，而 DMA 只能进行固定的数据传输操作。

### 53 计算机层次

应用软件为用户提供了应用系统的界面，使用户方便地使用计算机解决具体问题。



#### 简单的中断处理过程

- ① 关中断
- ② 保存现场
- ③ 识别中断
- ④ 形成服务程序入口地址
- ⑤ 执行服务程序
- ⑥ 恢复现场
- ⑦ 开中断

系统软件（最主要：操作系统）则向用户提供了一个基本的操作界面，并向应用软件提供功能上的支持。

硬件系统是整个计算机系统的基础和核心

计算机的功能的硬件实现，软件实现在逻辑上是等效的，其区别在于速度、成本、可靠性、存储容量、变更周期等  
固件：把固定不变的常用软件固化在硬件中

## 60 计算机语言

机器语言（二进制），汇编语言（文字符号，助记符的机器语言），高级语言（与结构无关），应用语言

编译过程：词法分析，语法分析，生成中间代码，代码优化，生成目标代码

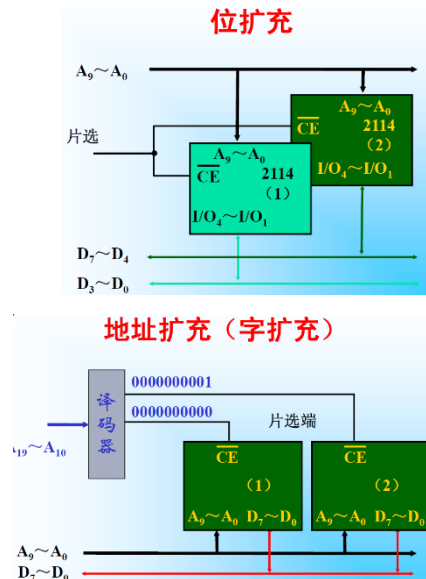
## 71 嵌入式系统

以应用为中心、以计算机技术为基础、软件硬件可裁剪、适应应用系统的专用计算机系统。

与嵌入式计算机系统相对立的是通用计算机系统

面向特定应用，成本低，低功耗，实时性，高可靠，免维护

## 存储系统



## 120 数据线

若芯片的数据线不足：位扩充

## 122 地址线

若芯片的地址线不足：字扩充

线性选择方式：少数几根高位地址线，每根译码选中一个芯片，构成简单，地址空间浪费，地址重复（选取高位0）

全译码：低位地址线片内译码，高位地址线片选译码（译码器），构成复杂，地址唯一

部分译码：只有部分高位地址线参与片选译码，构成一般，地址重复

**例2** 某计算机系统的主存采用32位字节地址空间和64位数据线访问存储器，若使用64M位的DRAM芯片组成该机所允许的最大主存空间，并采用内存条的形式，问：

(1) 若每个内存条为64M×32位，共需多少内存条？

(2) 每个内存条内共有多少片DRAM芯片？

(3) 主存共需多少DRAM芯片？

(4) CPU如何有选择地访问各内存条？

(1) 主存最大空间为 $2^{32}=4\text{GB}$ ，每个内存条的容量为 $64\text{M} \times 4\text{B} = 256\text{MB}$ ，主存需要的内存条数量为 $4\text{GB}/256\text{MB}=16$ 条。

(2) 每个芯片的容量为8MB，内存条需要的芯片数量为 $256\text{MB}/8\text{MB} = 32$ 片。

(3) 整个主存需要的内存芯片数量是 $16 \times 32=512$ 片。

(4) 由于CPU字长为64位，内存条需要进行位扩展，即2个32位的内存条构成一组64位的存储单元组，16个内存条构成8组，为选择这8组内存条，CPU地址中需要用最高3位地址作为产生选择信号的地址码。

**29.** 用1024×1 位的RAM 芯片组成16K×8 位的存储器，需要多少芯片？在地址线中有多少位参与片内寻址？多少位组合成片选择信号？（设地址总线为16 位）

**答：**由于所用的芯片为1024×1 位，构成1024×8 位（即1K×8 位）的存储器需要8 片，因此组成16K×8 位的存储器需要 $16 \times 8=128$  片。片内有1024 个单元，需要10 根地址线。16 组（每组8 片）存储器需要16 根片选信号，至少需要4 根地址线经译码器输出。

**31.** 利用1024×8 位的RAM 芯片组成4K×8 位的存储器系统，试用A15~A12 地址线用线性选择法产生片选信号，存储器的地址分配有什么问题，并指明各芯片的地址分配。

**答：**组成4K×8 的存储器，那么需要4 片这样的芯片：将A15 取反后分配芯片1 的CS；将A14 取反后分配给芯片2 的CS；将A13 取反后分配芯片3 的CS；将A12 取反后分配给芯片4 的CS。



二、编程结构（功能结构）

EU功能：  
指令译码  
执行指令

执行单元（EU）

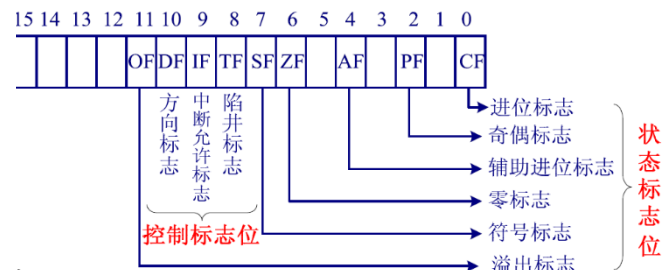
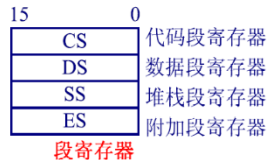
总线接口单元（BIU）

地址总线（20位）

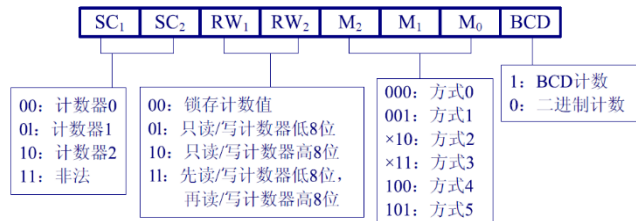
BIU功能：  
地址形成  
取指令  
指令排队  
读/写操作数  
总线控制



累加器  
基址寄存器  
计数寄存器  
数据寄存器



- 165 最小模式（单微处理器模式），最大模式（多微处理器模式）
- 184 存储器分段：64KB 一段，20 位物理地址=段基址<<4+ 偏移地址
- 193 堆栈：入栈 SP 减 2，出栈 SP 加 2，中断时 CS,IP,FLAG 入栈/出栈
- 206 操作数寻址  
立即数，寄存器，存储器  
20 位物理地址对应：CS+IP（代码段），DS+默认/BX，SS+BP  
[]包含的元素直接加在偏移地址上  
连续读取两个字的数据（4 位 16 进制）



典型接口芯片

380 可编程计数器/定时器 8253

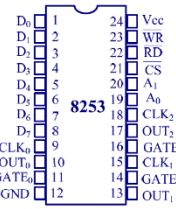
减法计数器，在送入计数初值后，每来一个计数脉冲就减 1，减到 0 时产生一个定时信号输出  
软件启动：送入控制字后一周，硬件启动：GATE 拉高后 CLK 上升沿触发  
工作方式：0：计数结束中断，1：可重复触发的单稳态触发器 2：频率发生器，3：方波发生器  
控制字，初始化程序

例：某8086微机系统中，8253的三个计数器端口地址分别为3F0H，3F1H，3F2H，控制寄存器端口地址为3F3H，要求通道0工作于方式3，且计数初值n = 1234。则初始化程序为：

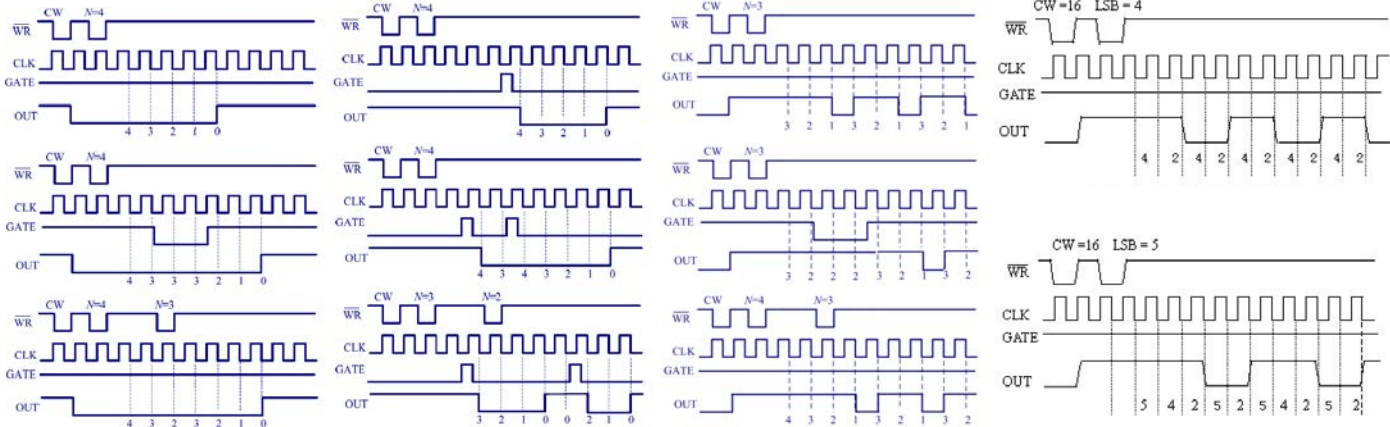
```
MOV AL, 00110111B; 控制字
MOV DX, 3F3H      ; 控制端口
OUT DX, AL         ; 送控制字
MOV DX, 3F0H      ; 通道0口的地址
MOV AL, 34H       ; 计数值低字节
OUT DX, AL         ; 写低字节
MOV AL, 12H       ; 计数值高字节
OUT DX, AL         ; 写高字节
```

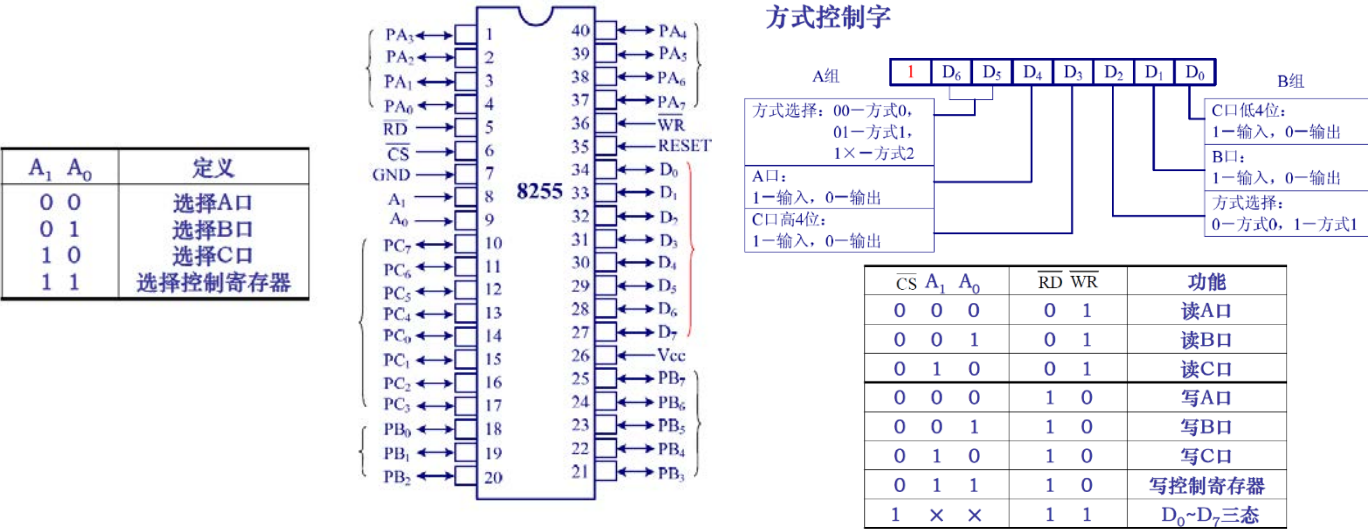
例：接上例，8253的端口地址分别为3F0H，3F1H，3F2H，3F3H，要求通道0工作于方式0，且计数初值n = 1234。读当前计数值的程序为：

```
MOV AL, 00000001B; 控制字
MOV DX, 3F3H      ; 控制端口
OUT DX, AL         ; 送控制字
MOV DX, 3F0H      ; 通道0口的地址
IN AL, DX          ; 读低字节
MOV AH, AL         ; 保存
IN AL, DX          ; 读高字节
XCHG AH, AL        ; 存入AX
```



CS	RD	WR	A <sub>1</sub> A <sub>0</sub>	定义
0	1	0	00	写入计数器0
0	1	0	01	写入计数器1
0	1	0	10	写入计数器2
0	1	0	11	写入控制寄存器
0	0	1	00	读计数器0
0	0	1	01	读计数器1
0	0	1	10	读计数器2
0	0	1	11	无操作
1	×	×	×	禁止使用
0	1	1	×	无操作





数据寄存/传送器

工作方式：0：基本输入/输出方式

A 口、B 口、C 口的高 4 位、C 口的低 4 位可分别定义为输入或输出

无条件传送方式：所有位地位相同，都可以用做数据线

查询工作方式：将 C 口的某 4 位定义为输入，接收外设的状态信号；将 C 口的另外 4 位定义为输出，产生控制信号

438 串口通信和可编程接口芯片 8251A

波特率：单位时间传送的位数，单位 bps(bit/s)

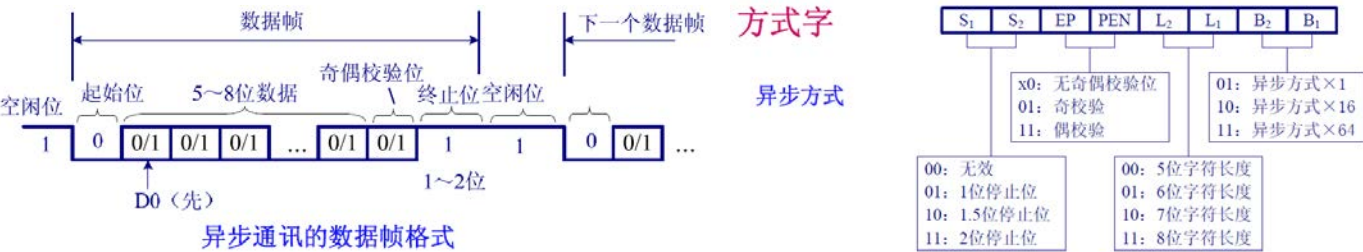
波特率因子 K：每 bit 占用的时钟周期数，接收或发送时钟频率/波特率，可取 1，16，32，64

常用的调制技术：幅度调制，频移键控法

两种串行通信方式：异步串行通信、同步串行通信

串行通信的校验方法：奇偶校验，循环冗余校验（CRC）

8251A 可用于同步和异步通信方式，完全双工，具有奇偶、溢出和帧错等检测电路



例：编写8251异步模式下的接收和发送程序，完成256个字符的发送和接收，设端口地址：208H，209H，波特率因子16，1起始位，1停止位，无奇偶校验，每字符8位。

```
MOV AL, 01001110B ;方式选择字
MOV DX, AL
MOV AL, 00110111B ;工作命令字
OUT DX, AL
MOV CX, 256 ;发送256字节
NEXT: MOV DX, 209H ;状态字寄存器209H
IN AL, DX ;状态字
AND AL, 01H ;TxRDY?
JZ NEXT
MOV AL, [DI]
MOV DX, 208H ;数据寄存器208H
OUT DX, AL ;发送
INC DI
LOOP NEXT
```



中断向量表：

- 内存00000—003FFH的1K大小的空间
- 每个入口地址4字节，一共可以放256个中断向量
- 各中断向量在表中排序为中断类型号

专用中断：

- 除法错中断（0）
- 单步中断（1）
- 不可屏蔽中断（2）
- 断点中断（3）
- 溢出中断（4）

0#	中断程序入口偏移地址的低字节
0#	中断程序入口偏移地址的高字节
0#	中断程序入口段地址的低字节
0#	中断程序入口段地址的高字节
...	...
255#	中断程序入口偏移地址的低字节
255#	中断程序入口偏移地址的高字节
255#	中断程序入口段地址的低字节
255#	中断程序入口段地址的高字节