

# UNIVERSIDADE ESTADUAL DE FEIRA DE SANTANA

## DEPARTAMENTO DE TECNOLOGIA

### TEC498 PROJETO DE CIRCUITOS DIGITAIS

#### PROBLEMA 02: “Qual a coordenada”

Allen Hichard Santos, Caique Trindade, Indiane de Souza, Khaíck Brito, Nayara Chagas,  
Renato Mascarenhas.

**Tutor:** Márcia Prado

## 1 INTRODUÇÃO

Visando uma maior valorização no mercado e também o aumento de investimentos no desenvolvimento de *IP*-cores, o grupo Inova Digital Bahia S. A. propôs a agregação de *displays* ao projeto da matriz de *Leds* já existente. Tais painéis foram destinados para exibir as coordenadas inseridas através de entradas hexadecimais simbolizando colunas com valores de A até E e linhas de 0 até 6.

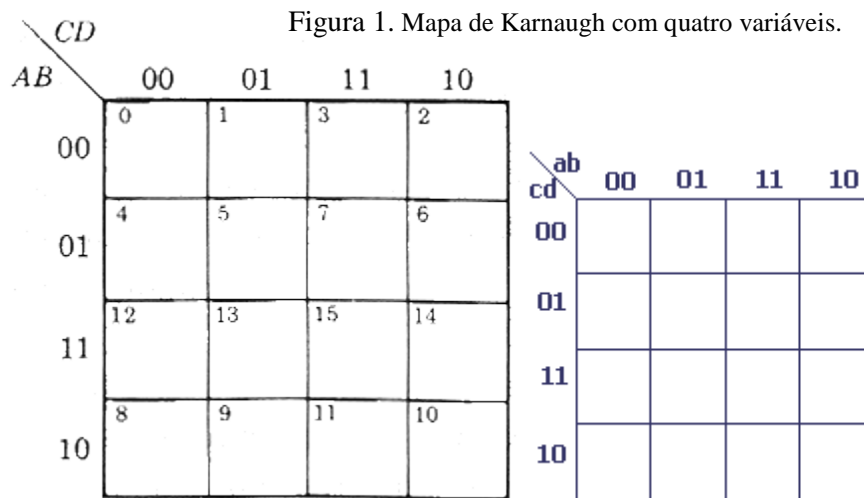
O grupo ficou incumbido de desenvolver as lógicas necessárias para o acendimento correto e coerente do *display* de *Leds* juntamente com a montagem ergonômica do projeto. Para tal feito foram necessários conhecimentos, que serão abordados nesse relatório, sobre técnicas de desenvolvimento e simplificação de equações lógicas, domínio de conteúdo relacionado a manipulação do *display* de *Leds* e divisão de frequência através da aplicação de *Flip-flops* e *Clock*.

## 2 FUNDAMENTAÇÃO TEÓRICA

Nesta seção serão expostos os conceitos dos dispositivos e periféricos utilizados na confecção do produto, assim como os aspectos teóricos dos mesmos à luz das informações já existentes.

### 2.1 Mapa de Karnaugh

O mapeamento de Veitch-Karnaugh é dado através da montagem de uma tabela formada por  $2^n$  células, sendo  $n$  equivalente ao número de variáveis de entrada (No mínimo duas), e suas respectivas saídas visando a simplificação das expressões lógicas.



Fonte: <http://www.gaudry.be/img/log/k4.gif>.

As análises do mapa são feitas aplicando-se os conceitos de Adjacência e enlace. Quando utiliza-se das agregações entre saídas representadas por 1, cada enlace será um produto (AND) entre as variáveis que não tem seu valor alterado e haverá a soma de todos os enlaces, quando agregadas por 0, os enlaces serão uma soma (OR) entre as variáveis inalteradas e todos os enlaces serão unidos por produtos.

## 2.2 Display de sete segmentos

Display de 7 segmentos (DSS) são componentes eletrônicos compostos de LEDs e são muito utilizados para mostrar números e algumas letras por sua grande facilidade de manuseio e disposição dos pinos. Comumente, representam a sequência hexadecimal (0 a F), e possui em cada dígito 7 segmentos, o que lhe dá o nome, além possuir dois pinos que ativam e desativam o acendimento do display.

No problema proposto, foi utilizado um display de 7 segmentos com 2 dígitos, sendo um dígito responsável pela linha, e o outro pela coluna.

Tabela 1: Variáveis de entrada e as saídas correspondentes.

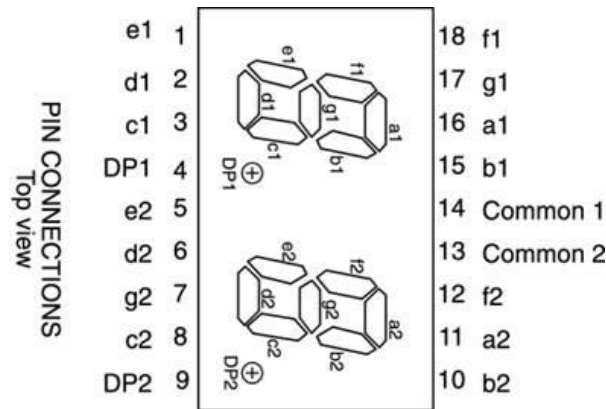
BINARIO	HEXADECIMAL	Pinos ->	a	b	c	d	e	f	g		
0.0.0.0	0		1	1	1	1	1	1	0		Formato do B
0.0.0.1	1		0	1	1	0	0	0	0		
0.0.1.0	2		1	1	0	1	1	0	1		
0.0.1.1	3		1	1	1	1	0	0	1		b
0.1.0.0	4		0	1	1	0	0	1	1		
0.1.0.1	5		1	0	1	1	0	1	1		Formato do D
0.1.1.0	6		1	0	1	1	1	1	1		
0.1.1.1	7		0	0	0	0	0	0	0		
1.0.0.0	8		0	0	0	0	0	0	0		d
1.0.0.1	9		0	0	0	0	0	0	0		
1.0.1.0	A		1	1	1	0	1	1	1		
1.0.1.1	B		0	0	1	1	1	1	1		
1.1.0.0	C		1	0	0	1	1	1	0		
1.1.0.1	D		1	1	1	1	0	0	1		
1.1.1.0	E		1	0	0	1	1	1	1		
1.1.1.1	F		0	0	0	0	0	0	0		

Fonte: O próprio autor.

### 2.3 Portas lógicas

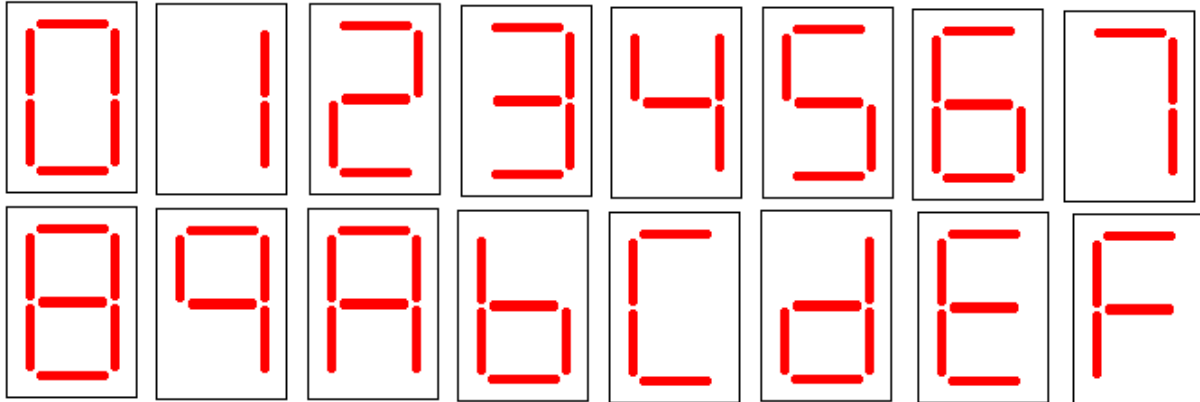
Na figura 2 e 3, é possível observar a disposição dos segmentos e da pinagem específica de um display de 7 segmentos com 2 dígitos e a representação de cada letra e número no display.

Figura 2: Pinagem de DSS com 2 dígitos.



Fonte: <http://www.palcoelectronica.es/led/led/display7segmentos/img/5.png>

Figura 3. Representação Alfanumérica Hexadecimal em um DSS.



Fonte: <http://s3.amazonaws.com/magoo/ABAAABU5gAF-0.jpg>

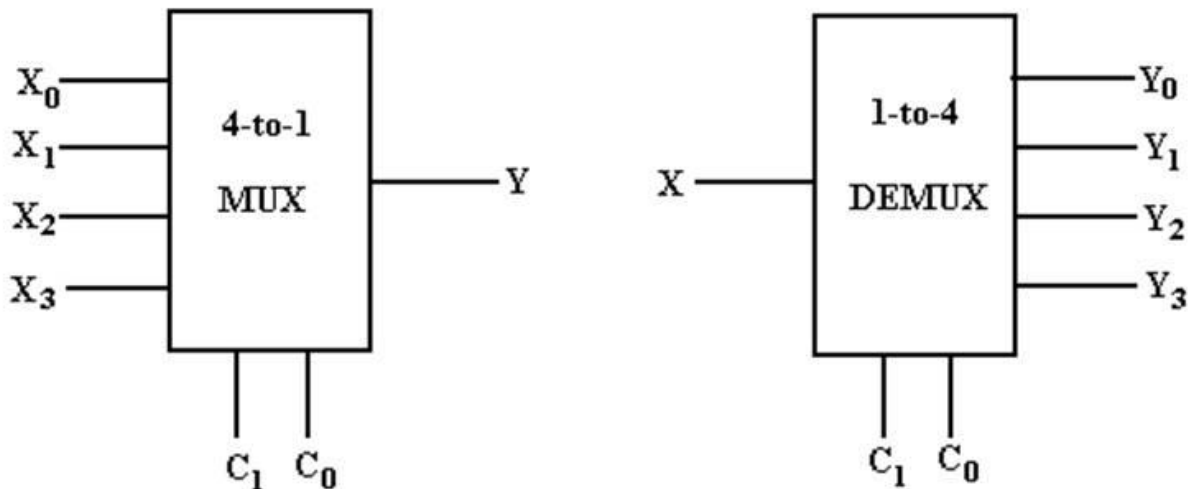
### 2.4 Multiplexadores e Demultiplexadores

Multiplexadores (MUX) são sistemas digitais que possuem várias entradas e uma saída, além de uma chave seletora que seleciona qual das entradas será conectada com a saída através de comandos lógicos, esta entrada irá transferir seus dados para aquela saída selecionada.

Demultiplexadores (DEMUX) são sistemas digitais que possuem uma entrada e várias saídas, além de um seletor, seu funcionamento é similar ao MUX, onde a chave irá selecionar quais das saídas irão receber os dados enviados da entrada.

A quantidade de entradas em um MUX e de saída em um DEMUX é dado por  $2^n$ , onde  $n$  é o número de chaves, por exemplo para um MUX de 8 entradas são necessárias 3 chaves seletoras,  $2^3 = 8$ .

Figura 4: Exemplo de MUX e DEMUX de 4 entradas e 4 saídas.



Fonte:

[http://www.edwardbosworth.com/My5155\\_Slides/Chapter05/MuxAndDemux\\_files/image036.jpg](http://www.edwardbosworth.com/My5155_Slides/Chapter05/MuxAndDemux_files/image036.jpg)

Podemos dizer que um Multiplexador é um decodificador com características seletoras de dados, onde torna possível haver liberação de bits de dados de acordo com seu tipo de controle que pode ser um *enable*<sup>1</sup> ou 1 ou mais bits seletores.

O multiplexador usa como seletor o *CLOCK* e recebe 8 bits de entradas através do *DIP SWITCH*, no caso 2 *nibbles*, cada *nibble* só é liberado de acordo com o nível lógico do *CLOCK* (Quando o *CLOCK* é 0 é escolhido o *nibble* de saída será 0000, que corresponde a linha, e quando for 1 é escolhido o *nibble* de saída corresponderá a coluna), sendo esse níveis 0s ou 1s.

Para o problema foi utilizado o Multiplexador 8x4, sendo 8 entradas e 4 saídas, além do seletor de controle.

## 2.5 Clock

Em eletrônica e especialmente em circuitos digitais síncronos, o **clock** é um sinal usado para coordenar as ações de dois ou mais circuitos eletrônicos. Um sinal de clock oscila entre os estados alto e baixo, normalmente usando um *duty cycle* de 50%, e gerando uma onda quadrada. Circuitos que usam o sinal de clock para sincronização podem se tornar ativos no ápice, na queda ou em ambos os momentos do sinal de clock.

O clock utilizado foi o da própria FPGA, que gera em uma frequência de 32.768 MHz por segundo, com uma frequência nessa escala não seria possível notar as mudanças dos

estados de níveis de tensão ao olho humano, portanto tornou-se necessário dividir a sua frequência para que fosse possível notar as mudanças e assim garantindo uma melhor multiplexação do circuito como também melhor decodificação.

## 2.6 Divisor de Frequência

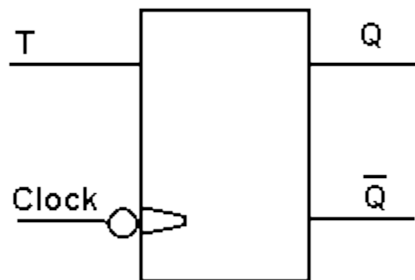
No circuito divisor de frequência, a frequência dos pulsos na saída corresponde à metade da frequência de entrada no bloco. Logo, se for aplicada uma frequência de 48Hz na entrada do bloco, uma frequência de 24Hz será a saída, que alimentará o próximo bloco, mantendo assim uma sucessão.

Como no divisor, o funcionamento acontece da seguinte forma: a primeira saída é igual a  $2^1 = 2$ ; a segunda saída é igual a  $2^2 = 4$  e assim sucessivamente, a formação ocorre desde a primeira até a última saída, ou seja, o divisor ajusta o sinal do clock para que as informações sejam alteradas numa frequência perceptível ao olho humano.

## 2.7 Flip-Flops

Os flip-flops são circuitos derivados dos Latches, porém são ativados pela transição do sinal de controle (clock). Isso faz com que o flip-flop esteja ativado durante curtos intervalos após a ocorrência de uma transição do sinal de controle. A troca de estado em um flip-flop acontece apenas no pequeno intervalo de transição do clock, que a depender da implementação será na borda de subida do clock (ascendente), ou seja, na troca do sinal de valor 0 para o valor 1; ou na borda de descida (descendente) na troca do sinal de valor 1 para o valor 0. Na ausência do sinal de clock o flip-flop se comporta como uma memória, mantendo o último estado adquirido. Como exemplo, na **figura 6** mostra o flip-flop T.

Figura 5: Circuito do Flip Flop T.



Fonte: [http://www.hobbyprojects.com/flip\\_flop/images/togflop.gif](http://www.hobbyprojects.com/flip_flop/images/togflop.gif)

Para este projeto foi utilizado o flip-flop do tipo T. Ele funciona da seguinte forma: Quando houver variação do clock, o valor guardado será alternado ou mantido dependendo se o valor na entrada T (*Toggle*) for 1 ou 0, em termos de tabela-verdade o flip flop T é equivalente ao flip flop JK que é o mais comum na utilização na construção de divisores de frequência.

Um divisor de frequência pode ser feito com qualquer tipo de flip flop, como o D, JK, T, dentre outros, mas o T tem melhores propriedades e maior estabilidade nas mudanças de níveis de onda e maior exatidão em relação a oscilações com variação em relação a variável tempo.

Foi utilizado o flip flop T no problema pela maior abstração do seu funcionamento, primeiramente em relação ao JK, o T só tem uma entrada principal e tem o mesmo funcionamento e equivalência na tabela de verdade com o JK, já com o flip flop D existiria um fator negativo, seria necessária uma quantidade maior desse flip flop, o que não é viável, pois acontecem variações com o tempo, assim têm-se maiores chances de ruídos e perdas no circuito, podendo perder capacidade de memória.

### **3. METODOLOGIA**

Nesta seção serão discutidas as ideias, decisões e ferramentas utilizadas durante as seções tutoriais e em laboratório, que foram úteis para que o produto fosse concluído.

#### **3.1 Circuito Lógico no Quartus**

Após analisar o problema e ter conhecimento dos componentes necessários para a sua resolução, foi desenvolvido um circuito lógico combinatório que possui, além das saídas que torna a matriz de LEDs funcional, saídas para representar as coordenadas do LED aceso na matriz em um display de 7 segmentos. O que faz desse problema um complemento do problema anterior.

##### **3.1.1 Métodos para Iniciar o Circuito Lógico:**

O problema implica que sejam utilizados dois displays de sete segmentos, para que sejam exibidas as coordenadas linha e coluna em cada um. Definimos nesse projeto como display 1 o display que representa a linha e display 2 a coluna.

No display 1 serão exibidos somente números de 0-6, que representam as linhas, e o display 2 exibirá somente letras de A-E, que representa as colunas. Juntos são possíveis representar as 35 coordenadas que a matriz de LED de 7x5 (linhas e colunas respectivamente) tem.

O problema propõe que os displays funcionem de maneira alternada, o que significa que apenas um display deve ser aceso enquanto o outro permanece desligado e assim vão se alternando. A ideia é fazer com que os pinos ativadores dos displays sejam acionados através do clock, e de forma alternada. A alternância deve acontecer de maneira muito rápida, em intervalos de tempo em nanosegundos, de modo que ao visualizar o display não é possível observar este acontecimento, dando a impressão de que ambos os displays estão sempre acionados.

O mapa de Karnaugh foi usado para simplificar apenas um decodificador, o qual identifica a linha e coluna e gera suas respectivas saídas.

### **3.1.2 Fase final do produto em relação a construção do Quartus.**

Após a conclusão de todos os componentes de forma separada e testada, foram feitas as integrações de todos em conjunto, fazendo as ligações dos 8 bits de entrada em um multiplexador, que iria liberar os bits de acordo com seu seletor (CLOCK) após a divisão de sua frequência. A liberação dos bits vai para o decodificador que gera as saídas de acordo com suas entradas, entretanto para qualquer valor diferente da linha e coluna respectivamente, serão interpretados como um erro e anulado por um enable.

O meio de fazer essa validação é o pelo bit mais significativo, no caso o primeiro tem que ser 0 e o quinto tem que ser 1, assim o circuito funcionará com cem por cento de confiança, além disso para que funcionasse de forma alternada, foi feito um decodificador que recebe o sinal de clock e a depender desse sinal de clock é liberado 0 e 1 ou 1 e 0 o que faz com que os displays acendam da maneira desejada.

## **4.0 RESULTADOS E DISCUSSÕES**

### **4.1 Montagem do circuito físico**

Nesta subseção será explicada as decisões finais para que fosse resolvido o problema e montagem do circuito físico através da descrição dos passos utilizados para as principais partes do circuito.

#### **4.1.1 Porque o uso de um Decodificador.**

Após estudos decidiu-se a utilização de apenas um decodificador, por ter uma facilidade de manuseio do circuito e pela alta ergonomia lógica do mesmo, sendo assim pensando de forma futurista é possível fazer maiores modificações de formas mais claras e de formas mais ágil. Dessa maneira foi listada as vantagem e desvantagem do uso de dois decodificadores:

- a) Seria preciso um multiplexador maior, pois existem 14 saídas de dois decodificadores, o que aumentaria o custo do produto.
- b) Pouca ergonomia, pois o circuito precisaria de mais controle para construção.
- c) Fácil desenvolvimento, pois tendo em vista dois decodificadores, seria garantido que o display linha só mostraria as coordenadas das linhas, e o de colunas só as de colunas.
- d) Baixo Custo.
- e) Maior ergonomia e menos utilização de processadores.
- f) Multiplexador menor.
- g) Maior Complexidade para o seu completo funcionamento.

#### 4.1.2 Equações simplificadas dos segmentos do display feitas a partir do Mapa de Karnaugh.

$$\begin{aligned} A &= cd' + a'b'c + a'b'd + a'bc'd + abd' \\ B &= a'b' + a'c'd' + b'cd' + abc'd \\ C &= a'c'd' + a'b'd + bc'd + ab'c + a'bd' \\ D &= a'b'd + bcd' + abc' + bc'd + a'b'd' + b'cd \\ E &= cd' + abc' + ab'c + a'b'd' \\ F &= a'c'd' + ab'c + bcd' + a'bc' + b'c'd' \\ G &= cd' + a'bc' + b'cd + bc'd \end{aligned}$$

#### 4.1.2 Uso do Seletor

O circuito digital proposto pela problema exige que as coordenadas exibidas de forma alternada, ou seja o seletor faz o simples papel de dizer qual display irá ser aceso dependendo de sua coordenada informada, sendo alterado constantemente o display aceso sincronizado com o pulso do clock.

#### 4.2 Testes no Quartus II

O teste do Quartus foi realizado de acordo com suas entradas e suas respectivas saídas. No processo de construção foram feitas vários macros, macros esses que tem funções independentes no circuito, como é o caso do decodificador e do multiplexador.

Antes de fazer o teste geral do circuito, foi pensando em fazer os testes por partes de cada modulo(Macro). Os testes são mostrados na tabela a seguir:

Tabela2: Descrição dos testes realizados no quartus.

TESTES	Descrição
Divisor de Frequência	No Divisor de frequência foi simulado uma entrada de clock, que tem uma onda quadrada com frequência 32,768Mhz, e verificado a frequência de Saída que foi equivalente a 250hz, como o nível altera de acordo com o tempo, foi analisado o ciclo das ondas em relação a saída.
Decodificador	Existem os Decodificadores das linhas e colunas da matriz de LED, que dada uma entrada válida entre 0 - 6 para linha e para colunas A - E (sendo binárias) acenderá a combinação correspondente, no caso a matriz que representa a tal coordenada. No decodificador dos Displays o teste efetuado foi: dada as coordenadas pra acender um ponto na matriz de LED aquele ponto iria ter sua coordenada correspondente e teria que mostrar isso de forma hexadecimal no circuito físico, exemplo: entradas 0001 e 1110 no display A mostraria 1 e no display B mostraria E.
Multiplexador	Verificar se estava selecionando os bits de entradas de acordo com sua entrada seletora, ou seja, se informado os seguintes 8 bits 0000 e 1010 que em ordem implica dizer linha e coluna se o bit seletor for 0 é para enviar apenas os bits 0000 e se for 1 é para enviar os bits 1010, sendo assim um bit envia a linha e outro a coluna de forma alternada dependendo da onda quadrada gerada pelo clock
Seletor	Teste efetuado para verificar se realmente os bits de entrada é realmente os de Linha e Coluna, caso seja informado qualquer outro tipo de coordenada o seletor não validará.
SeletorDisplay	Foi verificado se estava alternando entre linha e coluna, exemplo: se entrar 0, sai 1 0 e se entrar 1 a saída é 0 1.

Fonte: O próprio autor.

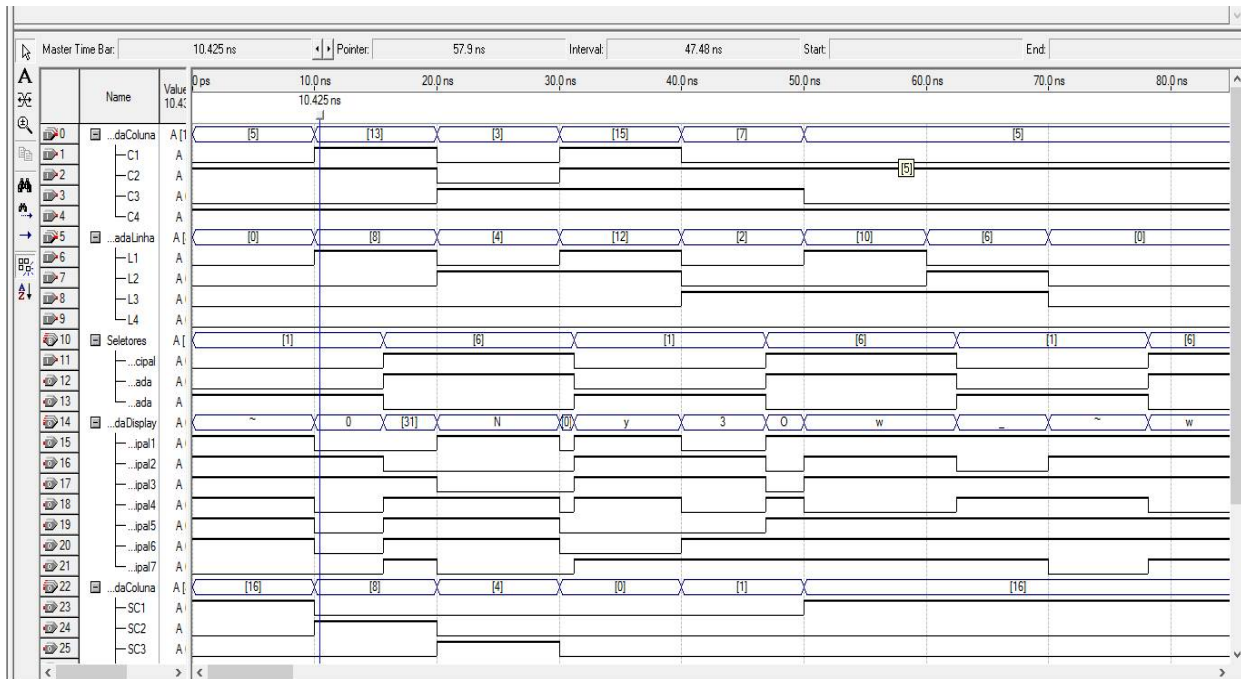


Após todos os testes das macros serem feitas foram unidas para formar o circuito lógico e testado em conjunto no modo Functional e Timing.

#### 4.2.1 Functional

No teste funcional foi apenas verificado se a saída está de acordo com suas entradas como mostra a figura abaixo:

Figura6: Entradas e saídas do teste funcional no Quartus .



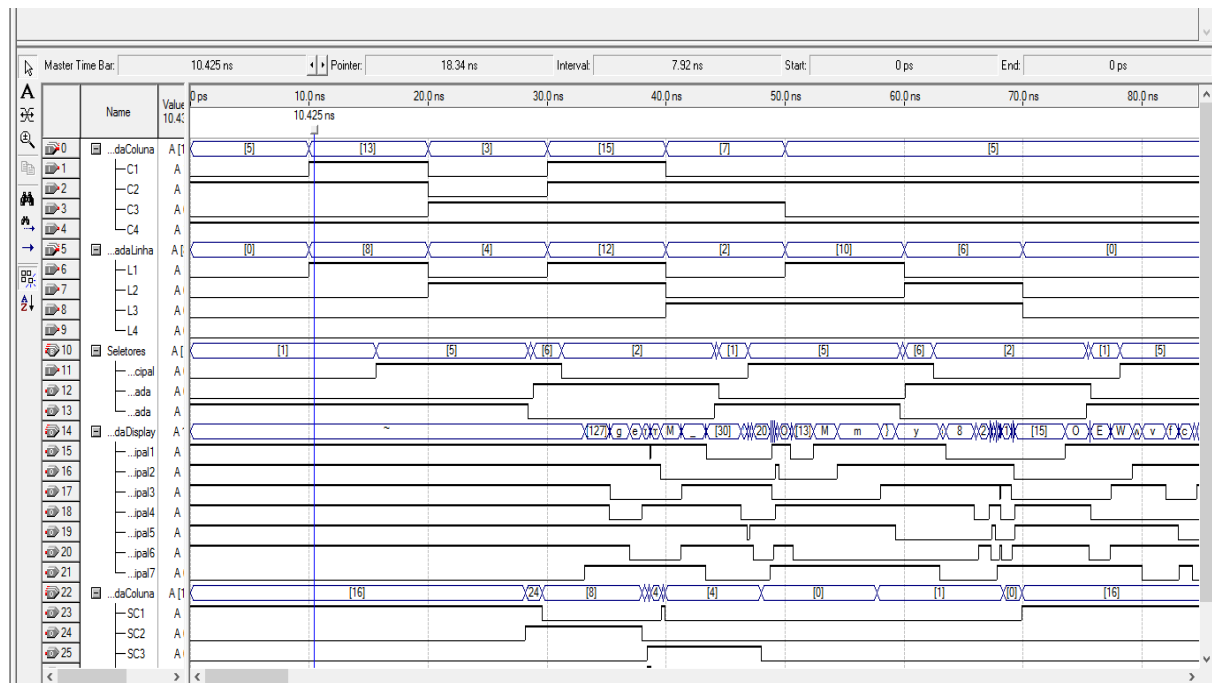
Fonte: Próprio Autor

A figura mostra uma parte dos testes, mas já é possível visualizar as alternâncias entre os níveis ou bordas de subida e de descida.

#### 4.2.2 Timing

Com o teste realizado pelo Timing conseguimos verificar de acordo com o tempo o que acontece detalhadamente com o circuito, podendo verificar nos mínimos detalhes os baixos picos de alternância entre os ciclos de trabalho do circuito.

Figura7: Entradas e saídas do teste temporal no Quartus.



Fonte: Próprio Autor

### 4.2.3 Teste de Erros

Foram realizados testes de erro e tratados como saídas inválidas se suas entradas forem inválidas, a exemplo dos bits, 0111 (7), 1000 (8), 1001 (9), 1111 (15), se a sequência de bits informados for diferente de Linha e Coluna, por exemplo, se inserido a sequência: Coluna e Linha, também vai ser tratada como erro, nesses casos os níveis de saídas todos serão zero, o que garantirá que nenhuma led acenderá nos displays de 7 segmentos.

### 4.3 Pinagem do FPGA

Para o funcionamento do circuito foi feita a escolha e configuração dos pinos da FPGA, de forma sequencial para melhor entendimento, mais praticidade e ergonomia da protoboard.

A imagem abaixo mostra como foi feita a seleção dos pinos na FPGA e qual seus respectivos pinos no Quartus, além disso, sua função no circuito e também o pino do clock, presente internamente na placa, por isso a ausência de escolha de um pino específico externamente.

Tabela 3: Pinagem usada da FPGA.

NOME	PINO		TIPO		NOME	PINO		TIPO
	FPGA	QUARTUS				FPGA	QUARTUS	
Linha 1º bit	CN2_68	89	INPUT		Coluna A	CN2_58	101	OUTPUT
Linha 2º bit	CN2_67	90	INPUT		Coluna B	CN2_59	100	OUTPUT
Linha 3º bit	CN2_66	92	INPUT		Coluna C	CN2_55	104	OUTPUT
Linha 4º bit	CN2_65	93	INPUT		Coluna D	CN2_52	113	OUTPUT
Coluna 1º bit	CN2_64	94	INPUT		Coluna E	CN2_53	112	OUTPUT
Coluna 2º bit	CN2_63	95	INPUT		DSS a	CN2_43	126	OUTPUT
Coluna 3º bit	CN2_62	96	INPUT		DSS b	CN2_42	127	OUTPUT
Coluna 4º bit	CN2_61	97	INPUT		DSS c	CN2_46	121	OUTPUT
Linha 1	CN2_57	102	OUTPUT		DSS d	CN2_47	120	OUTPUT
Linha 2	CN2_56	103	OUTPUT		DSS e	CN2_48	119	OUTPUT
Linha 3	CN2_60	99	OUTPUT		DSS f	CN2_44	125	OUTPUT
Linha 4	CN2_54	111	OUTPUT		DSS g	CN2_45	122	OUTPUT
Linha 5	CN2_51	114	OUTPUT		Ativador 1	CN2_41	128	OUTPUT
Linha 6	CN2_50	115	OUTPUT		Ativador 2	CN2_40	131	OUTPUT
Linha 7	CN2_49	116	OUTPUT		Clock	-----	79	CLOCK

Fonte: Próprio Autor

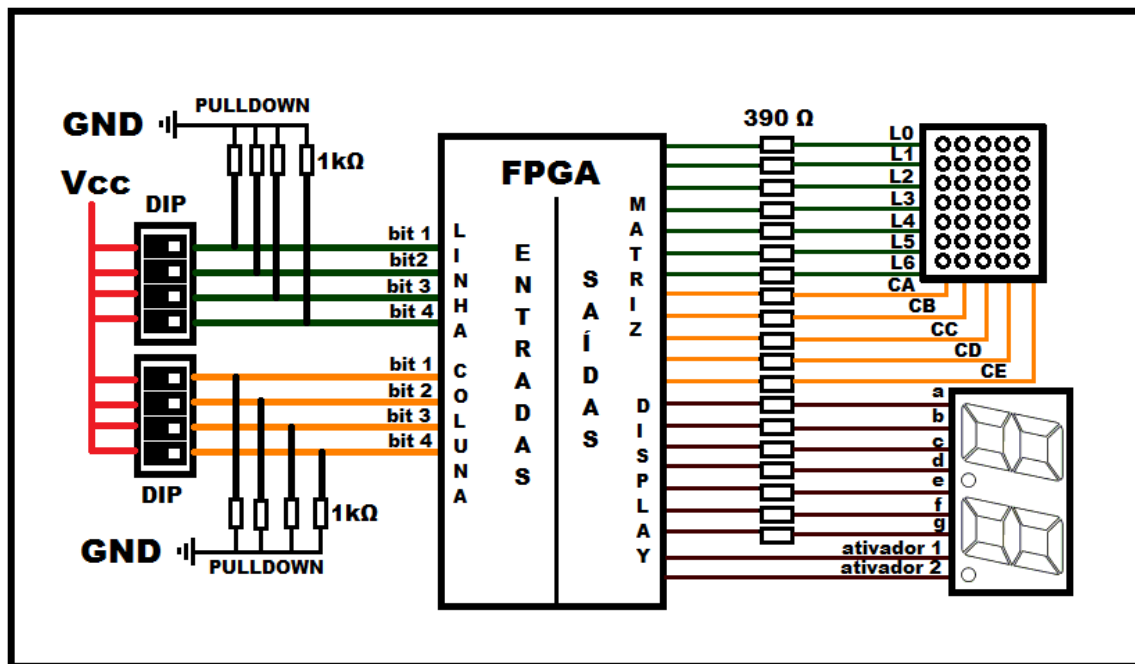
#### 4.4 Circuito Final

O circuito do projeto foi uma continuação do problema 1 que consistia em fazer acender um pixel da matriz de Led por vez, a partir das entradas dessa matriz, tivemos que mostrar qual era a coordenada apontada.

O circuito anterior possuía dois *Nibbles* (DIP switch com entrada em 4 bits ) que representaria cada um linhas e colunas, 8 resistores de *pulldown* (tabelados em 1k), 12 resistores de 390 Ohms, que seria o valor comercial mais próximo de 370 Ohms, resultado da aplicação das leis de Ohms para sabermos qual a resistência mínima para os Leds da matriz acenderem sem queimar. Para a continuação, foi necessária a adição de um display de 7 segmentos de 2 dígitos e mais 7 resistores de 390 Ohms, que seriam para limitar a tensão que acenderiam os pinos de “a” a “e” do display.

A **figura 11** mostra um esquemático do circuito do projeto.

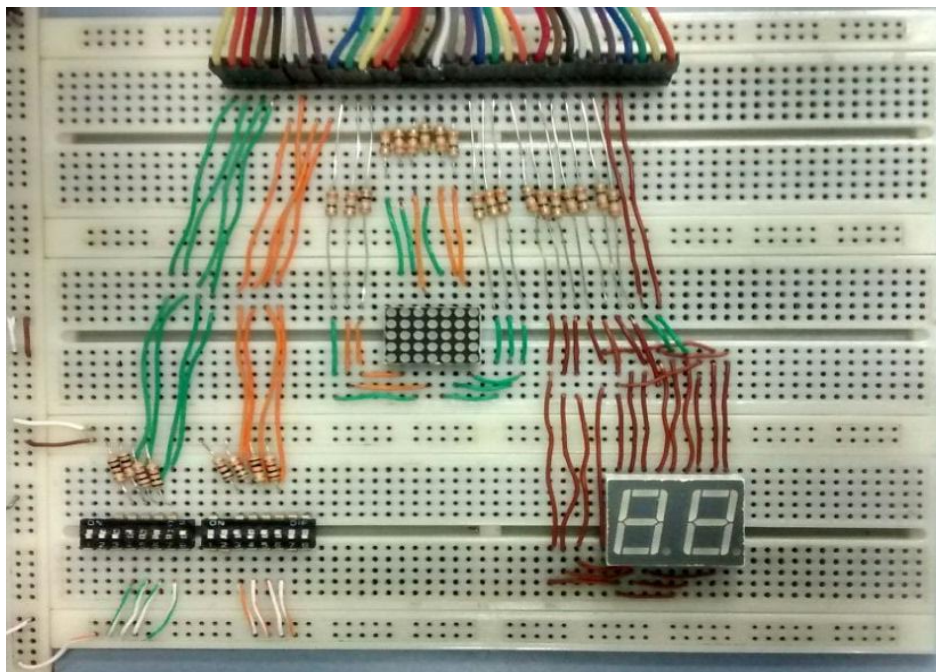
Figura 8: Esquemático do circuito físico.



Fonte: Próprio Autor

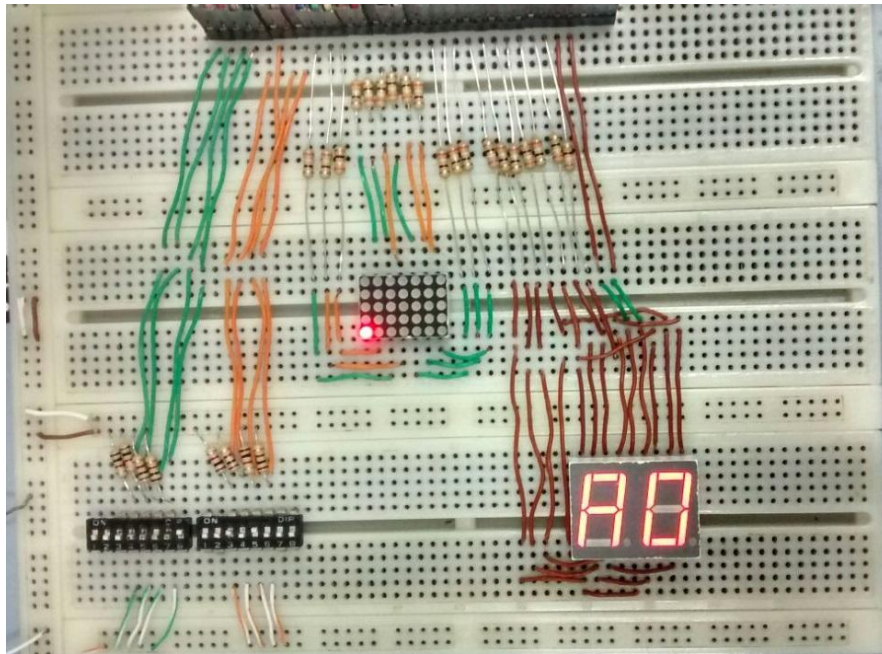
As imagens abaixo mostram como ficou o produto final da montagem com exemplo de algumas coordenadas inseridas.

Figura9: Circuito físico completo.



Fonte: Próprio Autor

Figura 10: Exemplo do acendimento da coordenada (A,0).



Fonte: Próprio Autor

## 5. CONCLUSÃO

Observando os requisitos que foram solicitados para o desenvolvimento deste Circuito digital, é perceptível que todas as funcionalidades foram cumpridas. Isto se torna mais concreto devido ao sucesso alcançado através dos testes realizados individualmente dentre os módulos e do circuito lógico como um todo.

Os pré-requisitos para a elaboração do projeto das coordenadas foram obtidos com totalidade. Tendo sido revisado e simplificado várias vezes utilizando métodos específicos para a tarefa até chegar o sistema mais simples e funcional. Sendo de modo geral o circuito foi adaptado para uma melhor forma ergonômica, levando em consideração a utilização do mínimo de funções lógicas digitais.

No modo geral o circuito construído foi feito pensando da forma mais ergonômica possível, e com menos utilização de equipamentos lógicos para seu desenvolvimento, alcançando um mesmo resultado com mais eficiência, contudo poderíamos ter simplificado ainda mais o espaço na Protoboard, deixando o circuito mais compacto.

O sistema é constituído atualmente de circuitos simples que recebe comandos de chaves para que possa processar as operações e localizar a coordenada desejada, o que mantém uma complexidade para uso. Essa complexidade poderia ser reduzida com a modificação do sistema para que o usuário inserisse as coordenadas a partir de comando do teclado.



O display aplicado nessa aplicação mostrando de forma clara as coordenadas facilitando ao usuário verificar aquelas certas coordenadas informadas pelo deep diretamente no circuito físico, o que garante uma maior funcionalidade e confiabilidade do produto.

Finalizando todo o circuito foi verificado se estava realmente através dos dados de entradas tendo suas saídas respectivas, reintegrando o problema anterior da matriz de LED, com o atual que mostra as coordenadas de forma hexadecimal, sendo assim alcançado o objetivo proposto pelo problema.

## **6. REFERÊNCIAS**

ARAÚJO, Rodrigo. LIMA, Manoel. Desenvolvimento de um sistema reconfigurável para múltiplas aplicações baseado na arquitetura VIRTEX-II. 2008.

TOCCI, RONALD J; WIDMER, NEAL S. Sistemas Digitais: Princípios e Aplicações 7ª edição

NUSSENZVEIG, MOYSÉS H. Curso de Física Básica. Volume 3 Eletromagnetismo. 1ª Edição. 5ª Reimpressão.

WAKERLY, John F. Digital design : principles and practices. 3rd ed Upper Saddle River, N.J: Prentice Hall, c2001. 949p