

# Problema 1: “Um pixel por vez”

## TEC498 - MI - Projeto de Circuitos Digitais

**Tutor: Marcos Paz**

Curso de Engenharia da Computação

Universidade Estadual de Feira de Santana (UEFS)

**Resumo.** *O corrente relatório, descreve o processo de elaboração do primeiro problema do Módulo Integrador Projeto de Circuitos Digitais, da presente turma, na Universidade Estadual de Feira de Santana (UEFS). O problema propôs que os estudantes desenvolvessem um sistema digital capaz de controlar o acendimento por vez de um LED<sup>1</sup>, utilizando um matricial bidimensional, usando um dispositivo de Hardware configurável para fazer o controle lógico.*

### 1. Introdução

Com a terceira revolução industrial, conhecida também por revolução técnico-científica, iniciada em meados da década de 1940, houve de forma substancial o crescimento do desenvolvimento de materiais eletrônicos, contribuindo de forma notória para o crescimento da sociedade daquela época, ajudando de forma magnificente na resolução de problemas cotidianos.

No contexto contemporâneo não poderia ser diferente. Vem crescendo de forma elevada, o desenvolvimento de circuitos integrados que utilizam um tipo especial de hardware configurável, conhecido como FPGA<sup>2</sup>, podendo desta forma, o desenvolvedor adequá-lo ao objetivo do seu projeto, sendo este utilizado em diversas aplicações, a saber, vídeo e processamento de imagens, segurança, indústria, comunicação wireless, instrumentos científicos, etc.

Sendo assim, o grupo Inova Digital Bahia S.A., solicitou o desenvolvimento de um circuito integrado utilizando a tecnologia supracitada, onde o mesmo deveria ter a capacidade de controlar um indicador luminoso, mais precisamente uma matricial bidimensional, que é na verdade um dispositivo que tem a capacidade de representar caracteres, símbolos e imagens, tendo esta capacidade devido aos LEDs que compõem a mesma. Insta acrescentar, que a solução encontrada para resolução do problema deveria ser capaz de ensejar o acendimento de apenas um LED por vez. Para este feito, usaria uma coordenada em hexadecimal, fazendo uso dos valores de A a E e de 0 a 6, para representar colunas e linhas respectivamente.

Destarte, para solucionar o problema foram utilizados diversos componentes eletrônicos, tais como resistores, diodo, FPGA, matricial bidimensional, e por último mas não menos importante o DIP<sup>3</sup> switch. Ademais, para resolução definitiva do mesmo, utilizou-se o que podemos chamar de circuitos lógicos combinacionais.

---

1 Acrônimo para Diodo Emissor de Luz.

2 Acrônimo para Arranjo de Portas Programáveis em Campo.

3 Acrônimo para Pacote Dual em Linha.

## 2. Fundamentação Teórica

Na sessão que segue, serão descritos, paulatinamente, os conceitos utilizados para resolução do problema proposto, frisando os conceitos que foram de fundamental importância para solucionar o mesmo, evidenciando de forma minuciosa suas características principais.

### 2.1. Resistores

Existem componentes eletrônicos que tem uma importância imprescindível na montagem de circuito eletrônicos, dentre os mais importantes estão os resistores.

[...] são componentes que têm por finalidade oferecer uma oposição a passagem da corrente elétrica por meio de seu material. A essa oposição damos o nome de resistência elétrica, possuindo como unidade de medida o Ohm[ $\Omega$ ]. (CAPUANO e MARINO, 2002, p.9)

Neste sentido, é evidente a importância da aplicação destes componentes nos projetos eletrônicos, pois o mesmo protegerá o sistema montado, das altas correntes elétricas, fazendo com que os componentes que necessitem de baixas correntes tenham uma vida útil prolongada, do contrário, estes durariam uma faixa curta de tempo, afinal os componentes eletrônicos fabricados hoje em dia, na sua maioria necessitam de faixas mínimas de corrente para funcionamento correto.

Os resistores podem ser classificados em dois tipos, a saber: fixos e variáveis. Os resistores fixos, como o próprio nome já indica e Capuano e Marino (2002, p.9) reforçam, “são aqueles cujo valor de resistência não pode ser alterado, enquanto os variáveis têm a sua resistência modificada dentro de uma faixa de valores por meio de um cursor móvel”. É importante asseverar, que dentre os resistores fixos, os de fio, de filme de carbono e de filme metálico se destacam.

Alguns resistores tem o seu valor de resistência indicado pelos códigos de cores que vem impresso no seu rótulo, sendo que cada cor representa um valor, e a depender da posição que a mesma ocupa, o significado é retificado. Na **Figura 1** podemos observar como é feita a leitura das cores nos resistores, mostrando os valores de cada cor e o seu significado a depender da posição ocupada.

**Figura 1: Valores que as cores representam nos resistores**



Cor	1º algarismo	2º algarismo	Fator Multiplicador	Tolerância
Preto	-	0	$\times 1$	-
Marrom	1	1	$\times 10$	$\pm 1\%$
Vermelho	2	2	$\times 10^2$	$\pm 2\%$
Laranja	3	3	$\times 10^3$	-
Amarilo	4	4	$\times 10^4$	-
Verde	5	5	$\times 10^5$	-
Azul	6	6	$\times 10^6$	-
Violeta	7	7	-	-
Cinza	8	8	-	-
Branco	9	9	-	-
Ouro	-	-	$\times 10^{-1}$	$\pm 5\%$
Prata	-	-	$\times 10^{-2}$	$\pm 10\%$

Fonte: Capuano e Marino (2002, p.11)

Interligada aos resistores temos ainda uma lei de grande importância para a eletrônica de forma bem geral, a lei de Ohm. Esta foi descrita no século passado, onde George Ohm enunciou que: “Em um bipolo ôhmico a tensão aplicada aos seus terminais é diretamente proporcional à intensidade de corrente que o atravessa”. Pode-se observar de forma pictórica esta relação na **Figura 2**.

**Figura 2: Lei de OHM**

Em que: V - Tensão Aplicada (V)

R - Resistência Elétrica ( $\Omega$ )

I - Intensidade de Corrente (A)

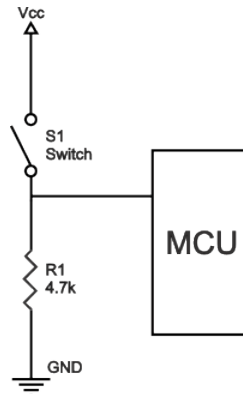
$$V = R \cdot I$$

Fonte: Próprio Autor

### 2.1.1. Resistores Pull Down<sup>4</sup>

Os resistores, a depender de como são utilizados, podem adquirir uma nomenclatura especial, uma dessas é a tão conhecida Pull down, o qual é utilizada em diversos sistemas eletrônicos, mas que muitos não sabem verdadeiramente o seu notório papel no mesmo. O Pull down nada mais é que uma forma de evitar flutuação em pinos configurados como entrada em um sistema, ou seja, o Pull down garantirá que na entrada exista apenas nível lógico baixo. Na **Figura 3** podemos observar um exemplo.

**Figura 3: Resistor em Pull Down em circuito.**



Fonte: < [http://www.resistorguide.com/pull-up-resistor\\_pull-down-resistor/](http://www.resistorguide.com/pull-up-resistor_pull-down-resistor/) > Acesso em : 29 de Março de 2015.

## 2.2. Diodo

O Diodo é um componente semicondutor que pode comportar-se como condutor ou isolante, onde o mesmo adquirirá uma dessas características de acordo como a tensão é aplicada nos terminais do mesmo. O Diodo pode ser utilizado em diversas aplicações, tais como transformação da corrente alternada para contínua, usado também como componente de proteção, para evitar que determinado dispositivo se danifique caso a tensão aplicada aos terminais sejam invertidos.

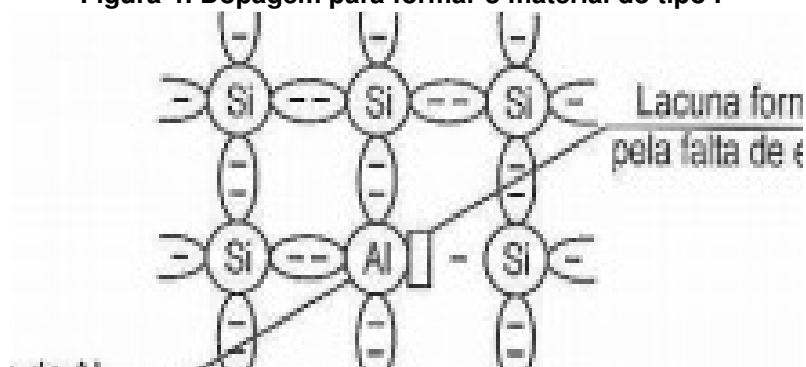
---

<sup>4</sup> Podemos traduzir como “puxar para baixo”.

O Diodo é formado a partir de um semiconductor tipo P e outro tipo N, o qual segundo Capuano e Marino (2002, p.219) “é obtido a partir de um semiconductor intrínseco, adicionando impurezas, ou seja, outros materiais, por processo conhecido como dopagem”. Ademais, este novo material formado através do processo de dopagem passa a ser chamado de material extrínseco.

Para se obter estes materiais extrínsecos, são utilizados outros componentes químicos. Vale lembrar, que o componente intrínseco, pode ser de diversos tipos, sendo o silício o mais utilizado. Por exemplo, para formar o material tipo P usando este material como intrínseco, adiciona-se ao mesmo, impurezas trivalentes, como o alumínio. Pode-se observar na **Figura 4** este tipo de configuração. Nesse neo-material, as lacunas serão predominantes, o qual segundo Capuano e Marino (2002, p.220) denomina-se de portadores majoritários, sendo que existirão também elétrons como portadores minoritários.

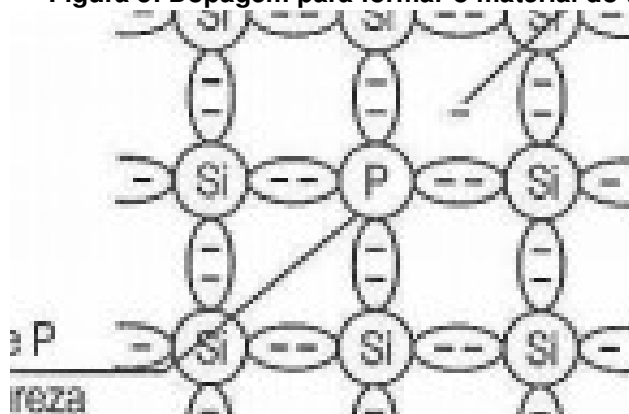
**Figura 4: Dopagem para formar o material do tipo P**



Fonte: Capuano e Marino (2002, p.220)

Não obstante, para formar um material tipo N, adiciona-se ao silício impurezas penta valentes, como o Fósforo por exemplo, na **Figura 5** pode-se observar a nova configuração. Nesse material, os elétrons serão os portadores majoritários e as lacunas os minoritários.

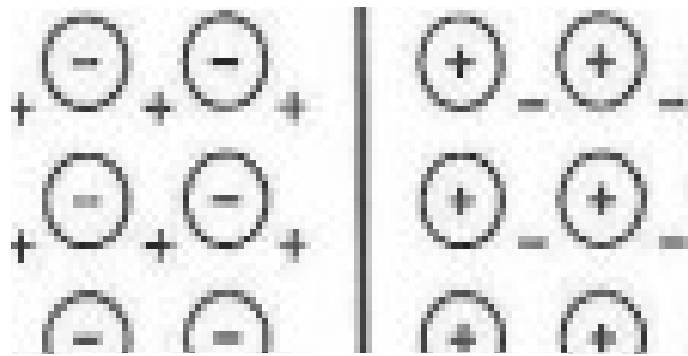
**Figura 5: Dopagem para formar o material do tipo N**



Fonte: Capuano e Marino (2002, p.220)

Depois de realizada a dopagem de ambos os materiais, faz-se necessário unir os materiais tipo P e tipo N, formando desta forma a junção PN. Podemos observar essa junção na **Figura 6**.

**Figura 6: Junção PN**



Fonte: Capuano e Marino (2002, p.221)

### 2.2.1. Aspecto e representação do diodo

Com o devido encapsulamento final realizado, e as conexões dos terminais prontamente finalizados, a junção PN se torna um componente eletrônico, conhecido logicamente de diodo semiconductor, ou de maneira simplista, diodo. A simbologia do mesmo pode ser observado na **Figura 7**, sendo o lado P conhecido como Ânodo e o lado N conhecido como Cátodo, ou seja, terminais positivos e negativos respectivamente.

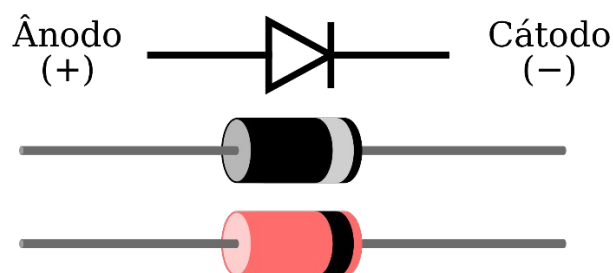
**Figura 7: Simbologia do Diodo**



Fonte: Capuano e Marino (2002, p.223)

A simbologia supracitada é utilizada de forma mais abrangente na confecção de circuitos eletrônicos. A identificação dos terminais do componente real pode ser observada na **Figura 8**, sendo o cátodo representado por um anel impresso na superfície do componente.

**Figura 8: Simbologia do componente real**



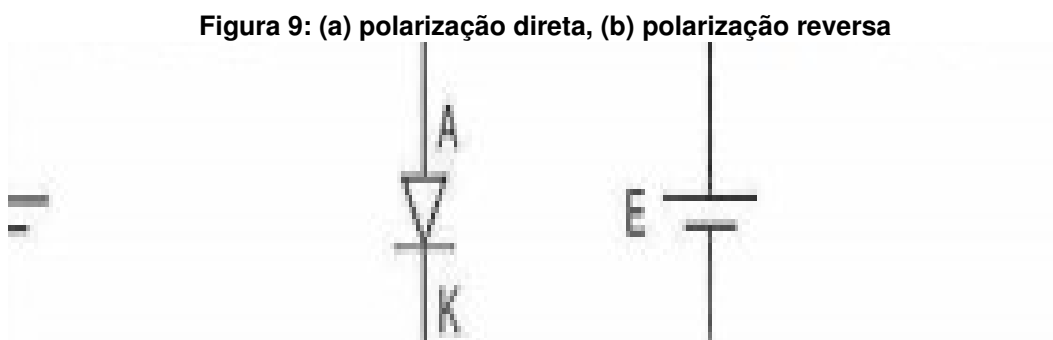
Fonte: <[http://pt.wikipedia.org/wiki/Diodo\\_semicondutor/](http://pt.wikipedia.org/wiki/Diodo_semicondutor/)> Acesso em: 29 de Março de 2015.

### 2.2.2. Polarização Direta e Inversa

A forma que a tensão é aplicada em cima do diodo determina a funcionalidade que o mesmo exercerá no circuito elétrico. O diodo pode estar na polarização direta ou na polarização inversa. Na polarização direta, o lado P é submetido a uma tensão positiva em relação ao lado N, e segundo Capuano e Marino (2002, p.223) “é nesta configuração

que ocorre a condução de corrente do ânodo para o cátodo”. Já quando está inversamente polarizado, ou seja, o cátodo ligado ao terminal positivo, não conduz corrente.

Na **Figura 9** podemos observar as supracitadas polarizações. É importante frisar que o diodo inversamente polarizado é utilizado para proteção de dispositivos eletrônicos, pois se por caso o determinado dispositivo fosse ligado acidentalmente com a polarização trocada o diodo não deixaria a corrente ultrapassar, protegendo desta forma o componente.



Fonte: Capuano e Marino (2002, p.223)

### 2.2.3. Diodo Emissor de Luz

Dentre os diodos, existe um tipo especial que merece destaque, qual seja, o LED. O LED é um tipo especial de diodo que emite uma luminosidade característica, onde a cor do mesmo, dependerá única e exclusivamente do material que este fora produzido. Assim como os diodos tidos como padrão, os LEDs também possuem polaridades, e estas podem ser observadas na **Figura 10**. Estes componentes são utilizados em diversas aplicações, tais como, elementos indicadores em calculadora, aparelhos de medida, indicadores numéricos de receptores de rádio, etc.

**Figura 10: Polaridades de um LED**



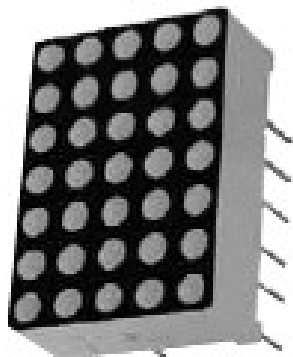
Fonte: <[http://www.corradi.junior.nom.br/Diodos\\_Especiais.pdf](http://www.corradi.junior.nom.br/Diodos_Especiais.pdf) /> Acesso em: 28 de Março de 2015

### 2.2.4. Matricial Bidimensional

Um matricial nada mais é que um indicador luminoso composto por um conjunto de LEDs. Existem diversos tipos de indicadores luminosos deste tipo, tendo diversas dimensões, por exemplo: 8x8, 7x5, 16x8, etc. Lembrando que o primeiro valor corresponde as linhas e logicamente o segundo, às colunas. A depender do fabricante, as linhas podem representar o ânodo ou o cátodo, assim como as colunas. Caso este tipo de indicador venha a ser utilizado em algum projeto, o projetista deverá verificar o

**Datasheet**<sup>5</sup> deste, para observar a sua polarização, evitando assim a danificação do componente, caso seja ligado a uma tensão que o LED não suporte. Pode-se observar na **Figura 11**, um exemplo de matricial Bidimensional.

**Figura 11: Matricial Bidimensional**



Fonte: < <http://www.soldafria.com.br/matriz-de-leds-azul-anodo-hs-757bb-p-1797.html/>>  
Acesso em: 29 de março de 2015.

### 2.3. Sistema de Numeração

Os Sistemas de numeração são de fundamental importância para o desenvolvimento da sociedade, contribuindo para diversas situações cotidianas.

[...] o sistema de numeração tradicional que aprendemos na escola e usar todos os dias em negócio é chamado um sistema numérico posicional. Num tal sistema, um número está representado por uma sequência de dígitos, onde cada posição do dígito tem um peso associado. O valor de um número é uma soma ponderada dos dígitos, por exemplo:  $1734 = 1 \cdot 1000 + 7 \cdot 100 + 3 \cdot 10 + 4 \cdot 1$ . (WAKERLY, 2001, p.26)

A conceituação, bem como o exemplo descrito acima, refere-se ao sistema de numeração mais difundido entre a sociedade, ou seja, o sistema na base 10. Não obstante, existem outras bases que são importantes, tais como, os sistemas na base 2, base 8 e base 16. Assim como a própria base sugere, o sistema na base 2 tem apenas duas possibilidades de representar um número, porém é um dos sistemas mais utilizado na área computacional. De maneira análoga, o sistema octal tem 8 possibilidades de representação, logicamente o na base 16 tem dezesseis possibilidades.

O sistema na base 2 e na base 16, conhecidos respectivamente como sistema binário e sistema hexadecimal, merecem destaque, pelo fato de conterem algumas particularidades, e serem os mais utilizados computacionalmente. No sistema binário só existem dois dígitos, ou seja, o dígito 0 e o dígito 1, também chamados de Bit<sup>6</sup>, o qual segundo Tocci, Widmer, Moss “é a única forma que o computador consegue interpretar uma informação”. A nível elétrico, os 0s e os 1s são interpretados de acordo com uma

---

<sup>5</sup> Datasheet (significa folha de dados) é um documento que apresenta de forma resumida, todos os dados e características técnicas de um equipamento ou produto.

<sup>6</sup> Acrônimo para Dígito Binário

faixa de tensão limítrofe, que a depender da tecnologia empregada interpretará de forma diferente. Vale acrescentar, que o conjunto de 8 bits é conhecido como 1 Byte.

Já no sistema hexadecimal, segundo Tocci, Widmer, Moss (2011, p.27), “utiliza os dígitos de 0 a 9 mais as letras A, B, C, D, E e F como símbolos”. Em termos de processamento computacional os números hexadecimais têm uma certa vantagem, pelo fato da sua conversão para números binários acontecer de maneira mais ágil. É importante perceber, também, que para representar um número hexadecimal em binário é preciso utilizar 4 bits, também chamado de 1 Nibble.

## **2.4. Circuitos Lógicos**

Os circuitos lógicos são construídos a partir de apenas duas condições possíveis de entrada e saída, ou seja, verdadeiro e falso. Como foi explanado na sessão acerca de sistemas de numeração, o sistema de numeração binário utiliza dois dígitos apenas, assim torna-se evidente que este sistema é perfeito para representar as relações lógicas. Lembrando que estes circuitos fazem uso de faixas de tensão predeterminadas para representar os 0s e os 1s.

“Em 1984, um matemático chamado George Boole escreveu “Uma investigação das leis do pensamento”, em que descrevia o modo como se toma decisões lógicas com base em circunstâncias verdadeiras ou falsas”. ( TOCCI, WIDMER, MOSS, 2011, p. 49). Estas leis atualmente são conhecidas como álgebra Booleana, e assim como a álgebra comum, faz uso de variáveis para representar situações lógicas. Em sistemas que empregam lógica booleana os 0s e 1s não representam exatamente valores como na álgebra comum, mas sim níveis de tensão, sendo caracterizado nível lógico baixo para o dígito 0 e nível lógico alto para o dígito 1.

Com a álgebra de Boole, segundo Tocci, Widmer, Moss (2011, p.50) “é possível expressar a relação entre as entradas e as saídas de um circuito lógico. As entradas são consideradas variáveis lógicas cujos níveis lógicos determinam, a qualquer momento os níveis de saída”. As operações realizadas, ou seja, Or<sup>7</sup>, And<sup>8</sup> e Not<sup>9</sup>, para se obter os valores de saída utilizam de portas lógicas para isso, onde estas podem ser feitas a partir de diversos materiais, os quais se destacam os transistores e os diodos.

### **2.4.1 Tabelas-verdade**

“Uma tabela-verdade é uma técnica para descrever como a saída de um circuito lógico depende dos níveis lógicos presentes nas entradas do circuito”. ( TOCCI, WIDMER, MOSS, 2011, p. 50). A tabela-verdade é essencial para se compreender o funcionamento de circuito, com ela pode-se montar a lógica do circuito que será construído, para depois gerar as equações necessárias para se montar o circuito. Na **Figura 12** podemos observar um exemplo de tabela-verdade que utiliza quatro variáveis de entrada e uma saída apenas.

---

7 Operação “OU” conhecida também como soma lógica.

8 Operação “E” conhecida como produto lógico.

9 Operação conhecida como Inversora.



**Figura 12: Exemplo de tabela-verdade utilizando quatro variáveis de entrada e uma apenas de saída.**

A	B	C	D	x
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Fonte: Tocci, Widmer, Moss (2011, p.50)

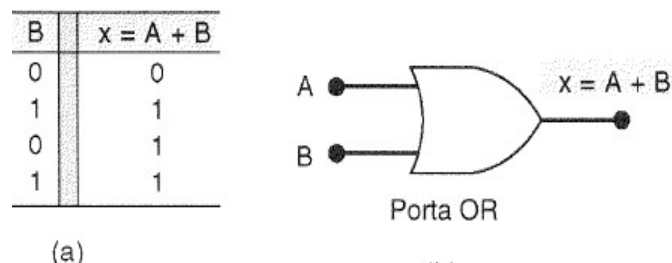
## 2.4.2. Portas lógicas

A álgebra de Boole emprega três portas lógicas principais, quais sejam, a porta lógica de negação, a soma lógica e o produto lógico.

### 2.4.2.1. Operação OR

Neste tipo de operação ter-se-á o nível lógico alto sempre que pelo menos uma das variáveis de entrada possuírem o nível lógico 1. Na **Figura 13** pode-se observar esta relação, e também a representação simbólica de uma porta Or em um circuito. Lembrando que pelo fato desta porta representar uma soma lógica, não se pode confundir com a soma aritmética. Ademais, na sentença  $A + B$ , o sinal “+” não representa a adição convencional, este mesmo sinal deve ser lido como “ou”, por exemplo: A ou B, e não A mais B.

**Figura 13: (a) Tabela-verdade que define uma operação Or; (b) Símbolo para uma porta Or de duas entradas**



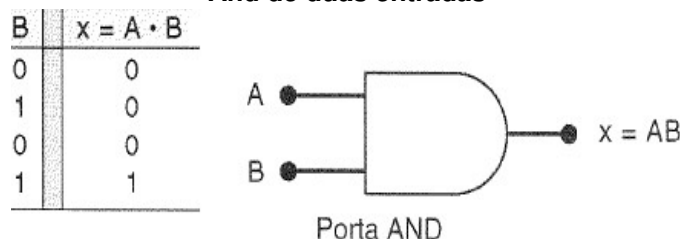
Fonte: Tocci, Widmer, Moss (2011, p.51)

### 2.4.2.2. Operação AND

Neste tipo de operação ter-se-á o nível lógico alto sempre que todas as variáveis de entrada possuírem o nível lógico 1. Na **Figura 14** pode-se observar esta relação, e

também a representação simbólica de uma porta And em um circuito. Lembrando que esta operação é idêntica a operação na aritmética. Ademais, na sentença  $A \cdot B$ , o sinal “.” deve ser lido como “e”, por exemplo: A e B, e não A vezes B.

**Figura 14: (a) Tabela-verdade que define uma operação And; (b) Símbolo para uma porta And de duas entradas**

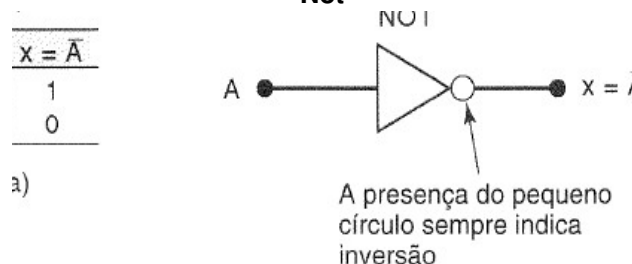


Fonte: Tocci, Widmer, Moss (2011, p.54)

#### 2.4.2.2. Operação NOT

Ao contrário das duas portas básicas descritas acima, este tipo de porta tem a capacidade de trabalhar apenas com uma variável, a mesma tem a capacidade de converter qualquer valor para o seu complementar. Pode-se ver um exemplo na **Figura 15**, e também a representação gráfica desta em um circuito.

**Figura 15: (a) Tabela-verdade que define uma operação Not; (b) Símbolo para uma porta Not**



Fonte: Tocci, Widmer, Moss (2011, p.57)

#### 2.4.3. Simplificação de circuitos lógicos

Depois que se obtém a expressão do circuito, há a possibilidade de simplificá-la, deixando o circuito com poucas variáveis e com um número menor de conexões, para depois então montar o circuito projetado, já reduzido, em um equivalente ao original.

##### 2.4.3.1. Método do Mapa de Karnaugh

Um dos métodos principais na simplificação de circuitos lógicos é o chamado método de Karnaugh. Segundo Wakerly (2001, p.221) “Um mapa de Karnaugh é uma representação gráfica da tabela verdade de uma função lógica”, e Tocci, Widmer, Moss (2011, p.112) complementa dizendo que o mesmo “é usado para simplificar uma equação lógica, de forma simples e metódica”. A depender da quantidade de variáveis de entrada o mapa de Karnaugh acaba sendo desvantajoso, contudo, com até 5 variáveis de entrada é viável. Um guia com o passo a passo de como se fazer o mapa de Karnaugh poderá ser observado no **ANEXO I**. Vale acrescentar, que para realizar a simplificação pode se utilizar tanto os 0s como os 1s, como objeto de agrupamento, dependendo apenas do objetivo do circuito.

#### **2.4.4. Circuitos Lógicos Combinacionais**

Os circuitos combinacionais são utilizados de forma abrangente na construção de circuitos eletrônicos. Segundo Tocci, Widmer, Moss (2011, p.101)” o mesmo tem este nome, porque em qualquer instante de tempo, o nível lógico de saída do circuito depende da combinação dos níveis lógicos de saída presente nas entradas”, ou seja, as saídas são totalmente dependentes dos valores de entrada projetadas para o sistema.

#### **2.5. Decodificadores e Codificadores**

“Um decodificador é um circuito lógico que recebe um conjunto de entradas que representa um número binário e ativa apenas a saída que corresponde ao número recebido”. (TOCCI, WIDMER, MOSS, 2011, p. 502). Sendo assim, a depender das entradas em um circuito deste tipo, é ativada uma saída que corresponde ao valor designado na entrada. Já o codificador faz o papel contrário do decodificador, o mesmo recebe um valor de 0 a 9 e o transforma em um valor digital. Pode-se perceber visivelmente o uso destes dois processos na calculadora.

#### **2.6. EDA- Automação de projeto eletrônico**

Uma EDA representa um conjunto de ambientes de desenvolvimento integrado utilizados para desenvolver projetos ligados a eletrônica. Um ambiente EDA é composto por um conjunto de software e algoritmos que auxilia na criação de projetos. Dentre os EDA, é importante destacar o Quartus II, desenvolvido pela empresa Altera<sup>10</sup>. O Quartus II da Altera é um ambiente de desenvolvimento integrado, o qual permite a realização de todas as etapas envolvidas no projeto de um sistema digital, desde a descrição da sua lógica, por meio de diagramas esquemáticos ou linguagens de descrição, à simulação do circuito desenvolvido e pôr fim a gravação do projeto em um dispositivo lógico programável, por exemplo, CPLD ou FPGA

#### **2.7. FPGA- Arranjo de Portas Programáveis em Campo**

FPGA é um tipo especial de PLD, sendo empregados na construção de diversas tecnologias já bastante conhecidas, como a televisão e os celulares. Um FPGA é um circuito integrado, que usa blocos lógicos programáveis pré-construídos que tem recursos de roteamento, podendo assim configurar esses chips para implementar funcionalidades personalizadas de hardware, sem nunca ter pego uma placa de montagem ou ferro de solda. Para configurar uma FPGA é necessário, antes, ter montado a lógica do circuito em um ambiente EDA e compilá-lo, para depois então “gravar” na FPGA. É importante frisar que este CI é de fato, totalmente reprogramável, podendo assumir imediatamente uma nova funcionalidade quando se recompila uma nova configuração de circuito e torna a regravá-lo.

#### **2.8. Chave DIP**

Chave DIP como o próprio nome sugere, é um interruptor eletrônico que utiliza o encapsulamento DIP, e são comercializados geralmente com um conjunto de 7 ou 8 interruptores. A depender do projeto, este tipo de chave pode ser utilizado para representação numéricas, pois a permissão ou não da passagem de corrente acaba formando um determinado valor.

---

<sup>10</sup> Altera Corporation é uma empresa fabricante de dispositivos lógicos programáveis.

### 3. Metodologia

Como definido pela metodologia da aprendizagem baseada em problema, a resolução do problema 1 do MI de Circuitos Digitais, iniciou-se com um BrainStorming<sup>11</sup> na sessão. Os membros do grupo adotaram uma política de ouvir todas as ideias e analisar uma a uma, tendo assim uma gama maior de opções para a solução da situação proposta. Tendo várias possibilidades, os esforços se direcionavam na análise das ideias aferidas, a fim de identificar prós e contras das mesmas, visando escolher a que mais se adequasse a resolução deste.

A análise, como já foi explanado, tinha como objetivo identificar qual era a ideia que atendia melhor as exigências do problema, afinal de contas, era imprescindível encontrar uma solução que melhor resolvesse a problemática estabelecida. Após esse processo inicial, deu-se início a prototipagem do circuito, seguindo uma determinada ordem lógica, ordem esta que será descrita minuciosamente nos tópicos seguintes.

#### 3.1. Tabela Verdade e Equações Booleanas

Em um circuito digital, dada uma certa entrada, espera-se logicamente pelo menos uma saída. Para a determinação do valor lógico de uma preposição composta dada, recorre-se a um dispositivo chamado Tabela-Verdade. (DE ALENCAR FILHO, 1986). Não obstante, antes de iniciar a construção da tabela- verdade do problema proposto, o grupo percebeu que o problema fornecia duas situações distintas, a ativação de linhas e a ativação de colunas, pois para acender um LED da matriz seria necessário fornecer uma coordenada, ou seja uma coluna e uma linha correspondente, o que iria requerer duas tabelas verdades, uma para cada caso.

Observando a proposta inicial do funcionamento do circuito, foi percebido que, para cada situação se fazia necessário utilizar um circuito chamado decodificador, que dada uma entrada, iria sinalizar uma respectiva saída, de acordo com as coordenadas solicitadas. Tendo isso em mente, o grupo se dedicou a transformar os dados, até então abstratos, em equações booleanas através do uso da Tabela-Verdade.

É importante salientar, que para haver uma única tabela de cada decodificador, foi proposto que todos fizessem-na e compartilhassem o resultado com todos através de um grupo no GoogleGroups<sup>12</sup>. Através desse compartilhamento, foi possível que todos identificassem erros, se houvessem, em suas respostas e achar as melhores tabelas para o problema. Usando duas únicas tabelas, o grupo elaborou as equações booleanas correspondentes a mesma. No **ANEXO 2**, pode-se observar a tabela-verdade construída para as colunas, sendo que as saídas que foram consideradas são as válidas para o funcionamento correto. Já no **ANEXO 3**, pode-se observar a tabela-verdade, construída para as linhas. Da mesma forma que para as colunas, as saídas consideradas são as válidas para o funcionamento do circuito.

É importante asseverar, que na construção da tabela-verdade foram utilizadas quatro variáveis, pois um dos requisitos da solução do problema, era que as coordenadas fossem dadas em valores hexadecimais, e para conseguir representar um número

---

11 Brainstorming significa tempestade cerebral ou tempestade de ideias.

12 O Google grupos é um serviço de grupos de discussão, criado para promover a interação de usuários com interesses em comum.

hexadecimal são necessários 1 nibble, por isso o uso dos 4 bits. É claro que para as coordenadas das linhas não seria necessários 4 bits, haja vista que os valores desta variavam de 0 a 6, podendo assim ser representado com 3 bits, contudo, como era solicitado uma entrada de dados em hexadecimal, foi decidido deixar ambas as coordenadas com entrada de 4 bits.

### **3.2. Simplificação das Equações Booleanas**

Depois de montada a tabela-verdade, era o momento de fazer a simplificação do mesmo. Uma simplificação pode ocorrer utilizando diversas técnicas, como por exemplo a álgebra de Boole, mapa de Karnaugh, etc. Inicialmente foram reduzidas utilizando a álgebra de Boole, contudo, para verificar se de fato a equação encontrada com a álgebra de Boole era a mais simplificada, fora utilizado o mapa de Karnaugh, afinal teria que ser um circuito que fizesse uso de um número reduzido portas lógicas. Porém, ao aplicar o mapa, foi percebido que não houve modificações entre as equações encontradas com a álgebra de Boole e com o Mapa. Destarte, Analisando o conjunto, foi concluído que tais equações estavam na forma mais simplificada possível.

### **3.3. Montagem do circuito Lógico**

Com as equações obtidas e simplificadas, foi dado início a elaboração do circuito lógico. Tendo uma gama de portas lógicas a disposição, o grupo teve que identificar quais seriam as portas que mais se adequariam as equações e que fossem mais independentes possíveis, ou seja, que precisassem de poucas ou nenhuma porta auxiliar para realizar uma determinada tarefa dentro do ambiente lógico do circuito.

Foi definido, sistematicamente, que as portas AND e NOT seriam suficientes para solucionar o problema. A partir disso, foi dado início a elaboração do circuito lógico usando tais portas e analisando as equações. Os Circuitos Lógicos foram desenvolvidos no ambiente de desenvolvimento integrado Quartus II, e podem ser analisados nos **ANEXO 4** e **ANEXO 5**, para as colunas e linhas respectivamente. Aproveitando das possibilidades que o Quartus II proporciona, foram criados macros<sup>13</sup> para a exibição do circuito de forma simplificada. A macro utilizada poderá ser observada no **ANEXO 6**.

### **3.4. Montagem do circuito na Protoboard<sup>14</sup> e Ergonomia**

Desde o início da resolução do problema, o grupo teve em mente que o circuito deveria ser o mais amigável possível, ou seja, uma boa ergonomia. Assim, foi pensado em fazer uma montagem onde fosse utilizado a menor quantidade de material eletrônico possível. Para isso foi feita uma montagem no Fritzing<sup>15</sup>. Sendo assim, após visualizar o circuito nesta ferramenta EDA, a montagem na Protoboard ficou mais clara e objetiva, já que se

---

<sup>13</sup> Um macro é um bloco de circuito encapsulado que pode ser usado em outro local.

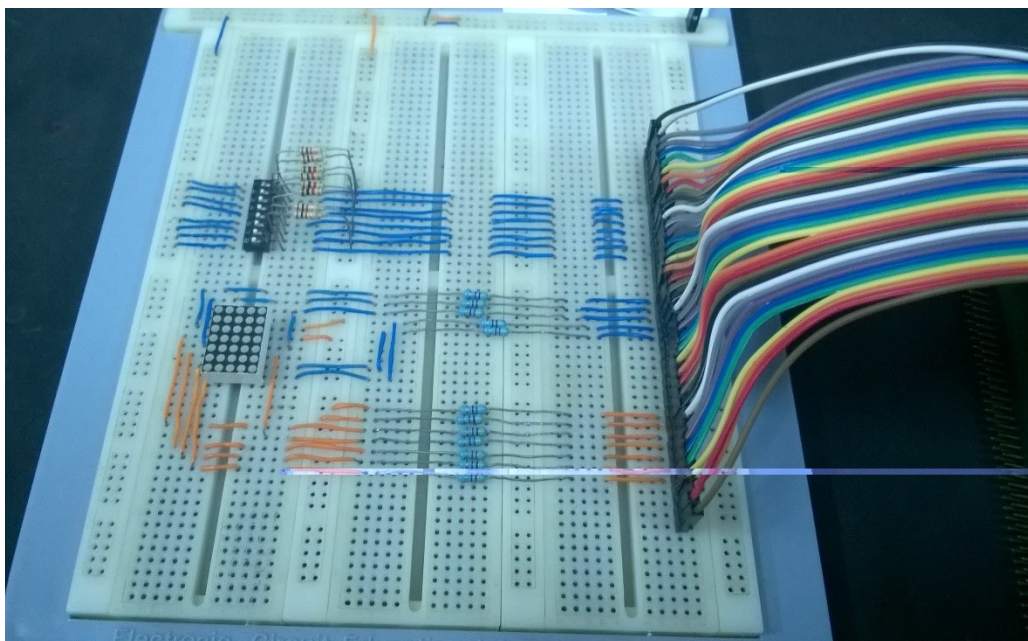
<sup>14</sup> Uma protoboard, também conhecida como matriz de contatos, é utilizada para fazer montagens provisórias, teste de projetos, além de inúmeras outras aplicações.

<sup>15</sup> Fritzing é um projeto de código fonte aberto de desenhos esquemáticos para apoiar designers, artistas, pesquisadores e entusiastas de dar o passo de prototipagem física do projeto.

sabia como ficaria o projeto finalizado. Lembrando que esta ferramenta foi utilizada, pelo fato de proporcionar economia de tempo, agilidade em montagem, facilitação no entendimento, economia de materiais, ergonomia do projeto e por último mas não menos importante organização dos componentes na Protoboard.

Ligado ainda a ergonomia e organização do circuito, foram utilizados fios metálicos com cores diferentes para o nível lógico alto e o nível lógico baixo. Para o polo positivo, ou seja nível lógico alto foram utilizados fios azuis, já para o outro polo foi utilizado fios laranjas. Ademais, as linhas e colunas da matriz também foi interconectada de acordo com a classificação de ânodo e cátodo. Ânodo recebendo fio azul, e cátodo recebendo fio laranja. Frisar é imprescindível, e neste caso é essencial, que ao tempo que os fios eram conectados, testes de continuidade eram realizados, utilizando um multímetro, nos pontos em que eram feitas ligações, evitando assim que houvessem eventuais fios quebrados, e encontrando-os seria corrigido de forma mais breve possível. Para realizar a entrada das coordenadas correspondentes ao LED que iria acender fora utilizado um DIP switch, sendo quatro bits para colunas e quatro para linhas. O circuito final pode ser conferido na **Figura 16**.

**Figura 16: Circuito Final**



**Fonte: Próprio autor**

#### **3.4.1. Cálculo de Resistência e Proteção do Circuito**

Em qualquer circuito eletrônico, é essencial utilizar componentes eletrônicos que visem proteger os demais componentes empregados no sistema montado. Para proteger a FPGA de uma possível ligação incorreta, o que ocasionaria a queima do dispositivo, fora utilizado um diodo de silício.

Da mesma forma, na matriz de LEDs foram utilizados resistores tanto no ânodo quanto cátodo. Houve a necessidade de utilizar no cátodo também, pelo fato de que em determinado momento, este, teria que receber um sinal elétrico de nível lógico alto, caso contrário não seria necessário. É importante esclarecer, que não se deve utilizar qualquer resistor com determinada resistência, faz-se necessário, fazer o cálculo para o

LED em questão, afinal utilizando um resistor que não seja o ideal, poderá ocasionar o queima do mesmo, caso o resistor utilizado tenha uma resistência errônea para o componente em questão. Sendo que poderá ocasionar também não acendimento deste, caso seja utilizado um resistor com um valor de resistência muito elevado. O cálculo utilizado poderá ser visualizado na **Figura 17**.

**Figura 17: Cálculo para encontrar a resistência de proteção**

$V = V_R + V_D$ $5 = V_R + V_D$ $5 = R \cdot I + 1,8$ $R = \frac{5 - 1,8}{I}$ $R = \frac{5 - 1,8}{10\text{mA}}$ $R = 0,32 \text{ K}\Omega$	<p>Onde: <math>V_R</math> = Tensão no resistor  <math>V_D</math> = Tensão no diodo  <math>I</math> = Corrente necessária ao diodo</p>
--	---

**Fonte: Próprio autor**

Além destes resistores utilizados para proteger os LEDs, foram utilizados, também, resistores Pull Down, entre o DIP switch e as entradas da FPGA, objetivando a correção de possíveis pontos de flutuação, fazendo desta forma que as entradas se mantivessem sempre em estado lógico baixo quando o interruptor estivesse aberto, ou seja, sem passagem de corrente elétrica.

### 3.4.2. Pinos de entrada e saída

Depois de construído o circuito lógico no Quartus II, assim como depois de ocorrer a simulação deste, chega-se ao momento oportuno para se fazer o mapeamento dos pinos, visando encontrar os pinos que serão utilizados para que o circuito funcione fidedignamente ao projeto montado, com todas as entradas e saídas esperadas.

Para se escolher os pinos de entrada e saída, utiliza-se logicamente, o Quartus II. Todavia, os pinos que são mostrados no Quartus II não correspondem ao valor real visualizado na FPGA, assim, deve-se se utilizar uma tabela que contenha a relação inequívoca entre os pinos do ambiente EDA e da FPGA. No **ANEXO 7**, podemos observar esta tabela que correlaciona os pinos. Percebe-se, ainda, neste mesmo anexo, duas colunas, uma com o nome sinal e a outra com o nome pino, o campo sinal equivale ao pino na FPGA, enquanto o campo pino equivale ao pino no Quartus II. Sendo assim, se for escolhido o pino 54 na FPGA, no Quartus II equivalerá ao pino 7. Essa correlação é observada na **Figura 18**.

**Figura 18: Correlação dos Pinos**

Sinal	Pino
TCK	1
CONF_DONE	2
nCEO	3
TDO	4
VCCIO	5
GND	6
CN1_54	7
CN1_53	8
CN1_52	9
CN1_51	10

Fonte: < <http://goo.gl/E3j3dB/>> Acesso em: 30 de março de 15

#### 3.4.2.1. Verificando os pinos na FPGA

É o momento de se verificar os pinos da FPGA que serão utilizados de fato. Destarte, usou-se o multímetro na função teste de continuidade, pondo uma ponta de prova no pino do dispositivo que correspondia ao pino selecionado no Quartus II, em seguida pondo a outra ponta de prova nos pinos de Contato da FPGA, até que um sinal sonoro indicasse a conexão. Este processo foi repetido para os demais pinos que seriam utilizados.

### 4. Discussões e Resultados

Nesta sessão serão abordados os principais resultados obtidos, os testes realizados, bem como a descrição paulatina do circuito montado.

#### 4.1. Teste no ambiente Quartus II

Antes de se verificar os resultados de forma fática na Protoboard, foi necessário verificar se as saídas oriundas do circuito lógico montado no EDA Quartus II, estavam funcionando de forma correta. Em primazia, ao simular a lógica projetada, foram identificados erros (a entrada não dava a saída esperada).

Entretanto, após estudar mais detalhadamente a ferramenta e o circuito, foram detectados erros na atribuição de pinos nos macros dos decodificadores. Corrigido esse erro, os testes funcionaram nas duas opções de teste dadas no Quartus II, a opção Functional (que leva em conta apenas a lógica do circuito) e a função Timming (que leva em conta o atraso das portas lógicas). Dado o funcionamento no modo Functional, o funcionamento no modo Timming já era esperado, uma vez que o projeto se trata de um circuito combinacional (TOCCI, WIDMER, MOSS; 2003).

Para compreender os testes realizados, ainda, no EDA Quartus II é importante destacar que para acender uma coordenada na linha é necessário enviar um valor lógico baixo e os demais altos, enquanto para acender uma coordenada na coluna é necessário enviar um valor lógico alto e os demais baixos. Foram realizados diversos testes. A **Figura 19**, mostra as possibilidades válidas para as linhas, as quais foram utilizados para verificar se o sistema a princípio estava funcionando. Os testes realizados no Quartus II podem ser observados nos **ANEXOS 7, 8, 9, 10, 11,12,13**, correspondendo as entradas de 0000 a 0110.



**Figura 19: Valores utilizados para testes das linhas**

Linha	0	Entrada	0000	Saída	0111111
Linha	1	Entrada	0001	Saída	1011111
Linha	2	Entrada	0010	Saída	1101111
Linha	3	Entrada	*0011	Saída	1110111
Linha	4	Entrada	0100	Saída	1111011
Linha	5	Entrada	0101	Saída	1111101
Linha	6	Entrada	0110	Saída	1111110

**Fonte: Próprio autor**

Depois que foi verificado com êxito os testes para as linhas, é o momento de fazer os testes para as colunas da mesma. Na **Figura 20**, podemos verificar as possibilidades válidas para as colunas. Os testes realizados no Quartus II podem ser verificados nos **ANEXOS 14, 15, 16, 17 e 18**.

**Figura 20: Valores utilizados para testes das colunas**

Coluna	A	Entrada	1010	Saída	10000
Coluna	B	Entrada	1011	Saída	01000
Coluna	C	Entrada	1100	Saída	00100
Coluna	D	Entrada	1101	Saída	00010
Coluna	E	Entrada	1110	Saída	00001

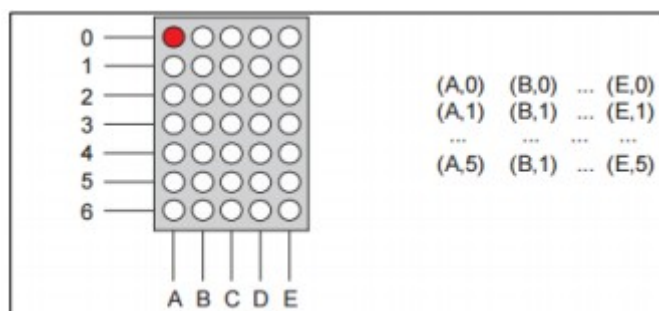
**Fonte: Próprio autor**

#### **4.2. Funcionamento do Circuito**

O indicador luminoso Matricial utilizado na construção do circuito, pode ser observado na **Figura 21**, bem como as coordenadas corretas para se acender algum LED. Consiste em uma matriz 7x5, ou seja, 7 linhas e 5 colunas. Para acender um LED, como já foi dito, é necessário fornecer uma coordenada correspondente a posição do LED na matriz, sendo que as linhas são os cátodos e as colunas os ânodos, ou seja, a linha deve receber o bit 0, enquanto a coluna o bit 1.

Para realizar a inserção da coordenada foi utilizado um chaveamento utilizando um DIP switch. Vale lembrar, que as linhas vão de 0 a 6, e as colunas de A a E, percebam que a coordenada 0 para linha é válida. Por exemplo, se quisermos acender o LED correspondente a coordenada (A,0), seria necessário no DIP switch selecionar 1010 para coluna e 0000 para linha, onde o dígito 1 seria obtido pelo interruptor do DIP permitindo a passagem da corrente elétrica.

**Figura 21: Indicador Matricial utilizado na composição do circuito.**



**Fonte: MI de circuitos digitais**

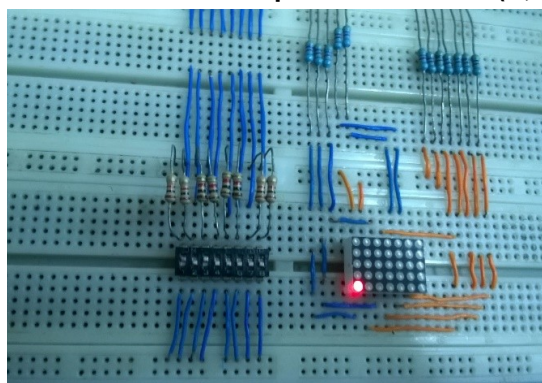
Quando por ventura ocorrer a inserção de uma coordenada inválida, por exemplo (F,9), a matriz ficará totalmente apagada, haja vista que a coordenada não existe, esta foi uma decisão do grupo tutorial.

### 4.3 Testes realizados de forma manual

Antes de realizar os testes do circuito na Protoboard, fazia-se necessário gravar o mesmo na FPGA disponível no laboratório. A FPGA disponível pertence à família ACEX 1K, o dispositivo EP1K100QC208-3. Desta forma, depois de realizar a demarcação dos pinos de entrada e de saída da FPGA, com a ajuda de um dos monitores do laboratório, o circuito lógico foi carregado com sucesso no dispositivo programável. Lembrando que a versão do Quartus II, utilizado para realizar este processo, foi a 9.0, e para alimentar a FPGA foi utilizado 5,6 volts. Os 0,6 a mais, corresponde ao valor de tensão que o diodo dissipará.

Após o processo descrito acima, o grupo testou as saídas na matriz de LED manualmente, do seguinte modo: Dava-se uma entrada no DIP switch e analisava-se a saída na matriz de LEDs, comparando tal saída com a tabela-verdade que o grupo tinha em mãos, concluía-se se a saída foi a correta. Tal processo foi repetido para todo o conjunto de entradas, e comparado com o conjunto de saídas esperadas, o grupo chegou à conclusão que o circuito estava operante e totalmente funcional como o requisitado no problema 1 do MI Circuitos Digitais. Pode-se ver um exemplo na **Figura 22** o teste manual, teste realizado para a coordenada (A,0), ou seja, as coordenadas foram 1010 para coluna e 0000 para linha.

**Figura 22: Teste manual para coordenada (A,0)**



**Fonte: próprio autor**

## 5. Conclusão

Observando os requisitos que foram solicitados para o desenvolvimento deste sistema digital, é notório que todas as funcionalidades foram cumpridas. Isto se torna mais concreto devido ao sucesso verossímil alcançado através dos testes realizados. Ademais, os pré-requisitos para a elaboração do projeto das coordenadas foram obtidos com totalidade. Tendo sido revisado e simplificado várias vezes utilizando métodos específicos para a tarefa até chegar o sistema mais simples e funcional.

É notável que o circuito construído tem uma ergonomia de certa forma apresentável, contudo, poderia ser aperfeiçoado, por exemplo, ao invés de utilizar os fios nas cores laranja e azul, para representar nível lógico baixo e nível lógico alto respectivamente, poderia utilizar fios pretos e vermelhos, haja vista que os mesmos, são mais difundidos na eletrônica, principalmente na tecnologia TTL<sup>16</sup>. Além disso poderia utilizar menos espaço na Protoboard, deixando o circuito bem compacto e organizado.

O sistema é constituído atualmente de circuitos simples que recebe comandos de chaves para que possa processar as operações e localizar a coordenada desejada, o que mantém uma complexidade para uso. Essa complexidade poderia ser reduzida com a modificação do sistema para que o usuário inserisse as coordenadas a partir de comando do teclado.

Além das possíveis atualizações citadas acima, poderia se pensar em colocar uma espécie de bip sonoro para identificar o erro, além disso poderia utilizar uma HDL<sup>17</sup> para aperfeiçoamento do circuito.

---

<sup>16</sup> Acrônimo para Lógica transistor-transistor.

<sup>17</sup> Acrônimo para Linguagem de descrição de Hardware.

## Referências

BDTI Focus Report: FPGAs for DSP, Second Edition, BDTI Benchmarking, 2006

CAPUANO, Francisco G. (Francisco Gabriel); MARINO, Maria Aparecida Mendes. Laboratório de eletricidade e eletrônica. 19. ed. rev. ref São Paulo: Livros Erica, 2002. 309p ISBN 857194016-9

DE ALENCAR FILHO, Edgard. Iniciação à lógica matemática. NBL Editora, 1986

Duarte, R. e Sill, F. “Quartus II – Desenvolvimento de Projetos via Esquemático”, disponível via url [http://www.cpdee.ufmg.br/~frank/lectures/SPP/SPP-Tutorial\\_quartus2\\_v1-1.pdf](http://www.cpdee.ufmg.br/~frank/lectures/SPP/SPP-Tutorial_quartus2_v1-1.pdf) acessado em janeiro 2012.

FPGAs accelerate time to market for industrial designs, M. Thompson, EE Times 7/2/2004 <http://www.us.design-reuse.com/articles/8190/fpgas-accelerate-time-to-market-for-industrial-designs.html>

Menezes, M. Sato, L. Midorikawa, E. “Tutorial para Criar e Simular Circuitos Digitais no Altera Quartus(R) II - versão 9.1”, disponível em: [http://www.pcs.usp.br/~labdig/material/GuiaResumido-Quartus\\_II\\_91\\_corrigida.pdf](http://www.pcs.usp.br/~labdig/material/GuiaResumido-Quartus_II_91_corrigida.pdf) acessado em janeiro 2012

R. Duarte and F. Sill, “Quartus ii – desenvolvimento de projetos via esquemático,” 2012.

Sistemas digitais : princípios e aplicações / Ronald J. Tocci, Neal S. Widmer; revisão técnica Renato Giacomini; tradução: Jorge Ritter

The Field-Programmable Gate Array (FPGA): Expanding Its Boundaries, InStat Market Research, April 2006

WAKERLY, John F. Digital design : principles and practices. 3rd ed Upper Saddle River, N.J: Prentice Hall, c2001.949p

ANEXO 1

Passo 1	Construa o mapa K e coloque 1s nos quadrados que correspondem aos 1s na tabela-verdade. Coloque 0s nos outros quadrados.
Passo 2	Examine o mapa para detectar 1s adjacentes e agrupe aqueles 1s que <i>não</i> são adjacentes a quaisquer outros 1s. Estes são denominados 1s <i>isolados</i> .
Passo 3	Em seguida, procure por aqueles 1s que são adjacentes a somente um outro 1. Agrupe <i>todo</i> par que contém tal 1.
Passo 4	Agrupe qualquer octeto, mesmo que ele contenha alguns 1s que já tenham sido combinados.
Passo 5	Agrupe qualquer quarteto que contém um ou mais 1s que ainda não tenham sido combinados, <i>certificando-se de usar o número mínimo de agrupamentos</i> .
Passo 6	Agrupe quaisquer pares necessários para incluir quaisquer 1s que ainda não tenham sido combinados, <i>certificando-se de usar o número mínimo de agrupamentos</i> .
Passo 7	Forme a soma OR de todos os termos gerados por cada agrupamento.

Entrada Coluna				
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

ANEXO 2

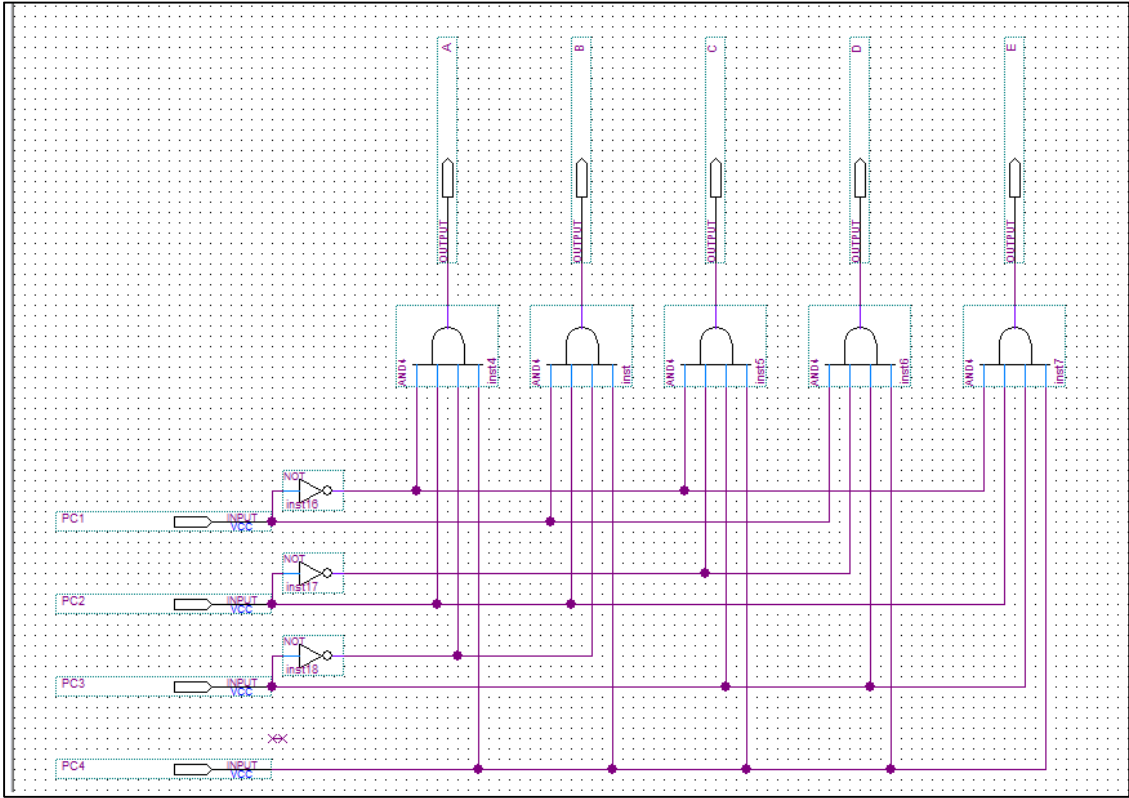
Saida na Matriz				
A	B	C	D	E
1	0	0	0	0
0	1	0	0	0
0	0	1	0	0
0	0	0	1	0
0	0	0	0	1

Entrada na Linha				
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
A	1	0	1	0
B	1	0	1	1
C	1	1	0	0
D	1	1	0	1
E	1	1	1	0
F	1	1	1	1

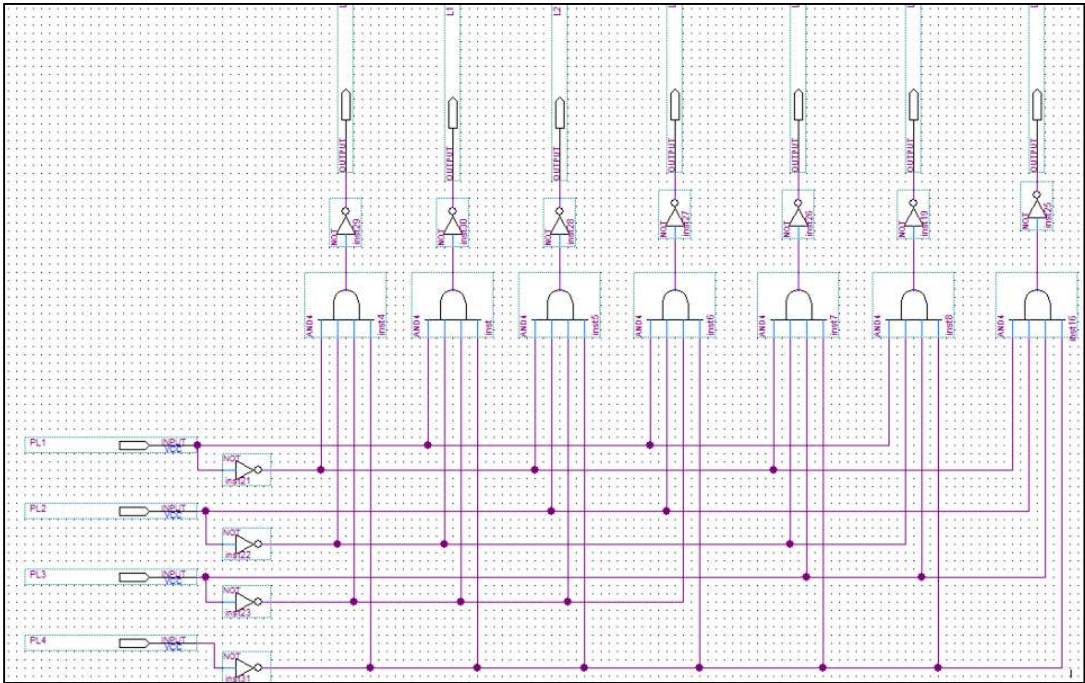
### ANEXO 3

Saída na Matriz						
0	1	2	3	4	5	6
0	1	1	1	1	1	1
1	0	1	1	1	1	1
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	0	1	1
1	1	1	1	0	1	1
1	1	1	1	1	0	1
1	1	1	1	1	0	1
1	1	1	1	1	1	0

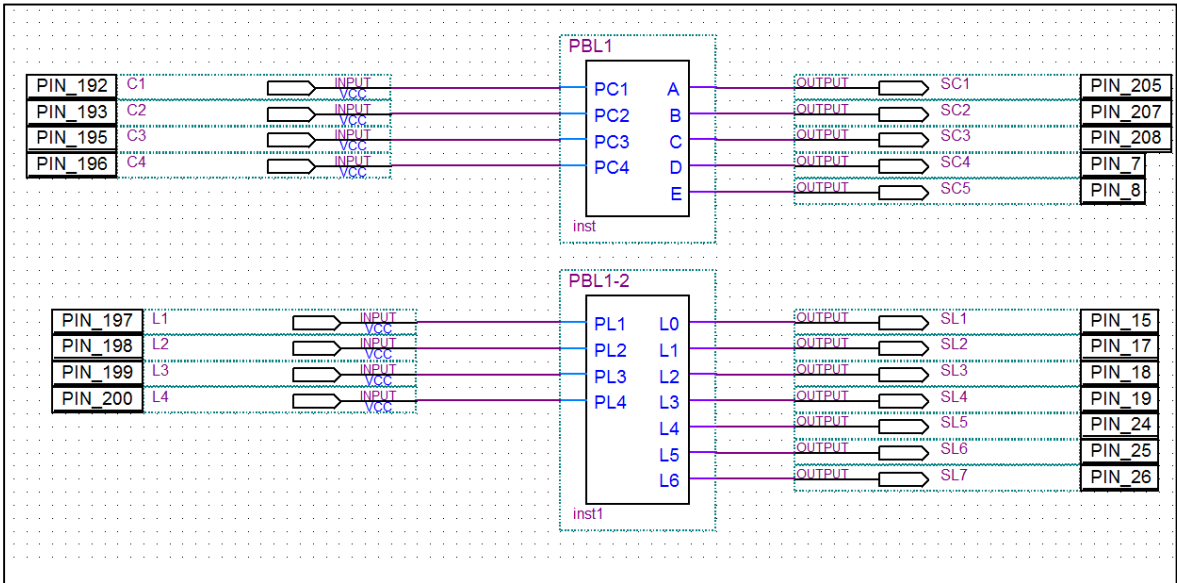
### ANEXO 4



ANEXO 5



ANEXO 6



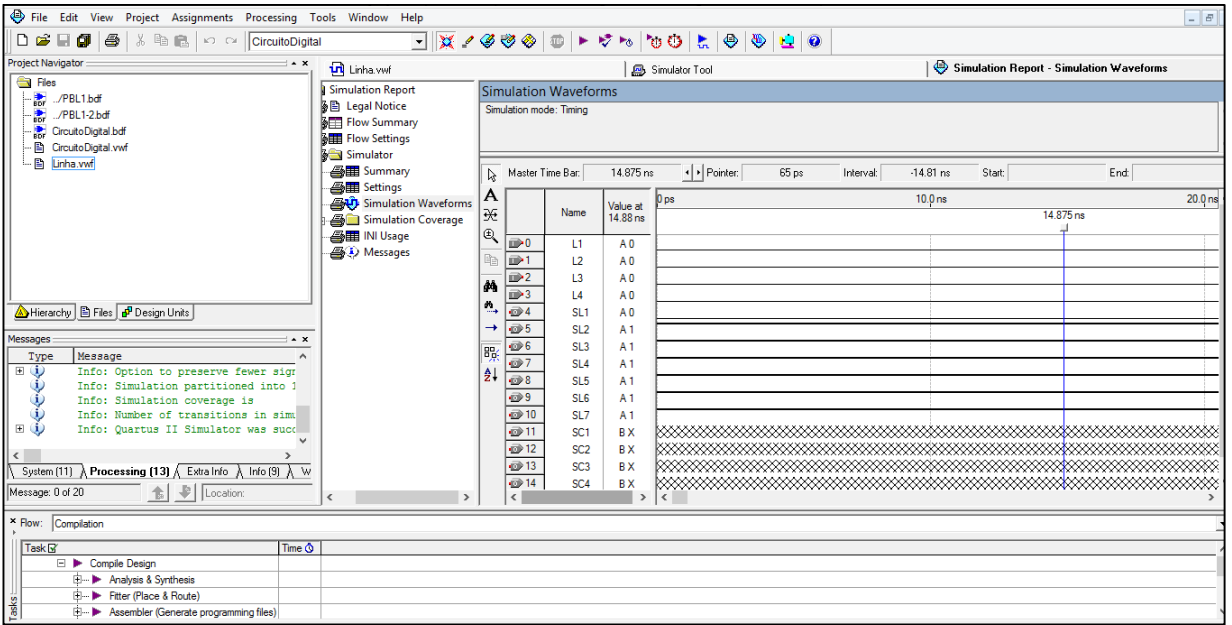


## ANEXO 7

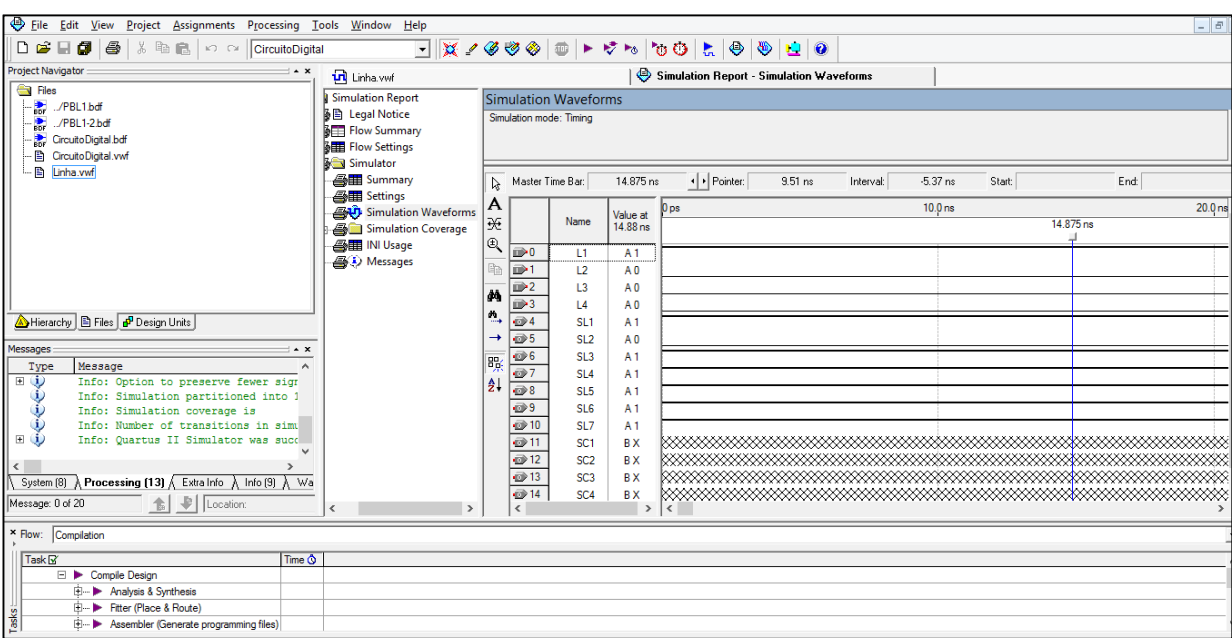
Sinal	Pino	Sinal	Pino	Sinal	Pino	Sinal	Pino	Sinal	Pino	Sinal	Pino
TCK	1	CN1_28	41	GND	81	CN2_46	121	CN2_20	161	VCCINT	201
CONF_DONE	2	VCCIO	42	GND	82	CN2_45	122	CN2_19	162	CN1_61	202
nCEO	3	GND	43	CN2_73	83	GND	123	CN2_18	163	CN1_60	203
TDO	4	CN1_27	44	VCCIO	84	VCCINT	124	CN2_17	164	CN1_59	204
VCCIO	5	CN1_26	45	CN2_72	85	CN2_44	125	VCCIO	165	CN1_58	205
GND	6	CN1_25	46	CN2_71	86	CN2_43	126	CN2_16	166	CN1_57	206
CN1_54	7	CN1_24	47	CN2_70	87	CN2_42	127	CN2_15	167	CN1_56	207
CN1_53	8	VCCINT	48	CN2_69	88	CN2_41	128	CN2_14	168	CN1_55	208
CN1_52	9	GND	49	CN2_68	89	GND	129	CN2_13	169		
CN1_51	10	TMS	50	CN2_67	90	VCCINT	130	CN2_12	170		
CN1_50	11	TRST	51	VCCINT	91	CN2_40	131	GND	171		
CN1_49	12	nSTATUS	52	CN2_66	92	CN2_39	132	CN2_11	172		
CN1_48	13	CN1_23	53	CN2_65	93	CN2_38	133	CN2_10	173		
CN1_47	14	CN1_22	54	CN2_64	94	CN2_37	134	CN2_9	174		
CN1_46	15	CN1_21	55	CN2_63	95	CN2_36	135	CN2_8	175		
CN1_45	16	CN1_20	56	CN2_62	96	CN2_35	136	CN2_7	176		
CN1_44	17	CN1_19	57	CN2_61	97	GND	137	CN2_6	177		
CN1_43	18	CN1_18	58	VCCIO	98	VCCIO	138	VCCIO	178		
CN1_42	19	GND	59	CN2_60	99	CN2_34	139	CN2_5	179		
GND	20	CN1_17	60	CN2_59	100	CN2_33	140	CN2_4	180		
VCCINT	21	CN1_16	61	CN2_58	101	CN2_32	141	GND	181		
VCCIO	22	CN1_15	62	CN2_57	102	CN2_31	142	input3 (2_1)	182		
GND	23	CN1_14	63	CN2_56	103	CN2_30	143	clock2 (1_3)	183		
CN1_41	24	CN1_13	64	CN2_55	104	CN2_29	144	input4 (2_2)	184		
CN1_40	25	CN1_12	65	nCONFIG	105	GND	145	VCCINT	185		
CN1_39	26	VCCIO	66	VCCINT	106	VCCIO	146	CN1_74	186		
CN1_38	27	CN1_11	67	MSEL1	107	CN2_28	147	CN1_73	187		
CN1_37	28	CN1_10	68	MSEL0	108	CN2_27	148	GND	188		
CN1_36	29	CN1_9	69	GND	109	CN2_26	149	CN1_72	189		
CN1_35	30	CN1_8	70	VCCIO	110	CN2_25	150	CN1_71	190		
CN1_34	31	CN1_7	71	CN2_54	111	GND	151	CN1_70	191		
GND	32	VCCINT	72	CN2_53	112	VCCINT	152	CN1_69	192		
VCCINT	33	CN1_6	73	CN2_52	113	TDI	153	CN1_68	193		
VCCIO	34	CN1_5	74	CN2_51	114	nCE	154	VCCIO	194		
GND	35	CN1_4	75	CN2_50	115	DCLK	155	CN1_67	195		
CN1_33	36	GND	76	CN2_49	116	DATA0	156	CN1_66	196		
CN1_32	37	VCCINT	77	GND	117	CN2_24	157	CN1_65	197		
CN1_31	38	input2 (1_2)	78	VCCIO	118	CN2_23	158	CN1_64	198		
CN1_30	39	clock1 (2_3)	79	CN2_48	119	CN2_22	159	CN1_63	199		
CN1_29	40	input1 (1_1)	80	CN2_47	120	CN2_21	160	CN1_62	200		
CN1_93		3.3V para a prote				CN2_93		3.3V para a prote			
CN1_95		5.0V para a placa				CN2_95		5.0V para a placa			
CN1_96		5.0V para a placa				CN2_96		5.0V para a placa			
CN1_97		GND				CN2_97		GND			
CN1_98		GND				CN2_98		GND			
CN1_99		GND				CN2_99		GND			
CN1_100		GND				CN2_100		GND			
Entrada CLK1 da EP1K100				JP1		JP2		CN2 - Pino 3			
Clock 32.768 MHz				Fechado		Aberto		Desconectado			
Clock 32.768 MHz				Fechado		Fechado		Saída de 32.768			
Entrada do CN2 Pino 3				Aberto		Fechado		Entrada de clock			
Desconectada				Aberto		Aberto		Desconectado			
Capacidade de corrente por											
Níveis de tensão compatíveis				Entrada p/ placa		Saída gerada pela					
zero lógico				< 0.8V		< 0.4V					
um lógico				> 2.0V		> 2.4V					
As entradas globais (input1											



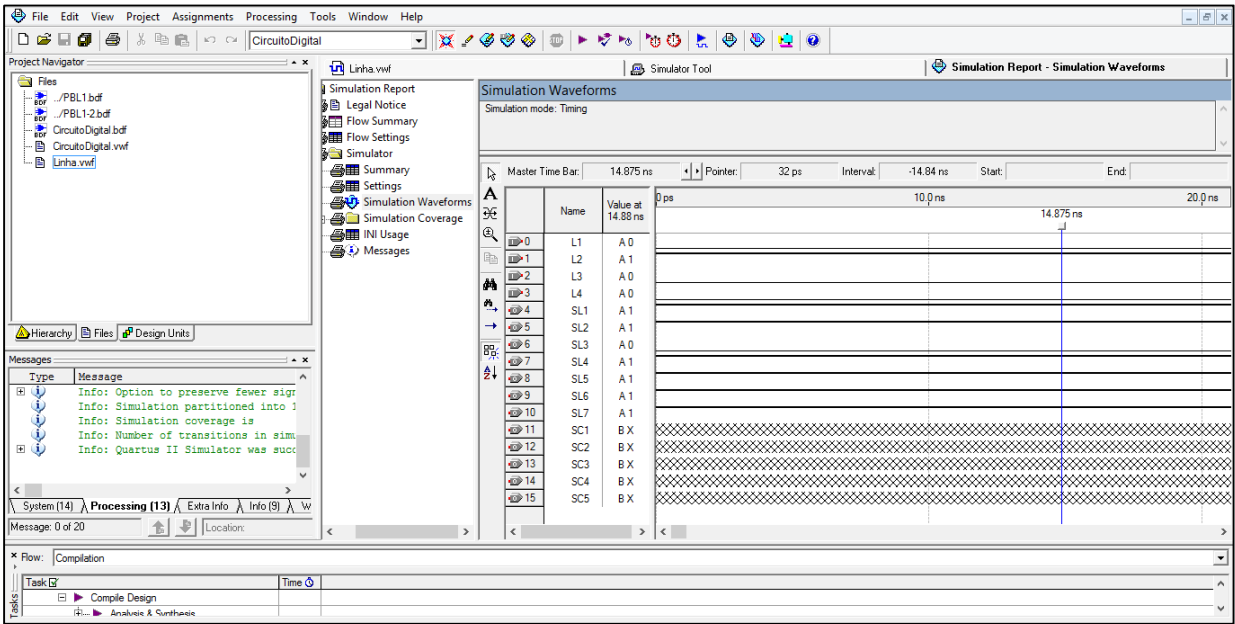
ANEXO 8



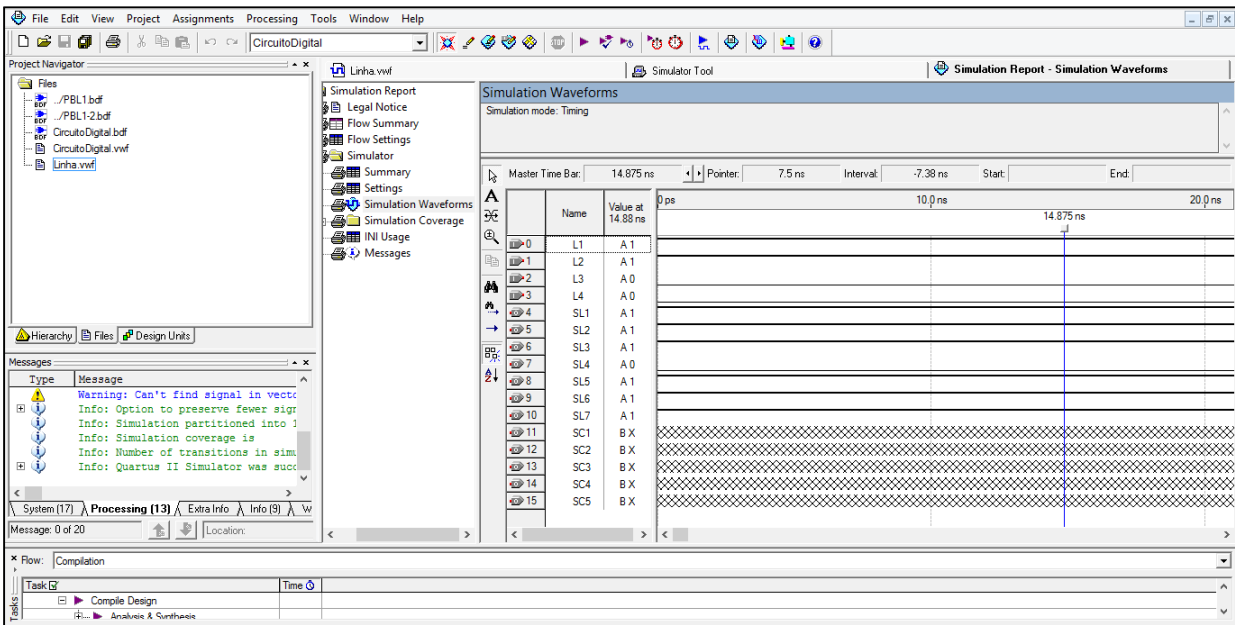
ANEXO 9



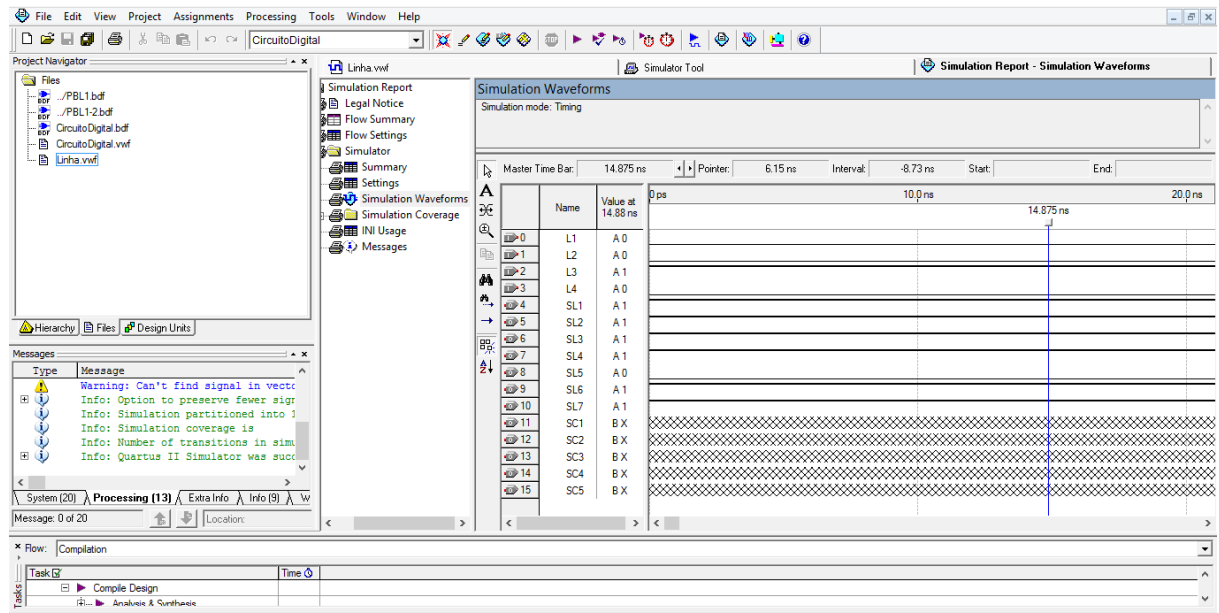
ANEXO 10



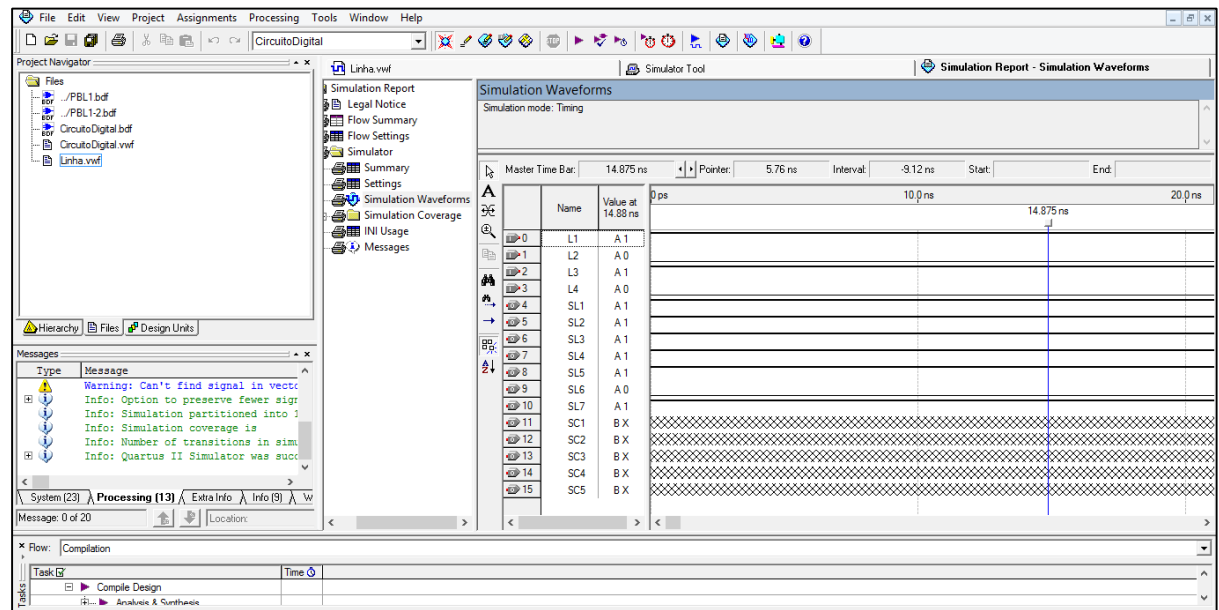
ANEXO 11



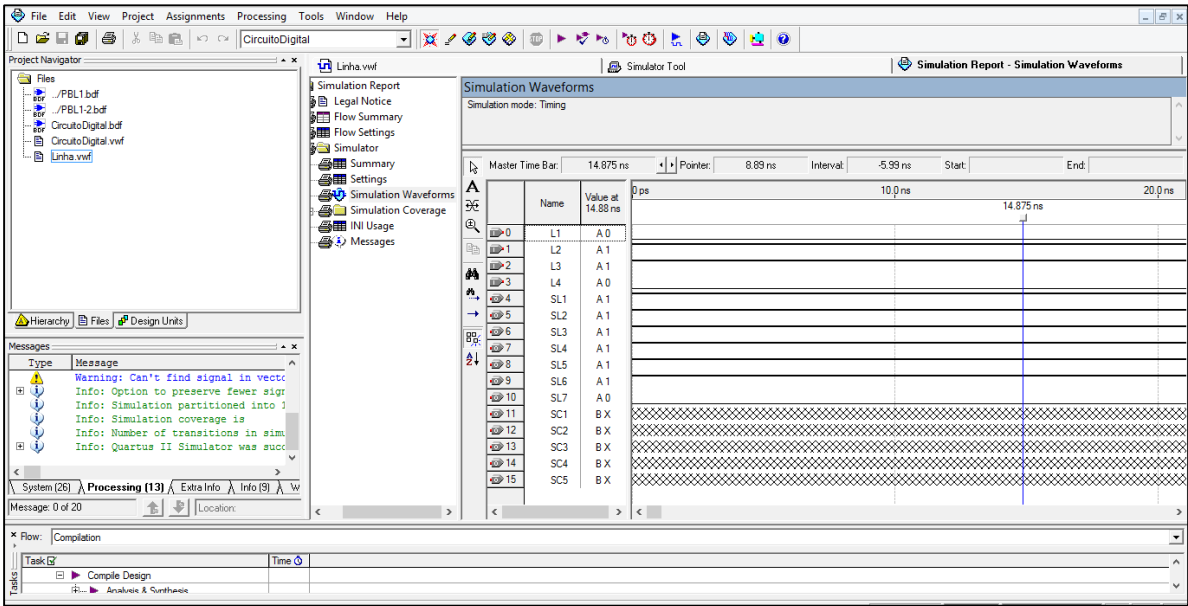
## ANEXO 12



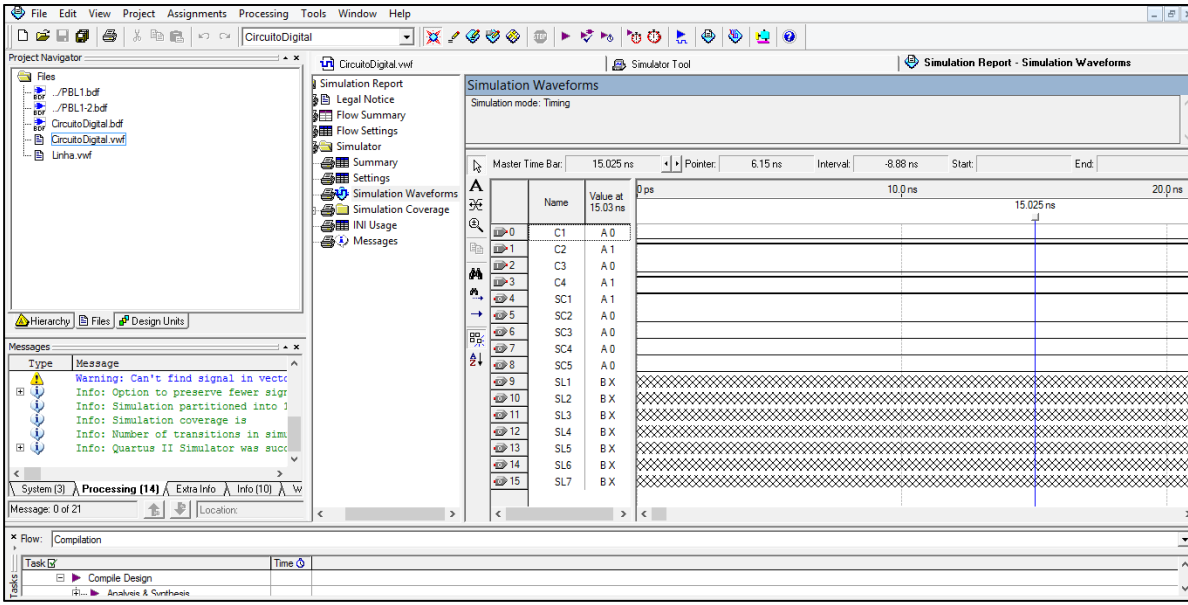
## ANEXO 13



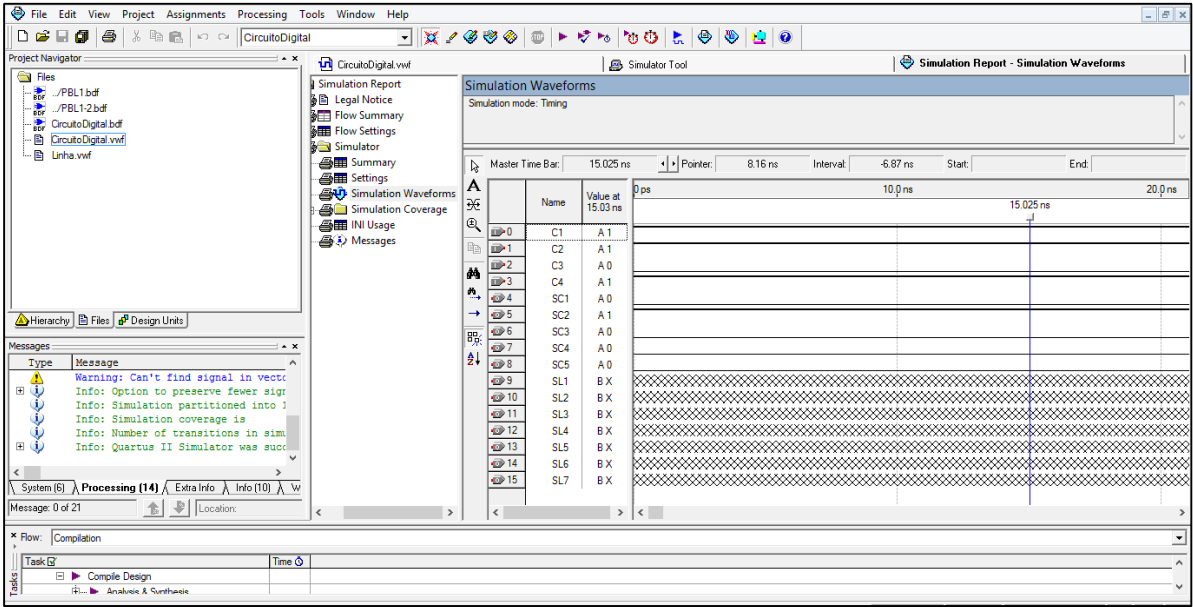
ANEXO 14



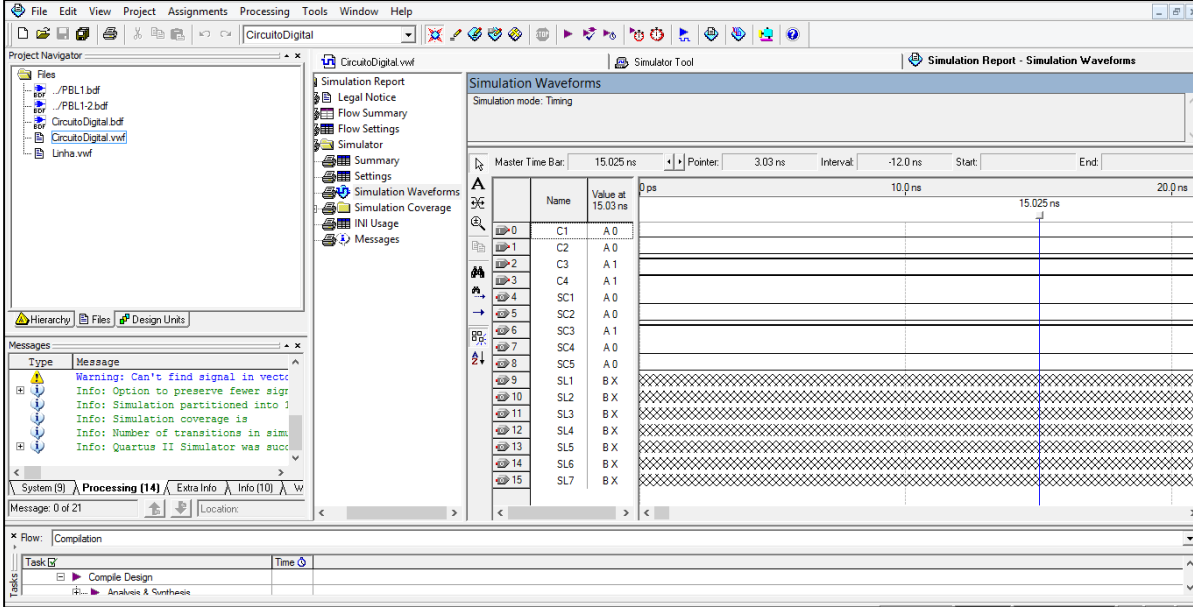
ANEXO 15



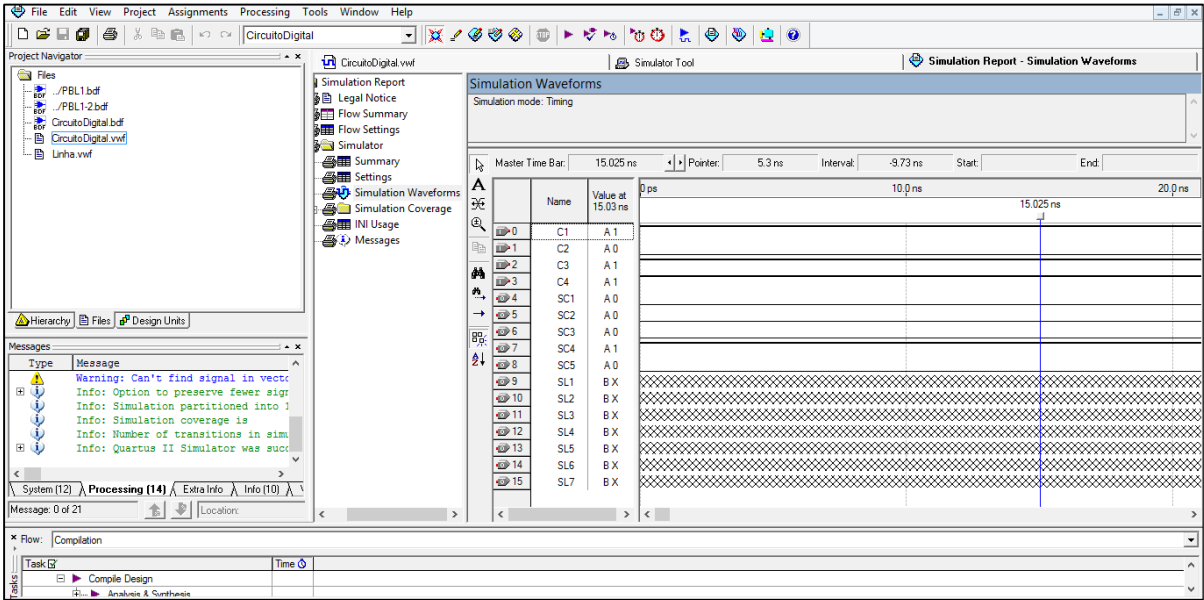
ANEXO 16



ANEXO 17



ANEXO 18



ANEXO 19

