

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**计算机科学与技术学院**

**2018 年 05 月 31 日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

图1-1“私有”的先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器的设计方案**

根据要求列出真值表如下所示：

表1-1 二进制半加器的真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入A | 输入B | 输出S | 输出C |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

依次画出卡诺图求解逻辑表达式：

表1-2 关于S的卡诺图

|  |  |  |
| --- | --- | --- |
| A\B | 0 | 1 |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

S=A⊕B;

表1-3 关于C的卡诺图

|  |  |  |
| --- | --- | --- |
| A\B | 0 | 1 |
| 0 | 0 | 0 |
| 1 | 0 | 1 |

C=AB;

根据逻辑表达式在logisim中绘制电路，电路图如下所示：

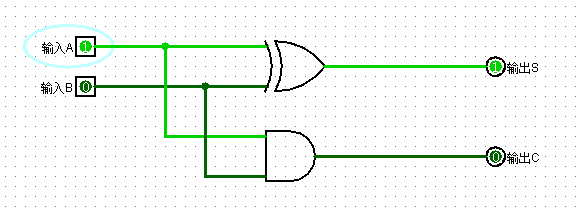


图1-2 一位二进制半加器

**（2）一位二进制全加器的设计方案**

根据要求列出真值表如下所示：

表1-4 二进制半加器的真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入A | 输入B | 输入Ci | 输出S | 输出C |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

依次画出卡诺图求解逻辑表达式：

表1-5 关于S的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ci\AB | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |

S=A⊕B⊕Ci;

表1-6 关于C的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Ci\AB | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |

C=AB+Ci(A⊕B);

根据逻辑表达式在logisim中绘制电路，电路图如下所示：

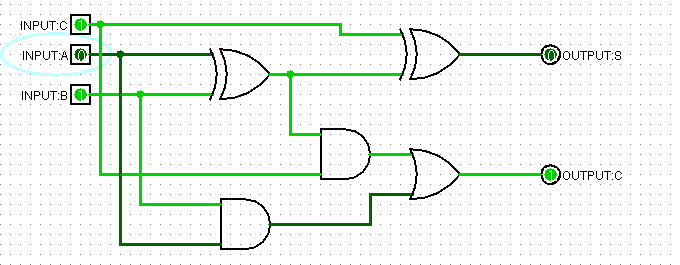


图1-3 一位二进制半加器

**（3）串行进位的四位二进制并行加法器的设计方案**

一个四位二进制加法器可以由四个全加器构成，各全加器之间的进位以串行方式实现，原理图如下所示：

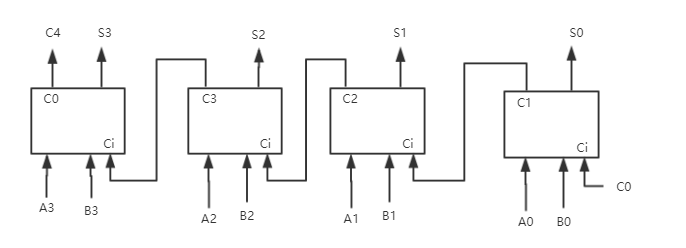


图1-4 原理图

根据原理图在logisim中绘制电路，电路设计如下图1-5所示，其中子电路中的全加器同图1-3所示。

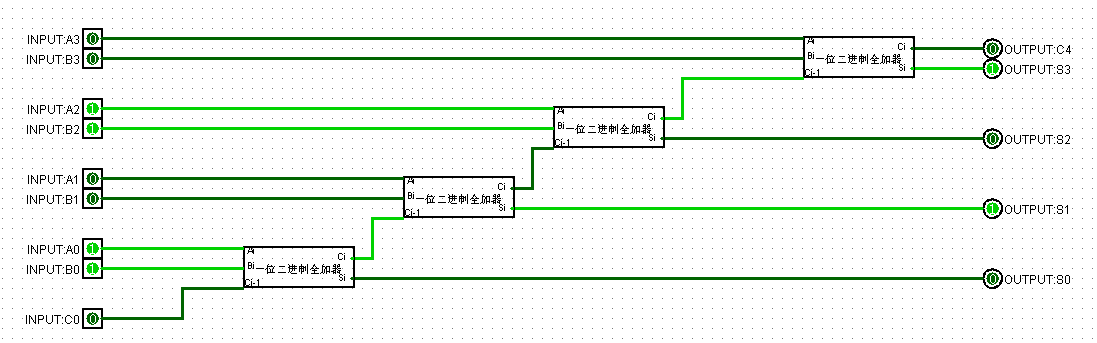


图1-5 串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器的设计方案**

根据全加器的功能，可写出第i位全加器的进位输出函数表达式为Ci=(Ai⊕Bi)Ci-1+AiBi。设Gi=AiBi，Pi=Ai⊕Bi，所以全加器的和及进位输出表达式分别为：

Si=Pi⊕Ci;

Ci=PiCi-1+Gi;

即 C1=P1C0+G1;

C2=P2P1C0+P2G1+G2;

C3=P3P2P1C0+P3P2G1+P3G2+G3;

C4=P4P3P2P1G1+PP4P3G2+P4G3+G4;

根据表达式使用logisim设计出如下电路图：

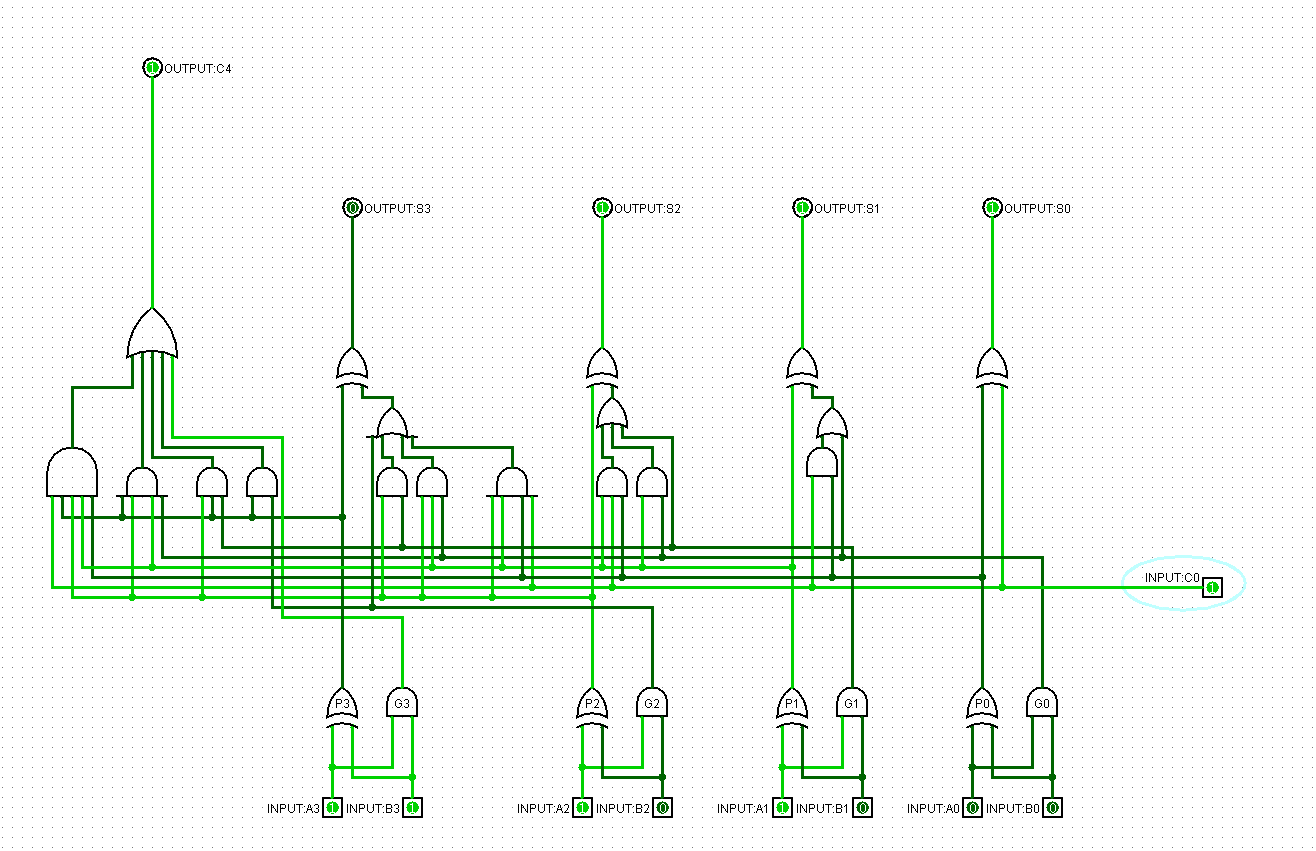


图1-6先行进位的四位二进制并行加法器

**（5）封装先行进位的四位二进制并行加法器电路**

对“第4步”完成的电路进行封装，封装后的电路图如下所示，然后对它设计的正确性进行验证。

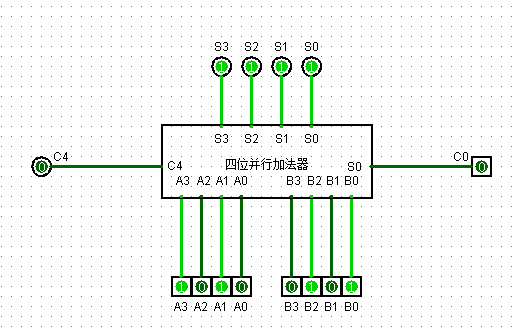
****

图1-7封装后的先行进位的四位二进制并行加法器



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**SD SC SB SA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPDS3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一中已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

**（1）设计一个四位二进制可逆计数器电路**

做出真值表如下所示：

表2-1 四位二进制可逆计数器的真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入  CPU CPD | 现态  QDQCQBQA | 次态（输出）  QDN+1QCN+1QBN+1QAN+1 | 激励函数  C4D4 C3D3 C2D2 C1D1 |
| 1 0 | 0000 | 0001 | 0d 0d 0d 11 |
| 1 0 | 0001 | 0010 | 0d 0d 11 10 |
| 1 0 | 0010 | 0011 | 0d 0d 0d 11 |
| 1 0 | 0011 | 0100 | 0d 11 10 10 |
| 1 0 | 0100 | 0101 | 0d 0d 0d 11 |
| 1 0 | 0101 | 0110 | 0d 0d 11 10 |
| 1 0 | 0110 | 0111 | 0d 0d 0d 11 |
| 1 0 | 0111 | 1000 | 11 10 10 10 |
| 1 0 | 1000 | 1001 | 0d 0d 0d 11 |
| 1 0 | 1001 | 1010 | 0d 0d 11 10 |
| 1 0 | 1010 | 1011 | 0d 0d 0d 11 |
| 1 0 | 1011 | 1100 | 0d 11 10 10 |
| 1 0 | 1100 | 1101 | 0d 0d 0d 11 |
| 1 0 | 1101 | 1110 | 0d 0d 11 10 |
| 1 0 | 1110 | 1111 | 0d 0d 0d 11 |
| 1 0 | 1111 | 0000 | 10 10 10 10 |
| 0 1 | 0000 | 1111 | 11 11 11 11 |
| 0 1 | 0001 | 0000 | 0d 0d 0d 10 |
| 0 1 | 0010 | 0001 | 0d 0d 10 11 |
| 0 1 | 0011 | 0010 | 0d 0d 0d 10 |
| 0 1 | 0100 | 0011 | 0d 10 11 11 |
| 0 1 | 0101 | 0100 | 0d 0d 0d 10 |
| 0 1 | 0110 | 0101 | 0d 0d 10 11 |
| 0 1 | 0111 | 0110 | 0d 0d 0d 10 |
| 0 1 | 1000 | 0111 | 10 11 11 11 |
| 0 1 | 1001 | 1000 | 0d 0d 0d 10 |
| 0 1 | 1010 | 1001 | 0d 0d 10 11 |
| 0 1 | 1011 | 1010 | 0d 0d 0d 10 |
| 0 1 | 1100 | 1011 | 0d 10 11 11 |
| 0 1 | 1101 | 1100 | 0d 0d 0d 10 |
| 0 1 | 1110 | 1101 | 0d 0d 10 11 |
| 0 1 | 1111 | 1110 | 0d 0d 0d 10 |

根据以上真值表写处逻辑表达式：

C1=CPU+CPD;

D1=/QA;

C2=CPUQA+CPD/QA;

D2=/QB;

C3=CPUQAQB+CPD/QA/QB;

D3=/QC;

C4=CPUQAQBQC+CPD/QA/QB/QC;

D4=/QD;

根据以上表达式做出电路图如下所示：

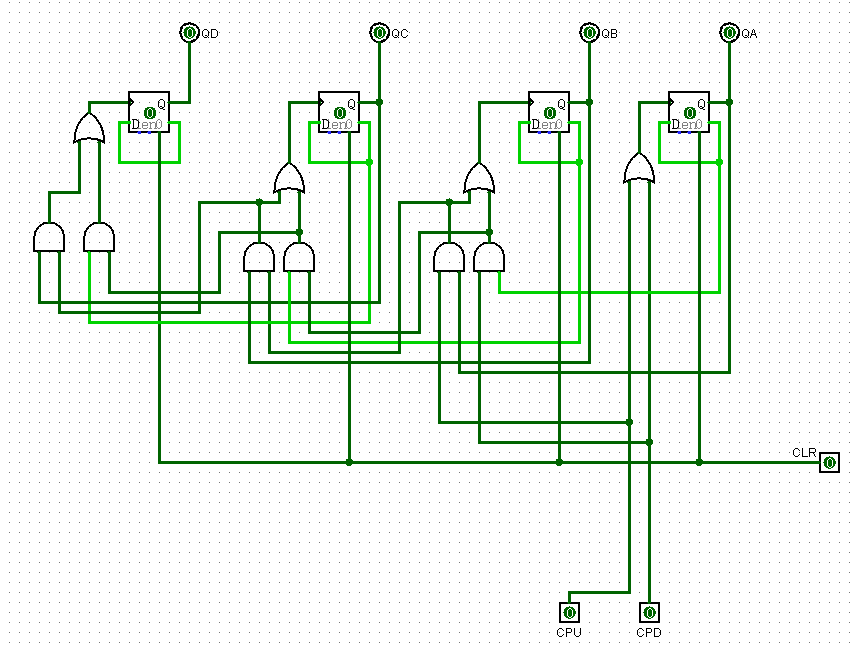


图2-3 一个四位二进制可逆计数器

**（2）用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**

表2-2 十进制、二进制和BCD码的对应表

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 十进制 | 二进制 | 8421 | 十进制 | 二进制 | 8421 |
| 0 | 00000000 | 00000000 | 8 | 00001000 | 00001000 |
| 1 | 00000001 | 00000001 | 9 | 00001001 | 00001001 |
| 2 | 00000010 | 00000010 | 10 | 00001010 | 00010000 |
| 3 | 00000011 | 00000011 | 11 | 00001011 | 00010001 |
| 4 | 00000100 | 00000100 | 12 | 00001100 | 00010010 |
| 5 | 00000101 | 00000101 | 13 | 00001101 | 00010011 |
| 6 | 00000110 | 00000110 | 14 | 00001110 | 00010100 |
| 7 | 00000111 | 00000111 | 15 | 00001111 | 00010101 |

分析得，仅需在10~15时加6，即第一位和第三位同时为1或第一位和第三位同时为1。设计出的电路图如下所示：

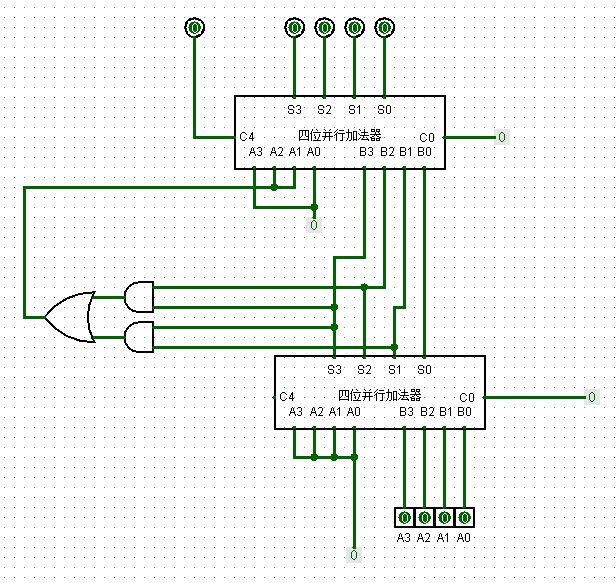


图2-4 四位二进制数转8421BCD码

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

**（A）设计一个7段译码器**

根据书本上的真值表，依次写出逻辑表达式：

表2-3 关于a的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 1 | 0 |
| 11 | 0 | 1 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

a=/A3/A2/A0+/A3A1A0+A2/A1A0+A3/A2/A1；A3+/A2A1+A2A0+/A2/A0;

表2-4 关于b的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 1 |
| 01 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 1 | 1 | 0 | 0 |

b=/A3/A2+/A1/A0+/A2/A1+/A3A1A0;/A2+/A1/A0+A1A0;

表2-5 关于c的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 1 | 0 |
| 01 | 1 | 1 | 1 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 1 | 1 | 1 | 0 |

c=/A3A2+/A2/A1+/A2A0;A2+/A1+A0;

表2-6 关于d的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 1 | 0 | 1 | 1 |

d=A1/A0+/A2A1+/A2A0+A2/A1A0;/A2/A0+A2/A1A0+/A2A1+A1/A0;

表2-7 关于e的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | 0 | 0 | 0 | 1 |
| 10 | 1 | 0 | 0 | 1 |

e=A1/A0+/A2/A0;A1/A0+/A2/A0;

表2-8 关于f的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 1 | 0 | 0 |

f=A2/A1+A2/A0+A3/A1+/A1/A0;A3+A2/A1+A2/A0+/A1/A0;

表2-9 关于g的卡诺图

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A3A2\A1A0 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 1 | 1 | 0 | 1 |
| 11 | 1 | 1 | 0 | 1 |
| 10 | 1 | 1 | 1 | 0 |

g=A2/A1+A3/A1+A2/A0+/A3/A2A1+/A2A1A0；A3+A2/A1+A1/A0+/A2A1;

根据逻辑表达式画出电路图如下图所示：

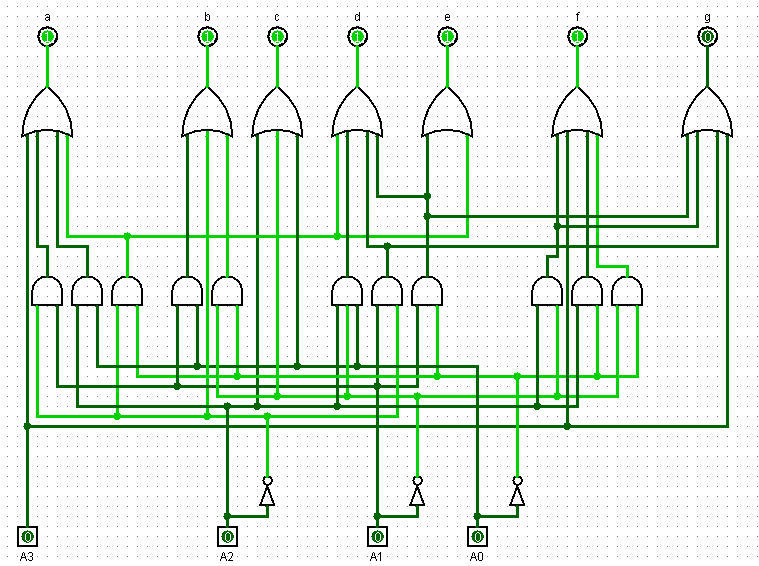


图2-5 7段译码器

**（B）设计用“7段数码显示管”显示人数的逻辑电路**

输入四位二进制数字A3A2A1A0代表人数，先通过（2）中转换器将二进制转8421码，之后用两个7段译码器分别输出个位和十位，设计电路图如下所示：

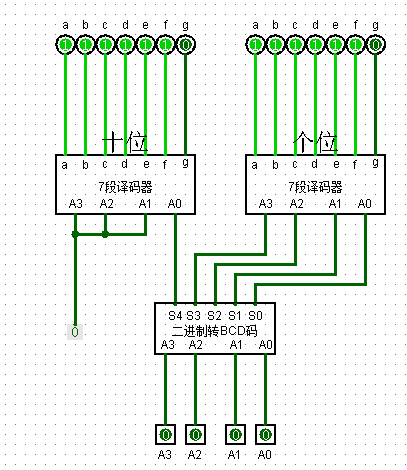


图2-6 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”库元件。

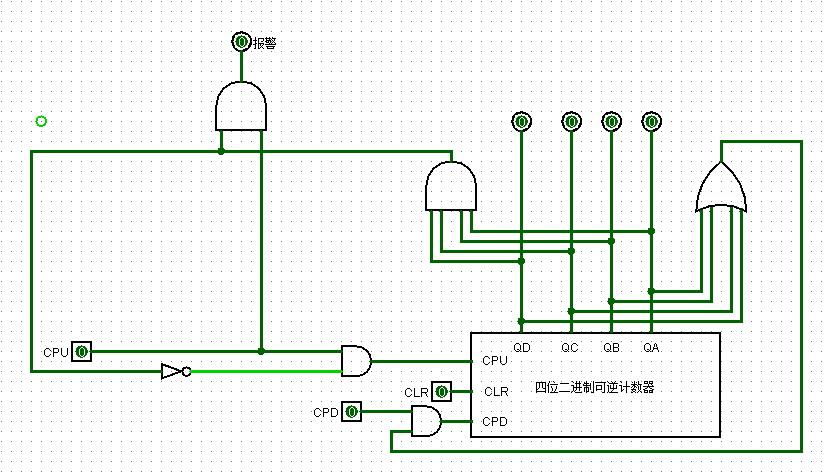


图2-7 报警电路

**（5）设计小型实验室门禁系统电路**

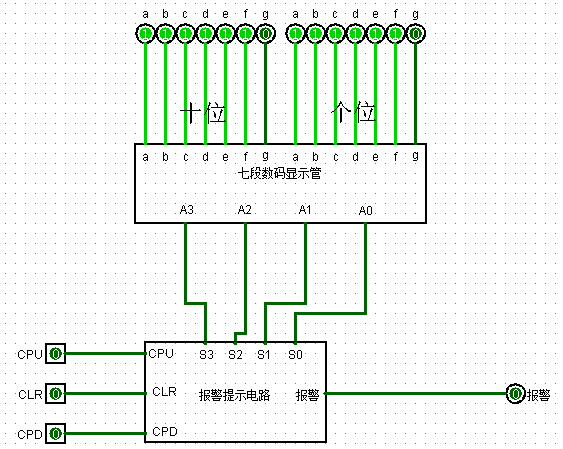


图2-8 门禁系统电路

其中报警提示电路为（4）中电路的封装电路，七段数码显示管为（3）（B）中电路的封装电路，之后对该电路进行封装并连上7段数码管以方便观察测试，结果如下图所示。

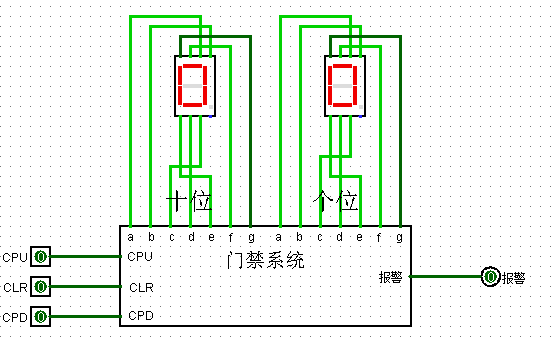


图2-9 门禁系统电路

6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

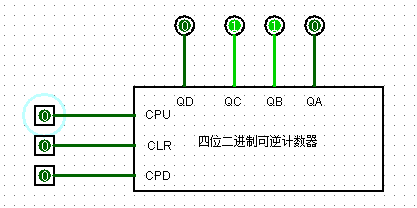
****

图2-10**一个四位二进制可逆计数器**

**（2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

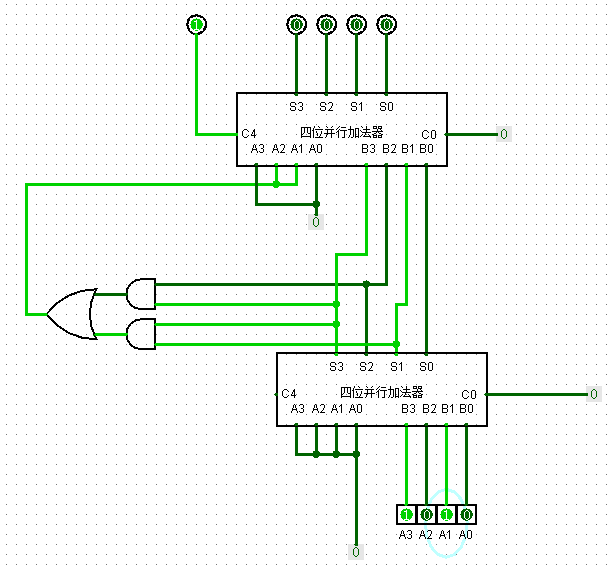
****

图2-11**二进制数转换成8421BCD码的电路**

**（3）给出采用“7段数码显示管”显示人数的电路**

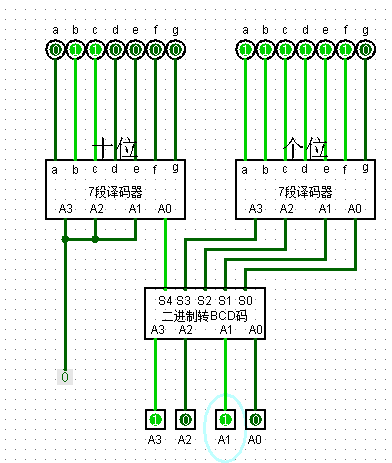
****

图2-12 人数显示的电路

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

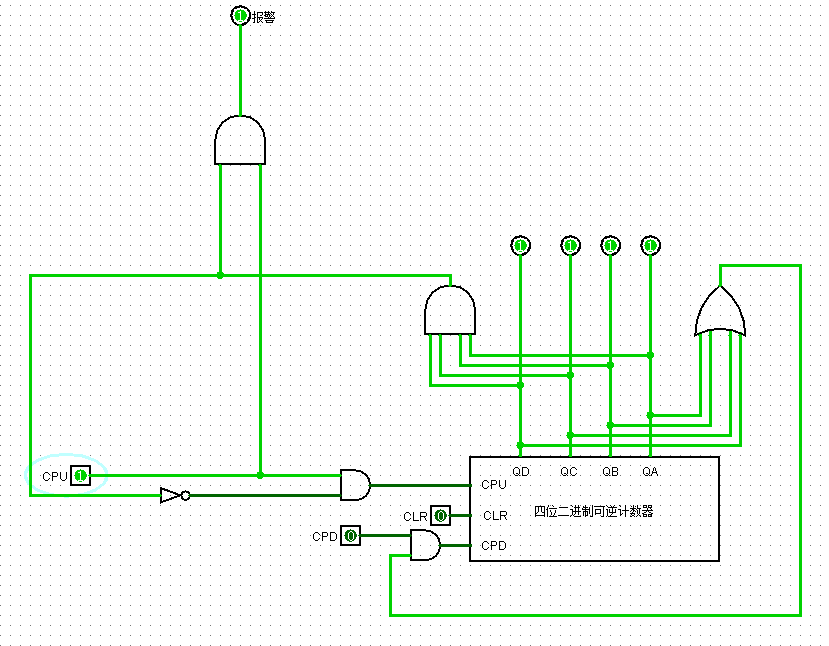
****

图2-13 人数满了之后刷入请求报警

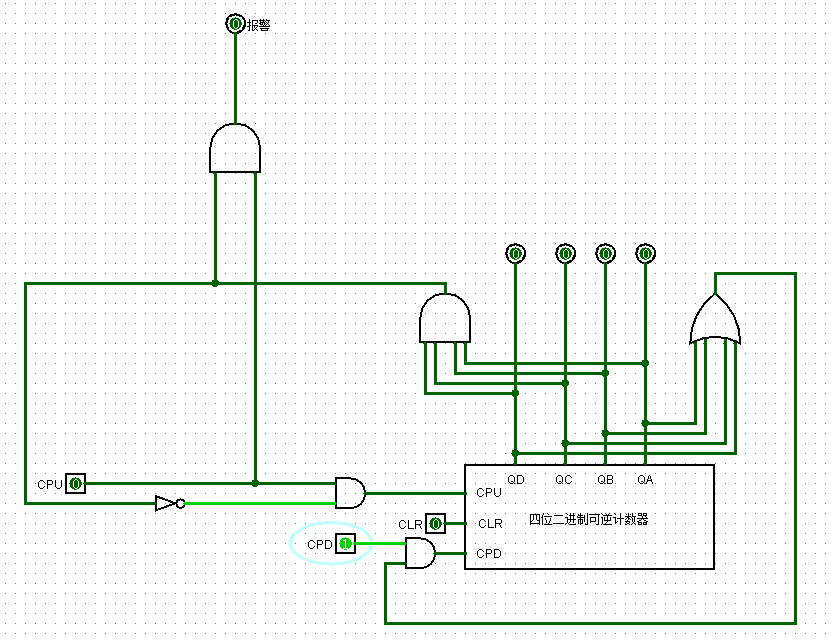
****

图2-14 人数为0时刷出请求不动作

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

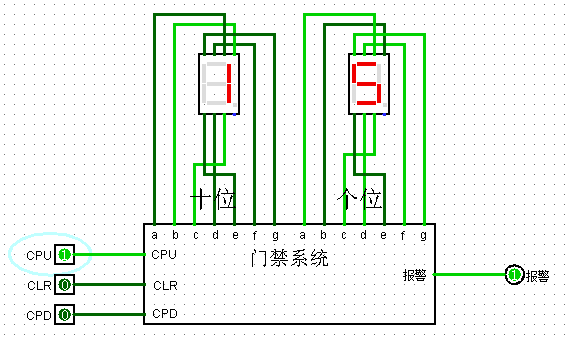


图2-15 满员时后刷入请求报警

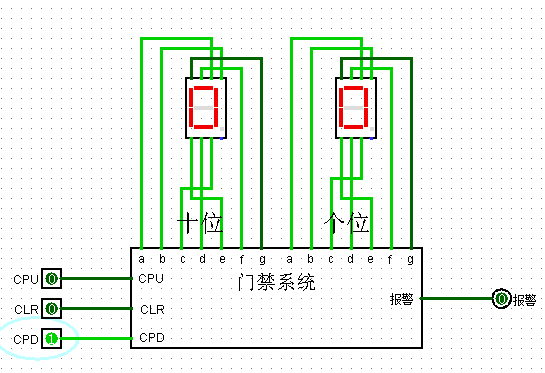


图2-16 人数为0时刷出请求不动作

7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

1. 四位二进制可逆计数器的实现，真值表较长做出卡诺图和求出表达式需要很长的时间。

2. 将二进制转化为8421码的电路中若仅使用一个可逆计数器则在调试过程中会提示有明显震荡，不能继续进行信号模拟。

**（2）你是如何解决的？**

1. 最初思路限制于增加开关的方式，在设计电路过程中没有找到合适的方式，最终选择做真值表的方式设计电路。

2. 采用两个可逆计数器连接起来的方式可避免震荡现象的出现。

**（3）意见和建议**

无。