САНКТ-ПЕТЕРБУРГСИЙ ГОСУДАРСТВЕННЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Кафедра Компьютерных Систем и Программных Технологий

ОТЧЕТ

индивидуальному заданию

Дисциплина: «Логическое проектирование»

Выполнил: студент гр. 53501/2

Пономарев М.А

Преподаватель Мараховский В.Б

Санкт-Петербург 2015

Содержание

1 Задание

Спроектировать логическое устройство, позволяющее определять, делится ли без остатка или нет m–разрядное число x, записанное в двоичной системе счисления

$$x = \underbrace{a_1 \quad a_2 \qquad a_3 \quad \dots \quad a_m} \tag{1}$$

,где a_i — і—ый разряд числа, m — количество разрядов.

2 Решение

2.1 Алгоритм решения

Алгоритм решения задачи основан на признаках деления чисел в двоичной системе счисления. Так для того, чтобы число делилось на 3, знакопеременная сумма цифр должна делиться на 3 без остатка. Приведем пример:

$$75_{10} = 1001011_2$$

$$1 + 0 - 0 + 1 - 0 + 1 - 1 = 0$$
(2)

Число в выражении (??) делится на три.

Разумно предположить, что нам понадобиться счетчик для хранения текущего значения при вычислении знакопеременной суммы. В теории эта сумма может быть сколь угодно большой, но в силу той особенности, что каждое третье число делится на три нам необходимо хранить только значения в диапазоне от 0 до 2. Хранить значения будем с помощью двух разрядов. Ниже представлена таблица с возможными принимаемыми значениями счетчика:

Десятичн.	Двоичн.		
0	100		
1	010		
2	001		

Положим, наше число x состоит из m разрядов. Тогда

$$x = \underbrace{a_1 \quad a_2 \quad \dots \quad a_n \quad a_{n+1} \quad \dots \quad a_m}_{} \tag{3}$$

Разобьем задачу на фиксированный количество шагов. Каждый шаг будет состоять из фиксированного количества действий, а именно:

- а) Прибавляем значение a_n к счетчику.
- б) Вычитаем значение a_{n+1} из счетчика.

Для решения нам понадобится два логических блока, назовем их SUM и SUB. Приведем схему, реализующую шаг алгоритма:

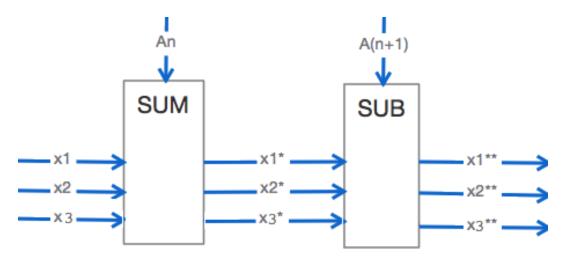


Рисунок 1 — Схема реализации i-го шага алгоритма

2.2 Вспомогательные логические блоки

2.2.1 Блок для прибавления к счетчику разряда

— Переменные:

 a_n — прибавляемое число

 x_1, x_2, x_3 — входные значения

 y_1, y_2, y_3 — выходные значения

Таблица истинности:

x_1	x_2	x_3	a_n	y_1	y_2	y_3
1	0	0	0	1	0	0
0	1	0	0	0	1	0
0	0	1	0	0	0	1
1	0	0	1	0	1	0
0	1	0	1	0	0	1
0	0	1	1	1	0	0

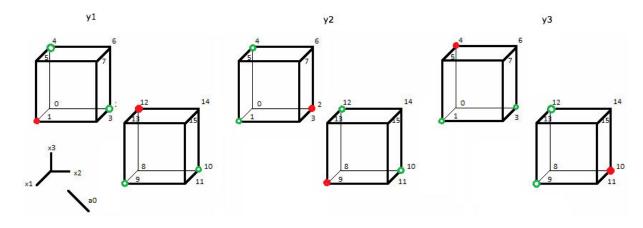


Рисунок 2 — Минимизация с помощью гиперкуба

— Логические функции:

$$y_1 = x_1 \overline{a_n} + x_3 a_n = \overline{x_1 \overline{a_n}} \overline{x_3 a_n}$$

$$y_2 = x_2 \overline{a_n} + x_1 a_n = \overline{x_2 \overline{a_n}} \overline{x_1 a_n}$$

$$y_3 = x_3 \overline{a_n} + x_2 a_n = \overline{x_3 \overline{a_n}} \overline{x_2 a_n}$$

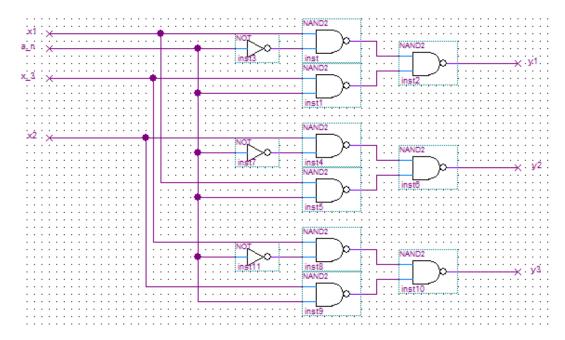


Рисунок 3 — Логическая схема блока суммирования

2.2.2 Блок для вычитания из счетчика разряда

— Переменные:

 a_n — вычитаемое число

 x_1, x_2, x_3 — входные значения

 $y_1, y_2 y_3$ — выходные значения

Таблица истинности:

x_1	x_2	x_3	a_n	y_1	y_2	y_3
1	0	0	0	1	0	0
0	1	0	0	0	1	0
0	0	1	0	0	0	1
1	0	0	1	0	0	1
0	1	0	1	1	0	0
0	0	1	1	0	1	0

— Логические функции:

$$y_1 = x_1 \overline{a_n} + x_2 a_n = \overline{x_1 \overline{a_n}} \overline{x_2 a_n}$$

$$y_2 = x_2 \overline{a_n} + x_3 a_n = \overline{x_2 \overline{a_n}} \overline{x_3 a_n}$$

$$y_3 = x_3 \overline{a_n} + x_1 a_n = \overline{x_3 \overline{a_n}} \overline{x_1 a_n}$$

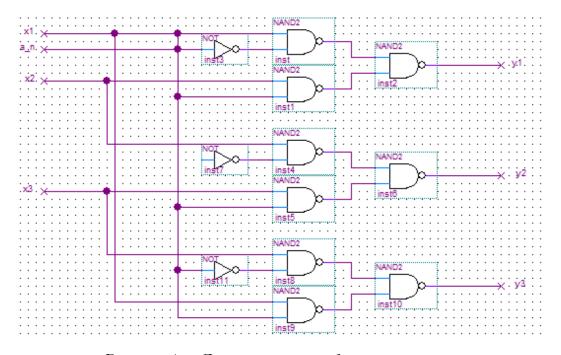


Рисунок 4 — Логическая схема блока вычитания

2.2.3 Блок для получения результата

— Переменные:

$$x_1, x_2, x_3$$
 — входные значения

$$Y$$
 — выходное значение

Таблица истинности:

x_1	x_2	x_3	Y
1	0	0	1
0	1	0	0
0	0	1	0

— Логическая функция:

$$Y = x_1 \, \overline{x_2} \, \overline{x_3} = \overline{\overline{x_1} \, \overline{x_2} \, \overline{x_3}}$$

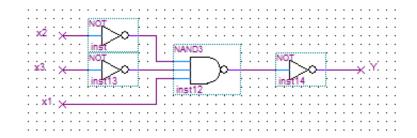


Рисунок 5 — Логическая схема блока для получения результата

2.3 Результат

При последовательном соединении спроектированных блоков получаем необходимую реализацию устройства.

Изначально на входы x_1 , x_2 и x_3 подаются нули, последовательно через схему проходят все разряды рассматриваемого числа, на выходе Y получаем «1», если число делиться на 3 или «0», если нет.

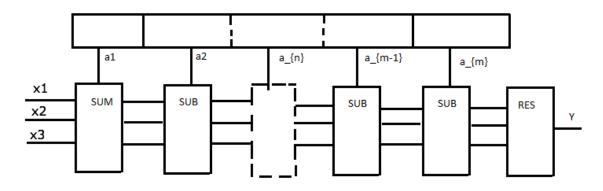


Рисунок 6 — Логическая схема результирующего устройства