

САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
Кафедра Компьютерных Систем и Программных Технологий

ОТЧЕТ

по лабораторной работе №1

Дисциплина: «Проектирование встраиваемых устройств»

Выполнил: студент гр. 53501/2
Пономарев М.А

Преподаватель
Антонов А.П

Санкт-Петербург
2015

Содержание

1	Задание	1
2	Решение	2
3	Выводы	3

1 Задание

- На языке Verilog описать представленную ниже схему

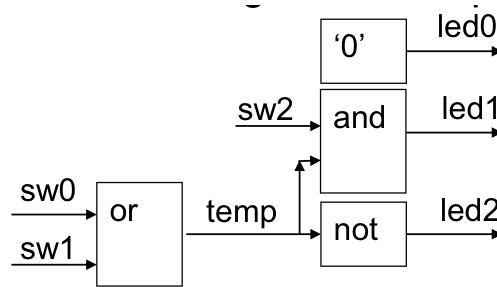


Рисунок 1 — Схема устройства

- Посмотреть синтезированную пакетом QII схему (RTL Viewer)
- Осуществить функциональное моделирование
- Назначить выводы СБИС
- Осуществить полную компиляцию, программирование платы и проверить работу проекта на плате

2 Решение

Для определения логики работы файла создадим Verilog HDL файл. В результате получаем следующий код:

```
2 module lab1 (sw0, sw1, sw2, led0, led1, led2);
3
4   input sw0, sw1, sw2;
5   output led0, led1, led2;
6
7
8   wire temp;
9
10
11  assign temp = sw0 | sw1;
12  assign led0 = 0;
13  assign led1 = sw2 & temp;
14  assign led2 = ~temp;
15
16 endmodule
```

Рисунок 2 — VHDL код

Для просмотра логической схемы работы устройства воспользуемся RTL Viewer. В результате получаем:

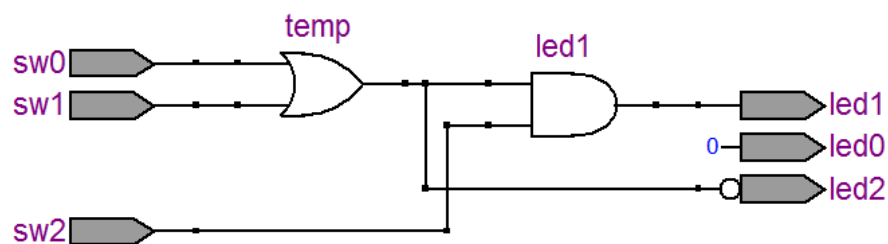


Рисунок 3 — Логическая схема устройства

Осуществим функциональное моделирование. Для этого создадим Vector Waveform File, определим значение входных сигналов. Запустим функциональное моделирование, получим:

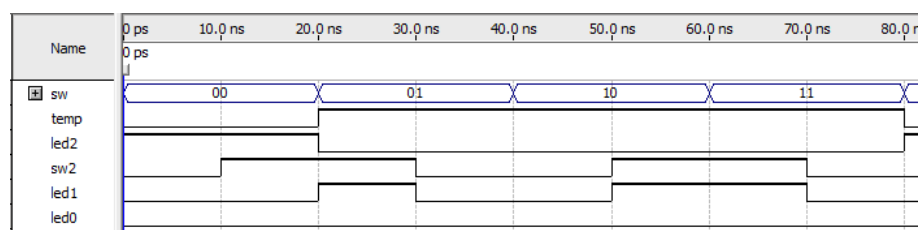


Рисунок 4 — Векторная диаграмма

3 Выводы

В ходе выполнения лабораторной работы было спроектировано устройство на языке Verilog HDL, осуществлено функциональное моделирование для проверки правильности работы и проверка работы устройства на плате.