

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
FACULTAD DE INGENIERÍA
LABORATORIO DE DISEÑO DIGITAL MODERNO
SEMESTRE 2020 - 2

TAREA 18:
CONTADOR DESCENDENTE

ALUMNO:

Murrieta Villegas Alfonso

PROFESORA:

Elizabeth Fonseca Chávez

FECHA DE ENTREGA:

16 de abril del 2020

GRUPO TEORÍA: 4

GRUPO LABORATORIO: 3

Introducción

Un contador binario, en si es un contador que muestra el resultado en numeración binaria o de base dos, donde a cada salida del contador se le denomina bit, este bit puede tomar solo dos valores “1 lógico” (valor de voltaje alto) o “0 lógico” (valor de voltaje aproximadamente cero),.

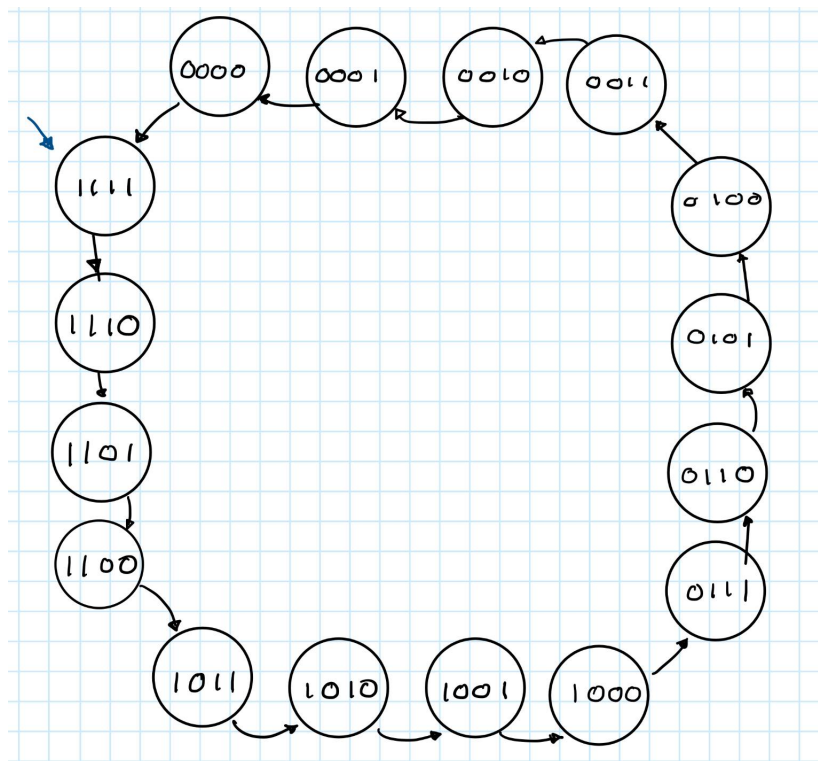
Objetivos

- 1) Realizar un contador descendente de 4 bits planteándolo mediante una carta ASM y diagrama de estado
- 2) Realizar en código VHDL y probar en tarjeta el contador

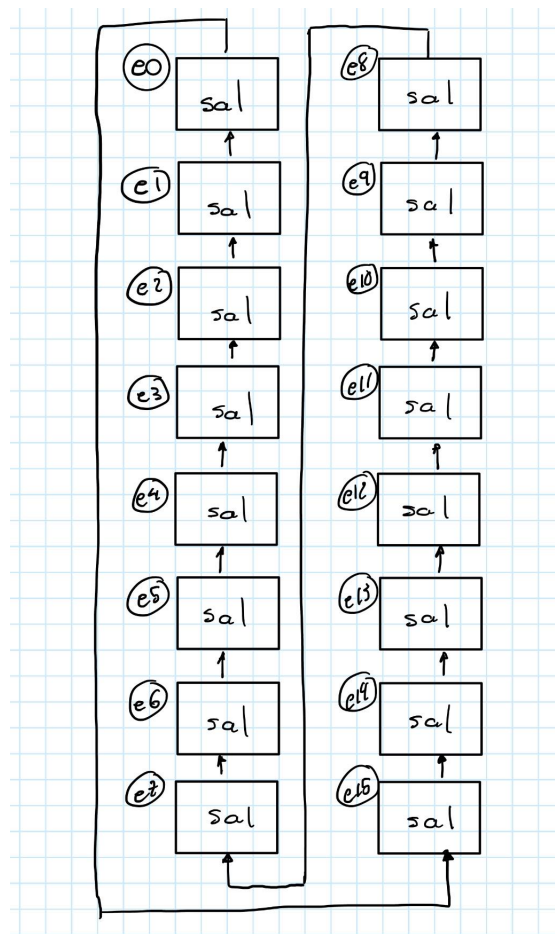
Planteamiento del problema y Diagramas

Antes de escribir el código en VHDL , fue necesario realizar diagramas auxiliares para la comprensión de este trabajo, es por ello que a continuación se muestran tanto el diagrama de estados como la carta ASM de este contador de 4 bits:

A continuación se muestra el diagrama de estados:



A continuación se muestra la carta ASM:

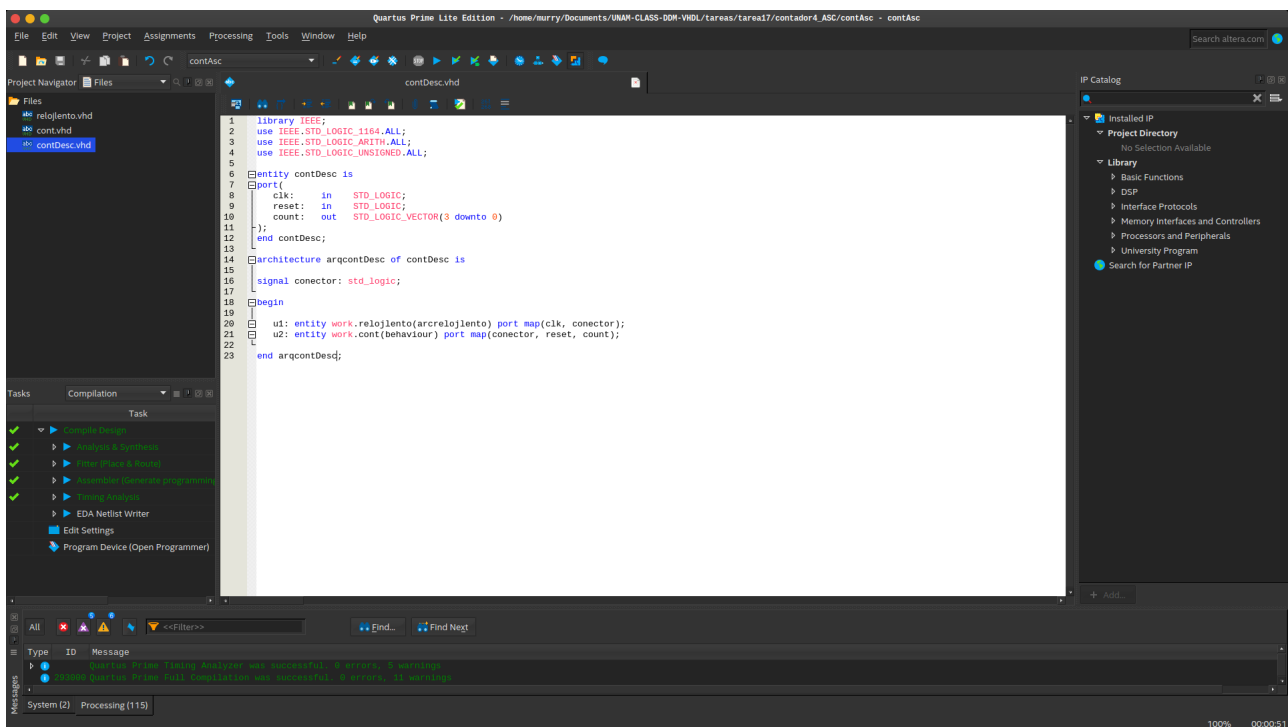


Código en VHDL y resultados

Como se puede observar en la imagen inferior, el proyecto consta del código principal (cont) y que lleva toda la lógica del contador, por otro lado, también incluye un reloj lento para poder hacer visible el contador mediante los leds en la FPGA y por último, un top para unir a ambos códigos.

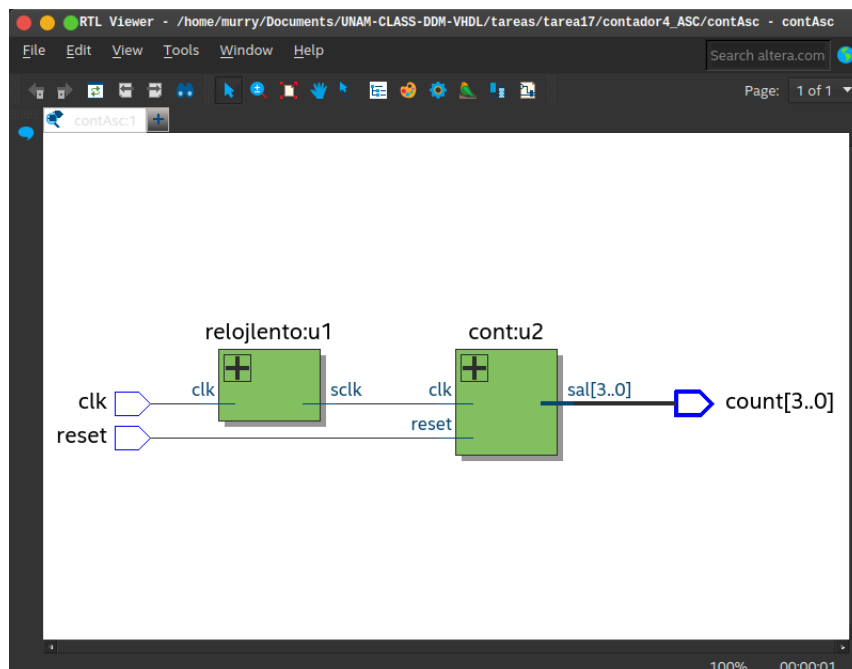
NOTA: Este código está basado casi en su totalidad al de la tarea 18, los únicos cambios reales fueron la forma en que se llamaron los estados al mostrarse en la fpga

A continuación se muestra la compilación del proyecto:

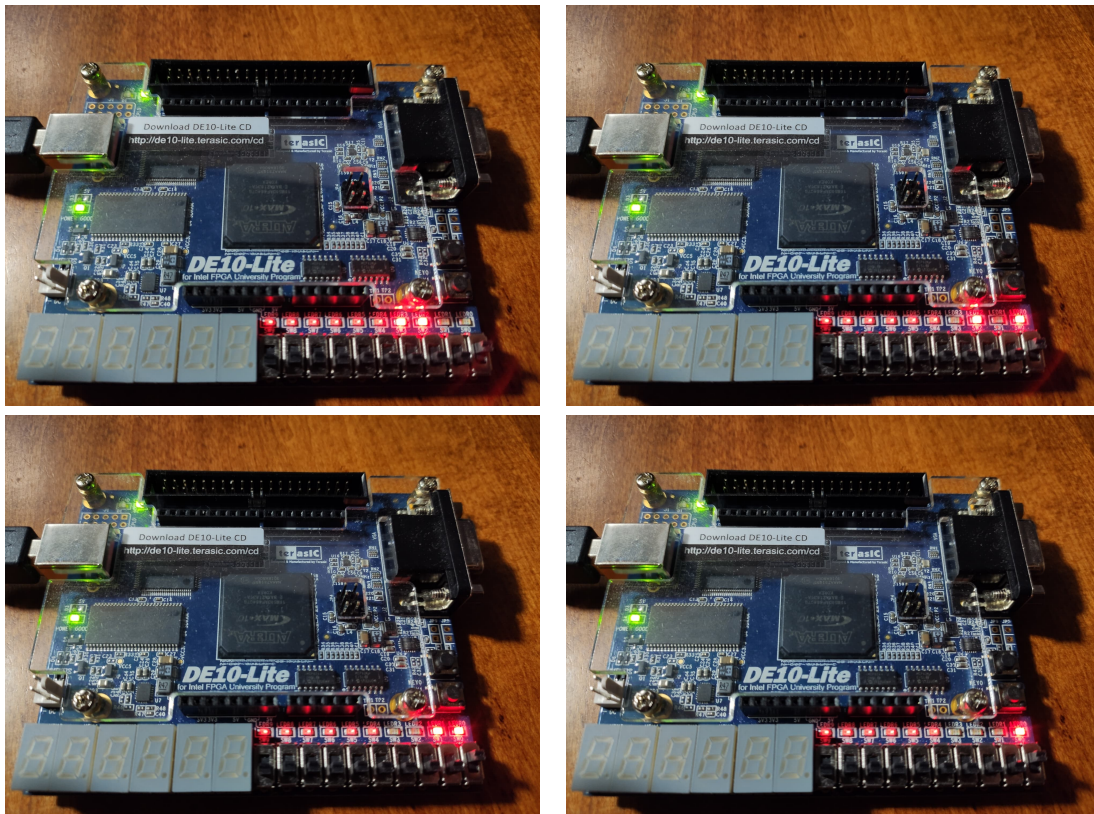


NOTA: A diferencia del contador ascendente, en este caso, el contador iría en sentido contrario”, es decir del último estado (15) al primero (1) (Obvio, haciendo la comparación).

A continuación se muestra el diagrama RTL obtenido en Quartus:



Por último, tabla con las imágenes obtenidas del programa corriendo en la FPGA:



Como se observa en las imágenes superiores, se puede observar como fue decrementando el contador en la FPGA.

Conclusiones

En el presente trabajo a través de recursos gráficos como la carta ASM o el diagrama de estados es como se pudo entender y realizar el código en VHDL de un contador de bits, sin duda, este tipo de recursos facilitan la comprensión de proyectos de diseño digital, tal vez en este caso sea muy obvio lo que hace y cómo funciona el contador, sin embargo, en proyectos más grandes observaremos que a veces un recurso gráfico como estos son de mucha ayuda.

Por otro lado, los contadores son circuitos básicos pero a menudo muy frecuente en el diseño digital, es muy probable que estos contadores los usemos más adelante en proyectos más complejos.

Por último, realmente aquí pudimos comprender y aplicar nuevamente lo visto en la tarea 17 pero con el cambio de hacerlo de forma descendente el contador.

Referencias

- 1) Manual de Usuario. Recuperado el 14 de abril de 2020, de https://www.intel.com/content/dam/altera-www/global/en_US/portal/dsn/42/doc-us-dsnbk-42-2912030810549-de10-lite-user-manual.pdf
- 2) Práctica 7 del Laboratorio de Diseño Digital. Recuperado el 14 de abril de 2020, de https://bloglabdsd.files.wordpress.com/2015/02/practica7_ddm.20201.pdf
- 3) Proyecto 1. Lógica Digital. Recuperado el 14 de abril de 2020, de <https://www.scribd.com/doc/13923081/Proyecto-Logica-Digital-Contador-de-4-Bits>