

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO  
FACULTAD DE INGENIERÍA  
LABORATORIO DE DISEÑO DIGITAL MODERNO  
SEMESTRE 2020 - 2

EXAMEN:  
CONTADOR ASCENDENTE DE 3 BITS CON SALIDA A 7  
SEGMENTOS

*ALUMNO:*

Murrieta Villegas Alfonso

*PROFESORA:*

Elizabeth Fonseca Chávez

*FECHA DE ENTREGA:*

23 de abril del 2020

*GRUPO TEORÍA: 4*

*GRUPO LABORATORIO: 3*

## Introducción

Un contador binario, en si es un contador que muestra el resultado en numeración binaria o de base dos, donde a cada salida del contador se le denomina bit, este bit puede tomar solo dos valores “1 lógico” (valor de voltaje alto) o “0 lógico” (valor de voltaje aproximadamente cero).

Las cartas ASM por sus siglas en inglés 'Algorithmic State Machine' son una forma de descripción de tipo gráfico especialmente enfocada, como indica su nombre, a representar algoritmos secuenciales.

Este tipo de modelo o representación se asemeja mucho a lo comúnmente conocido en programación como 'diagrama de flujo', pues se describe los pasos del procedimiento y los caminos de decisión, sin embargo, al ser un diagrama de flujo para un algoritmo de hardware debe tener unas características especiales que ligen de cerca el desarrollo de hardware del algoritmo.

## Objetivo

- 1) Realizar un contador de 3 bits ascendente con método funcional
- 2) Agregar un display de 7 segmentos para ver explícita la salida
- 3) Aplicar todos los conocimientos previos vistos en este examen.

## Desarrollo

### Modelos y Recursos Visuales

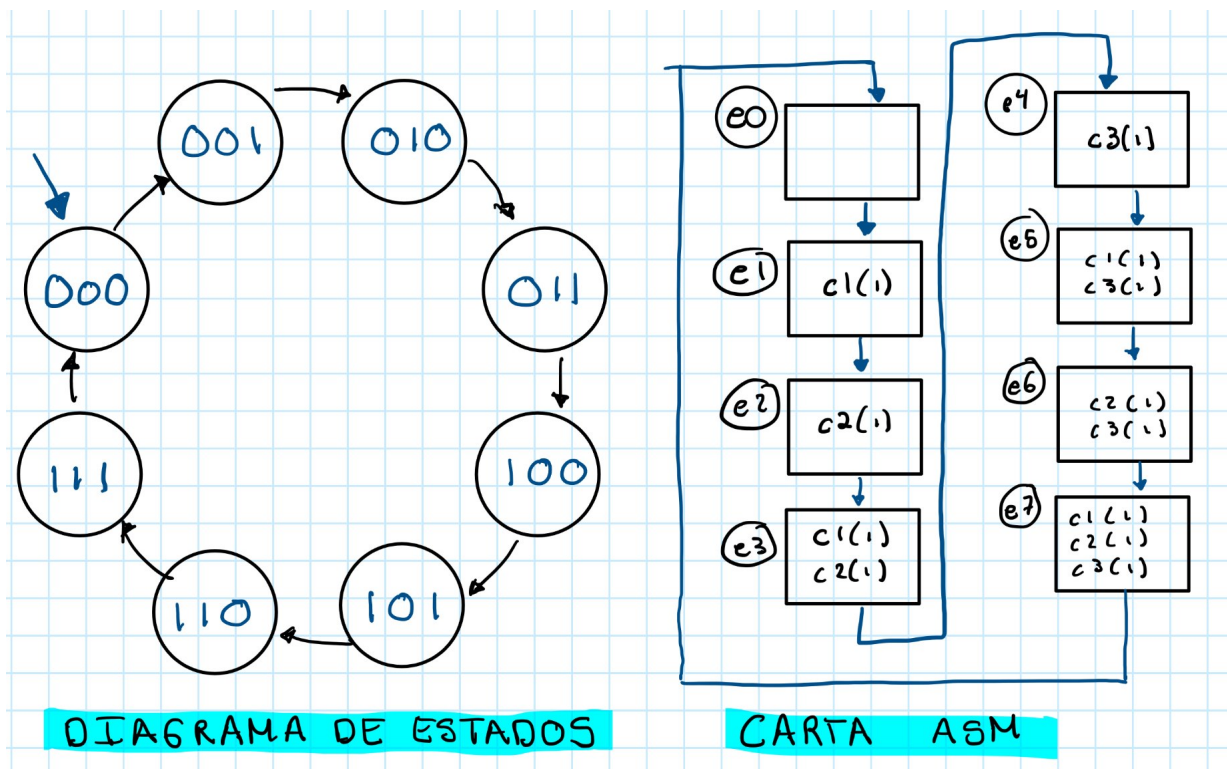
A continuación se muestran la tabla de transición:

Estados	Q	Q+1	Salida
E0	000	001	001
E1	001	010	010
E2	010	011	011
E3	011	100	100
E4	100	101	101
E5	101	110	110
E6	110	111	111
E7	111	000	000

NOTA: Debido a que la versión de contador ascendente que me tocó se representará mediante su forma FUNCIONAL, no se realizan los mapas de Karnaugh.

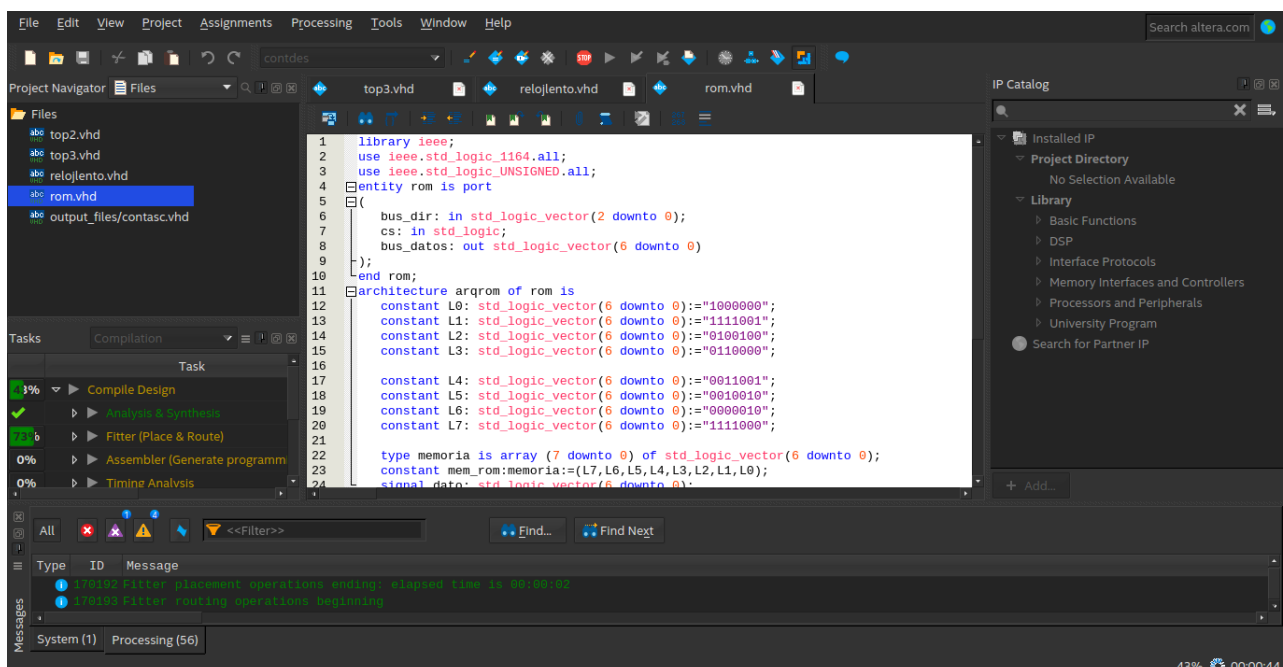
Antes de escribir el código en VHDL, fue necesario realizar diagramas auxiliares para la comprensión de este trabajo, es por ello que a continuación se muestran tanto el diagrama de estados como la carta ASM de este contador de 3 bits:

A continuación se muestra la carta ASM y diagrama de estados:

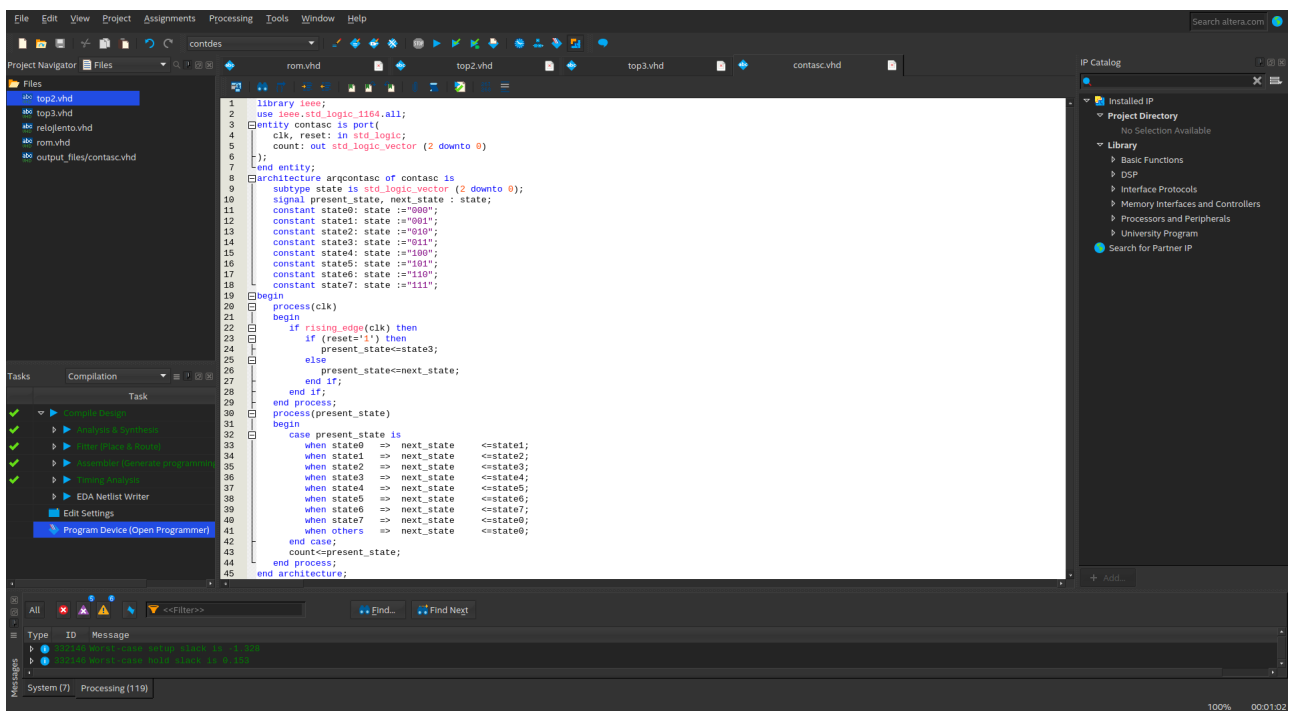


## Código y Funcionamiento

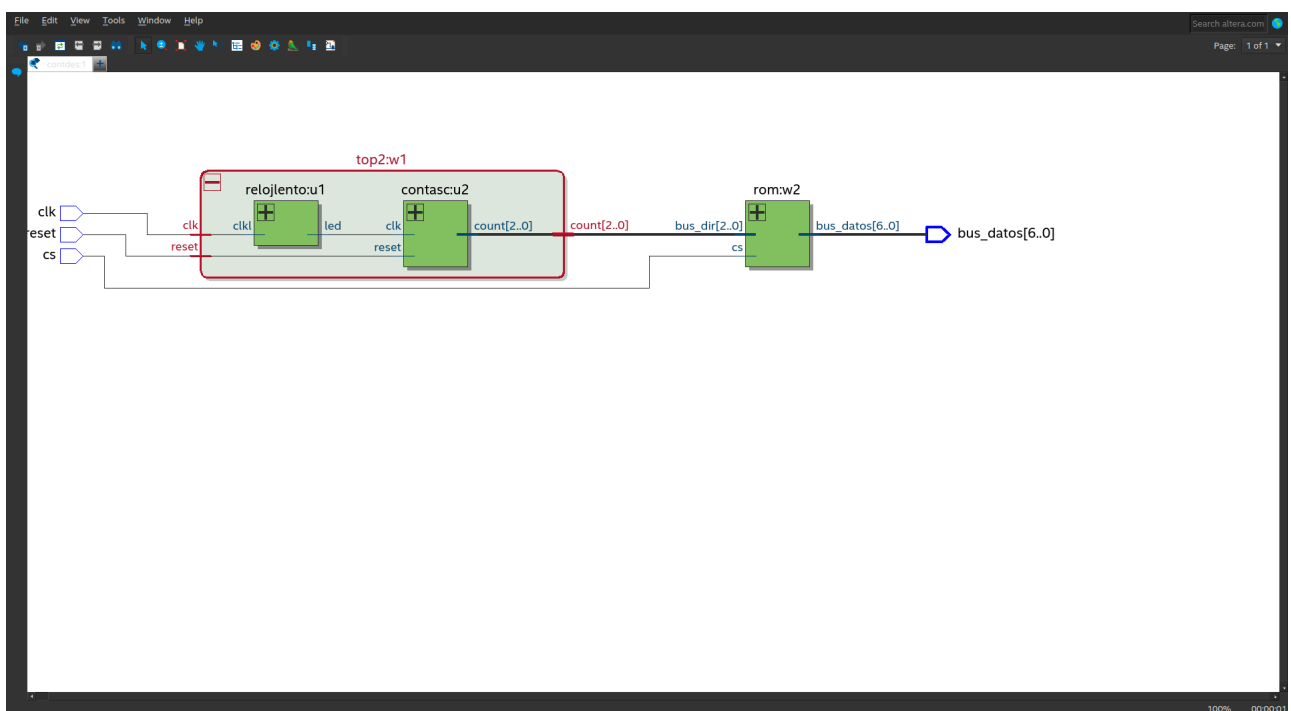
A continuación se muestra el código y la compilación del proyecto:



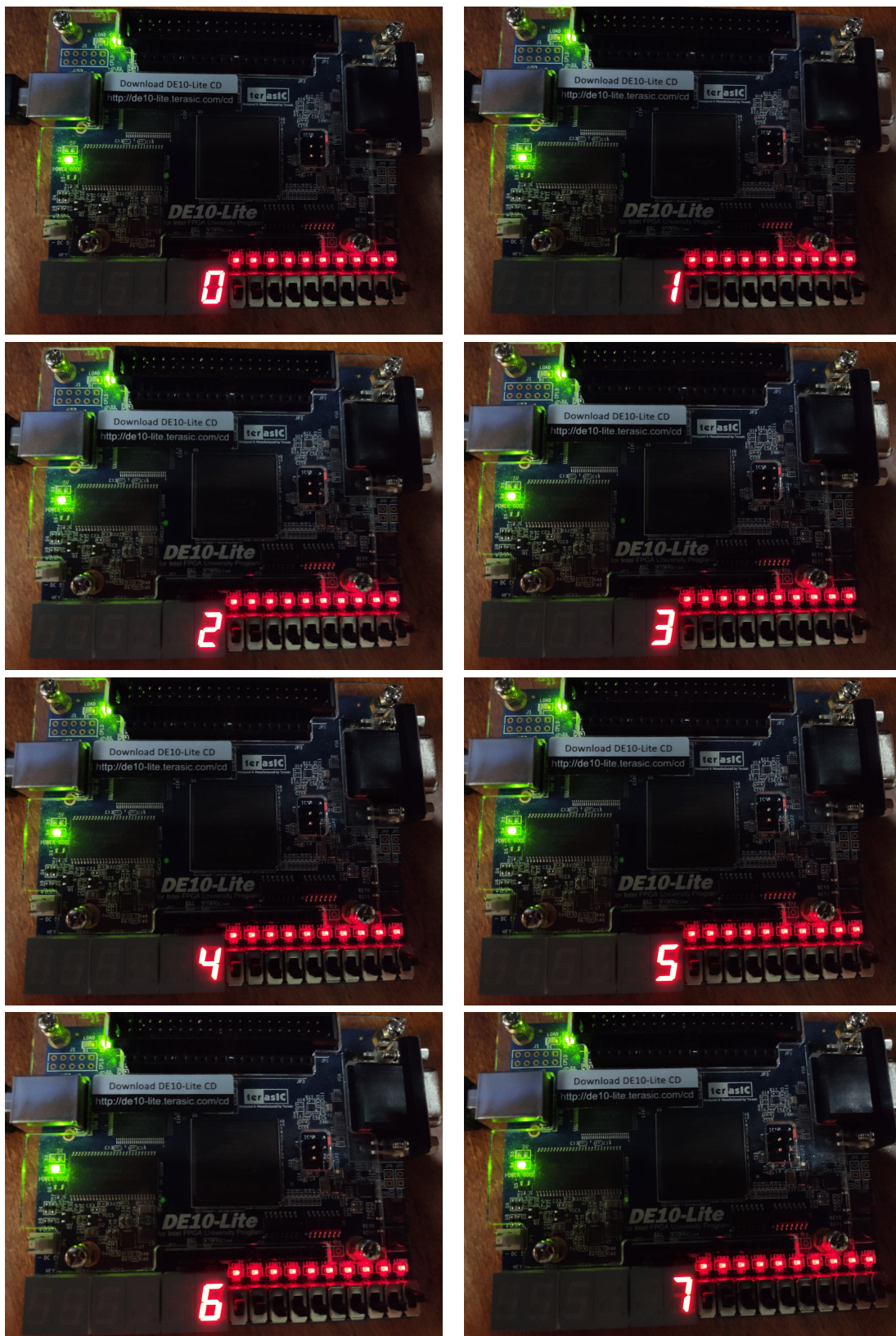
Código donde se muestra el método funcional a través de estados:



A continuación se muestra el diagrama RTL obtenido en Quartus:



Por otro lado, la tabla con las imágenes obtenidas del programa corriendo en la FPGA en forma ascendente:



Por último, tabla con las imágenes obtenidas del programa corriendo en la FPGA en forma ascendente:

## Conclusiones

El presente trabajo - examen ha sido la culminación y resultado de muchos temas del Diseño Digital Moderno, por un lado tenemos el modelado de sistemas a través de herramientas como las cartas ASM o los diagramas de estados, y por otro lado, el cómo aplicar este tipo de modelos a través de un lenguaje dedicado a hardware que es VHDL, para poder hacer visible nuestros trabajos.

## Referencias

- 1) Manual de Usuario. Recuperado el 20 de marzo de 2020, de [https://www.intel.com/content/dam/altera-www/global/en\\_US/portal/dsn/42/doc-us-dsnbk-42-2912030810549-de10-lite-user-manual.pdf](https://www.intel.com/content/dam/altera-www/global/en_US/portal/dsn/42/doc-us-dsnbk-42-2912030810549-de10-lite-user-manual.pdf)
- 2) Práctica 9 del Laboratorio de Diseño Digital. Recuperado el 25 de marzo de 2020, de [https://bloglabdsd.files.wordpress.com/2015/02/practica9\\_parte2\\_-asm.pdf](https://bloglabdsd.files.wordpress.com/2015/02/practica9_parte2_-asm.pdf)
- 3) Morris, M. Diseño Digital. México, México. Pearson Educación.