

UNIVERSIDAD NACIONAL AUTÓNOMA DE MÉXICO
FACULTAD DE INGENIERÍA
LABORATORIO DE DISEÑO DIGITAL MODERNO
SEMESTRE 2020 - 2

TAREA 19:
CONTADOR DE 2 BITS ASCENDENTE Y DESCENDENTE

ALUMNO:

Murrieta Villegas Alfonso

PROFESORA:

Elizabeth Fonseca Chávez

FECHA DE ENTREGA:

15 de abril del 2020

GRUPO TEORÍA: 4

GRUPO LABORATORIO: 3

Introducción

Un contador binario, en si es un contador que muestra el resultado en numeración binaria o de base dos, donde a cada salida del contador se le denomina bit, este bit puede tomar solo dos valores “1 lógico” (valor de voltaje alto) o “0 lógico” (valor de voltaje aproximadamente cero).

Las cartas ASM por sus siglas en inglés 'Algorithmic State Machine' son una forma de descripción de tipo gráfico especialmente enfocada, como indica su nombre, a representar algoritmos secuenciales.

Este tipo de modelo o representación se asemeja mucho a lo comúnmente conocido en programación como “diagrama de flujo”, pues se describe los pasos del procedimiento y los caminos de decisión, sin embargo, al ser un diagrama de flujo para un algoritmo de hardware debe tener unas características especiales que ligen de cerca el desarrollo de hardware del algoritmo.

Objetivo

- 1) Realizar un contador de 2 bits tanto ascendente y descendente, con una variable x para determinar que sube ($x=1$) o baja ($x=0$), con implementación tipo T
- 2) Realizar el debido diagrama de estado, cartas ASM, RTL y prueba en tarjeta o simulador.
- 3) Agregar un display de 7 segmentos para ver explícita la salida

Desarrollo

Mapas de Karnaugh

A continuación se muestran la tabla de transición:

Flip Flop tipo T			Tabla de transición y FFT				
Q	T	Q+	Q	E	Q+	OUT	T ₂ , T ₁ , T ₀
0	0	0	000	0	001	01	001
0	1	1	001	X	010	11	010
1	0	1	010	X	011	11	011
1	1	0	011	X	000	00	011
			100	X	101	10	011
			101	X	110	01	011
			110	X	000	00	110
			111	X	000	00	110

A continuación se muestra la obtención de la función de salida mediante Mapas de Karnaugh:

< → Mapas de Karnaugh para obtener función

$Q_2Q_1 \backslash Q_0E'$	00	01	11	10
00	0	1	0	0
01	0	0	0	0
11	1	1	X	X
10	0	0	0	0

$Q_2Q_1 \backslash Q_0E'$	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	1	1	X	X
10	0	0	1	1

$\therefore T_2 = Q_2Q_1 + \overline{Q_2}Q_1Q_0E$

$\therefore T_1 = Q_2Q_1 + Q_0$

$Q_2Q_1 \backslash Q_0E'$	00	01	11	10
00	1	0	1	1
01	1	1	1	1
11	0	0	X	X
10	1	1	1	1

$T_0 = \overline{Q_1}\overline{E} + \overline{Q_2}Q_1 + Q_2\overline{Q_1} + Q_0$

Por último, se muestra la salida obtenida a través de los Mapas de Karnaugh

< → Función de Salida

$Q_2Q_1 \backslash Q_0$	0	1
00	0	0
01	1	1
11	0	X
10	1	1

$Q_2Q_1 \backslash Q_0$	0	1
00	0	1
01	0	1
11	1	X
10	1	0

$S_1 = \overline{Q_2}Q_1 + \overline{Q_1}Q_2$

$S_1 = \overline{Q_2}Q_0 + \overline{Q_0}Q_2$

// Por propiedades podemos reducir en expresiones convenientes como

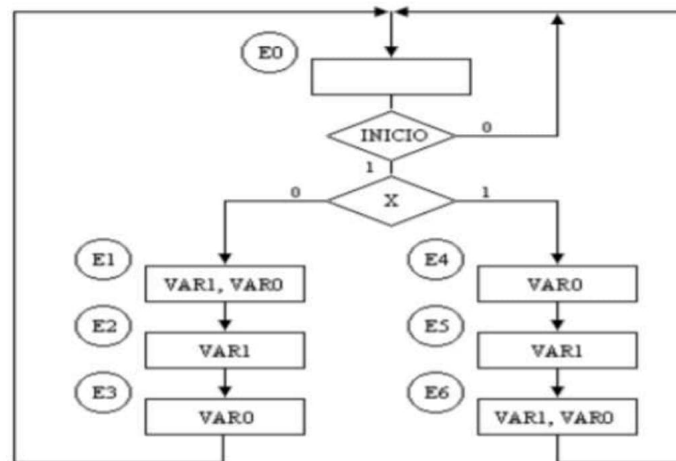
$S_1 = Q_2 \oplus Q_1$

$S_1 = Q_2 \oplus Q_0$

Diagramas

Antes de escribir el código en VHDL , fue necesario realizar diagramas auxiliares para la comprensión de este trabajo, es por ello que a continuación se muestran tanto el diagrama de estados como la carta ASM de este contador de 4 bits:

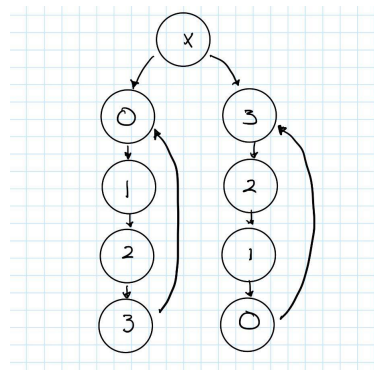
A continuación se muestra la carta ASM:



NOTA: La carta ASM es la misma que la del contador que se hizo en la tarea anterior debido a que la única diferencia radica en los Flip Flop no en la lógica que debe llevar el circuito.

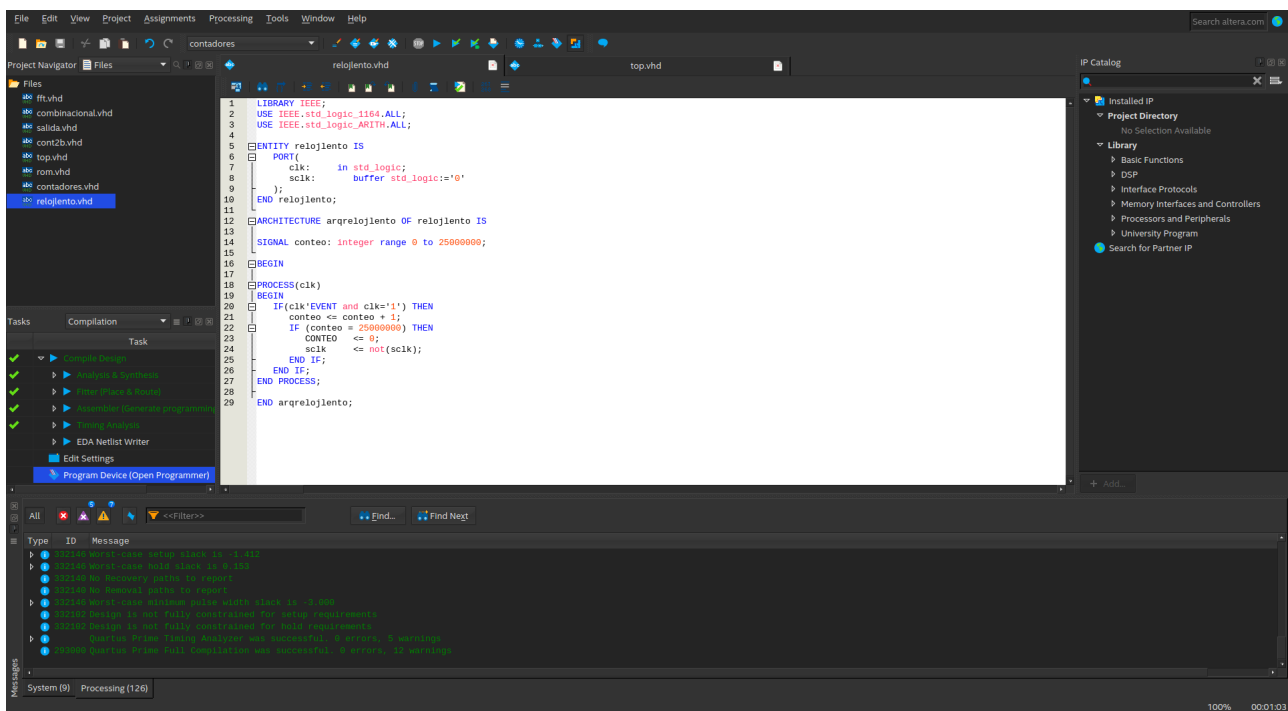
NOTA 2: Solamente la variable inicio es la única que no se consideró para este proyecto.

A continuación se muestra el diagrama de estados:

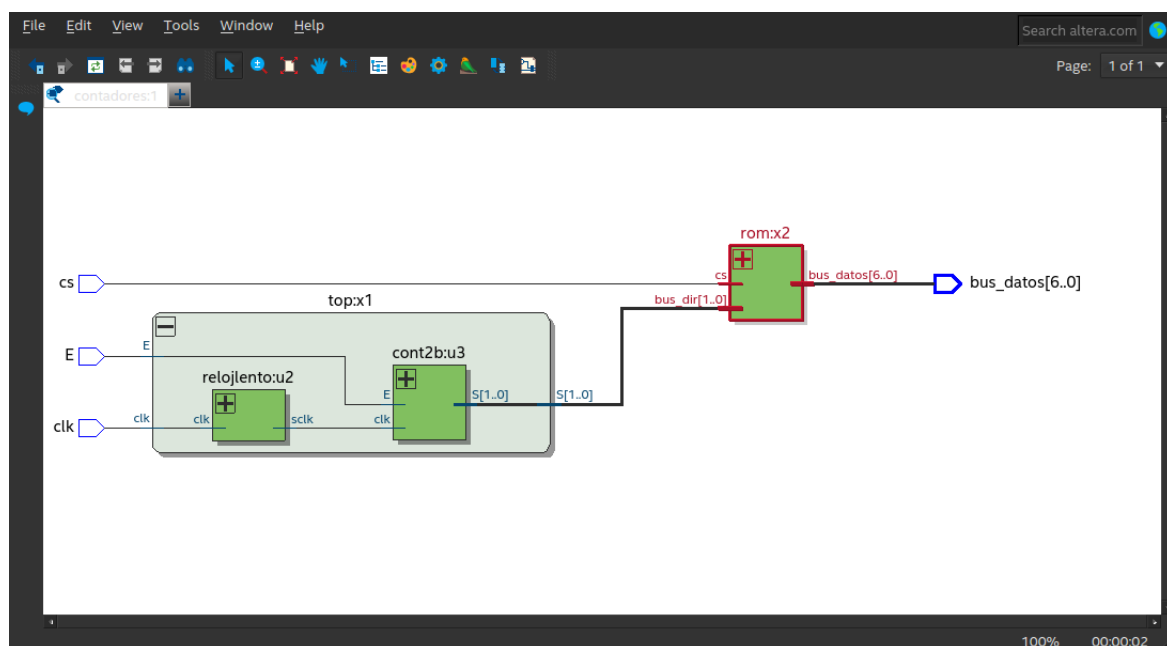


Código y Funcionamiento

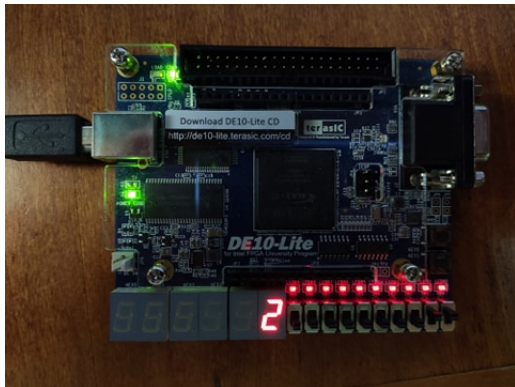
A continuación se muestra la compilación del proyecto:



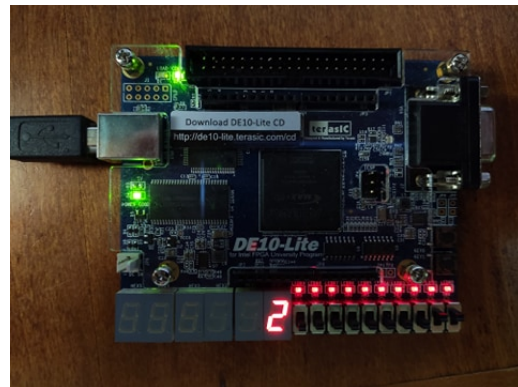
A continuación se muestra el diagrama RTL obtenido en Quartus:



Por otro lado, la tabla con las imágenes obtenidas del programa corriendo en la FPGA en forma ascendente:



Por último, tabla con las imágenes obtenidas del programa corriendo en la FPGA en forma descendente:



NOTA: Para poder apreciar con detalle el funcionamiento se recomienda ver el video de funcionamiento de

esta tarea.

Conclusiones

En el presente trabajo a través de recursos gráficos como la carta ASM o el diagrama de estados es como se pudo entender y realizar el código en VHDL de un contador de bits, sin duda, este tipo de recursos facilitan la comprensión de proyectos de diseño digital, tal vez en este caso sea muy obvio lo que hace y cómo funciona el contador, sin embargo, en proyecto más grandes observaremos que a veces un recurso gráfico como estos son de mucha ayuda.

Por otro lado, como se pudo observar en las imágenes previas se pudo realizar un código en VHDL para realizar un contador tanto ascendente como descendente a través del uso de Flip Flops tipo T.

Referencias

- 1) Manual de Usuario. Recuperado el 20 de marzo de 2020, de https://www.intel.com/content/dam/altera-www/global/en_US/portal/dsn/42/doc-us-dsnbk-42-2912030810549-de10-lite-user-manual.pdf
- 2) Práctica 9 del Laboratorio de Diseño Digital. Recuperado el 25 de marzo de 2020, de <https://bloglabdsd.files.wordpress.com/2015/02/practica9-parte2--asm.pdf>
- 3) Morris, M. Diseño Digital. México, México. Pearson Educación.