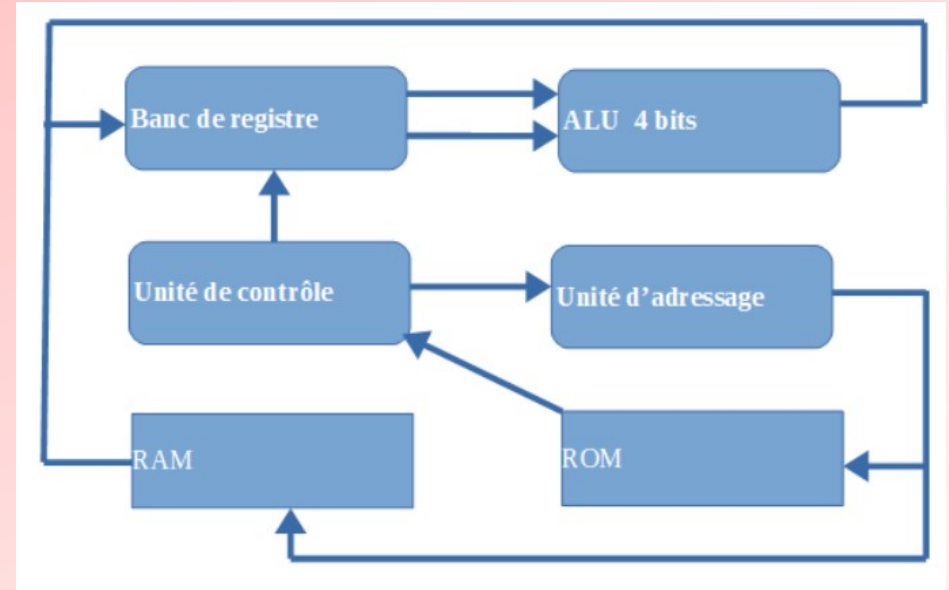


Projet d'architecture des ordinateurs Conception d'un processeur

24/05/2019

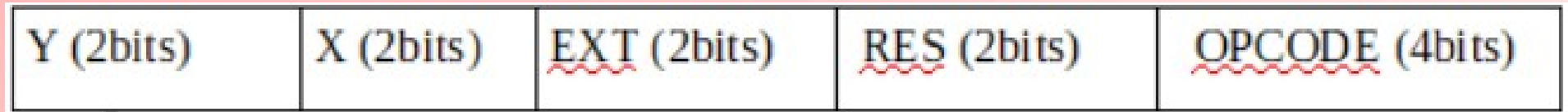
Organisation du processeur

- Lecture du décodeur à chaque front montant d'horloge
- 3 type de bus circulant :
 - Instruction
 - Adresse
 - Donnée

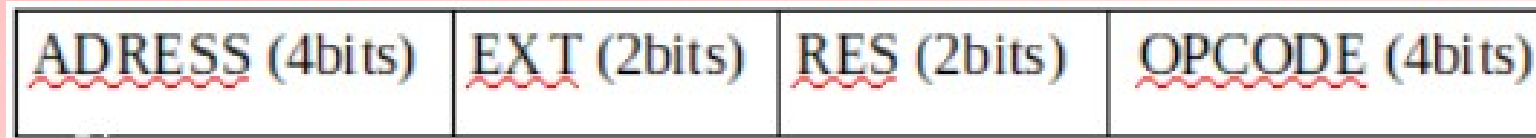


Spécificité du processeur

- Lecture des instruction sur 12bits :
 - 2 formats d'instruction



Format registre



Format Immédiat

Spécificité du processeur(2)

- ALU 4 bits :
 - Opération :
 - ET, OU, NON, ADD

Entrée	Sortie
a	L
0	1
1	0

NON

Entrées		Sortie
a	b	L
0	0	0
0	1	0
1	0	0
1	1	1

ET

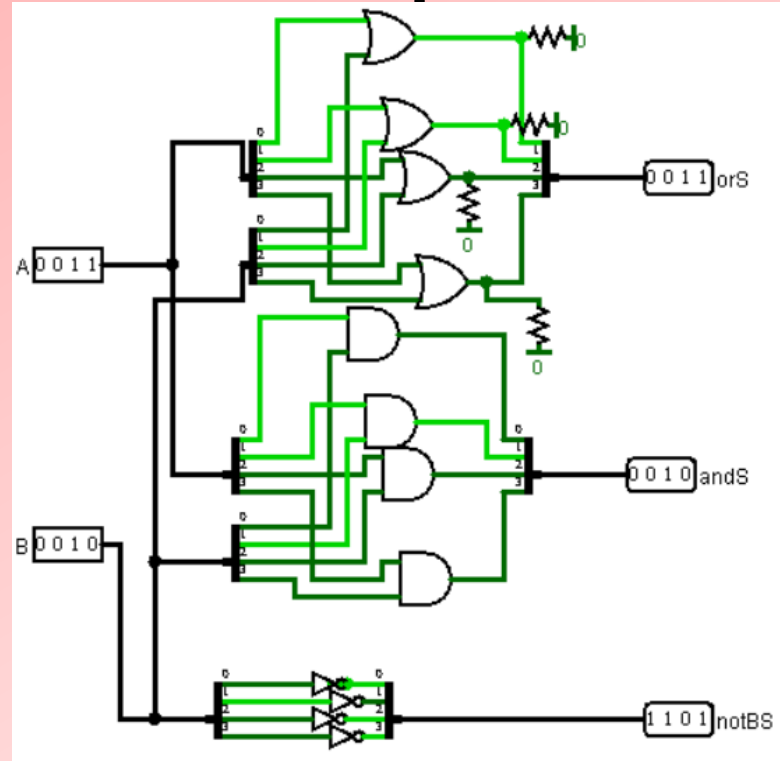
Entrées		Sortie
a	b	L
0	0	0
0	1	1
1	0	1
1	1	1

OU

A	B	Retenue R	Somme S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

ADD

Spécificité du processeur (3)



ALU 4 bits p.1

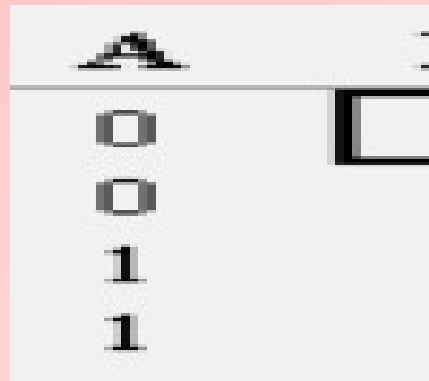
Jeu d'instruction du processeur

Instruction	<u>OPCODE</u>	Sélection ALU (f2 f1 f0)	<u>Read</u>	<u>Write</u>	<u>write AD</u>	<u>write PC</u>	<u>Fetch</u>
<u>ADD</u>	0000	000	0	0	0	1	1
OR	0001	001	0	0	0	1	1
<u>AND</u>	0010	010	0	0	0	1	1
<u>NOT</u>	0011	011	0	0	0	1	1
<u>LOAD</u>	0100	000	1	0	1	1	1
STORE	1000	000	0	1	1	1	1

Améliorations apportées

- Ajout de
 - Soustracteur
 - Unité logique « avancée »

Table de vérité de XOR		
A	B	$R = A \oplus B$
0	0	0
0	1	1
1	0	1
1	1	0



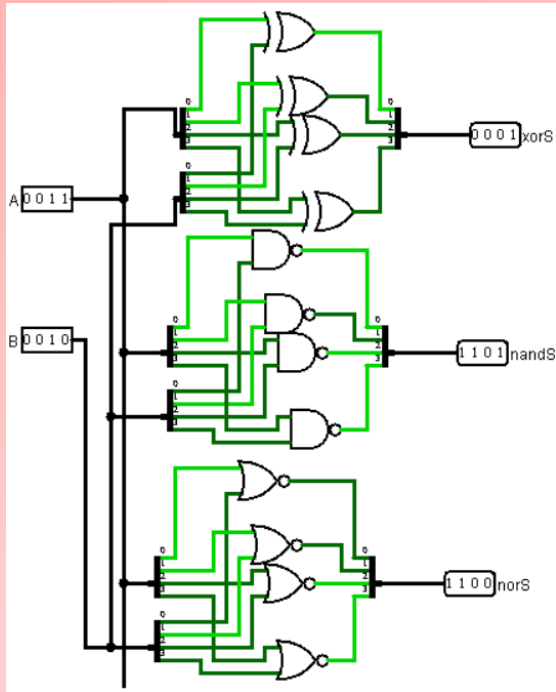
SUB

Table de vérité NON-OU			Table de vérité NON-ET (NAND)		
Entrées		Sortie	Entrées		Sortie
a	b	L	a	b	L
0	0	1	0	0	1
0	1	0	0	1	1
1	0	0	1	0	1
1	1	0	1	1	0

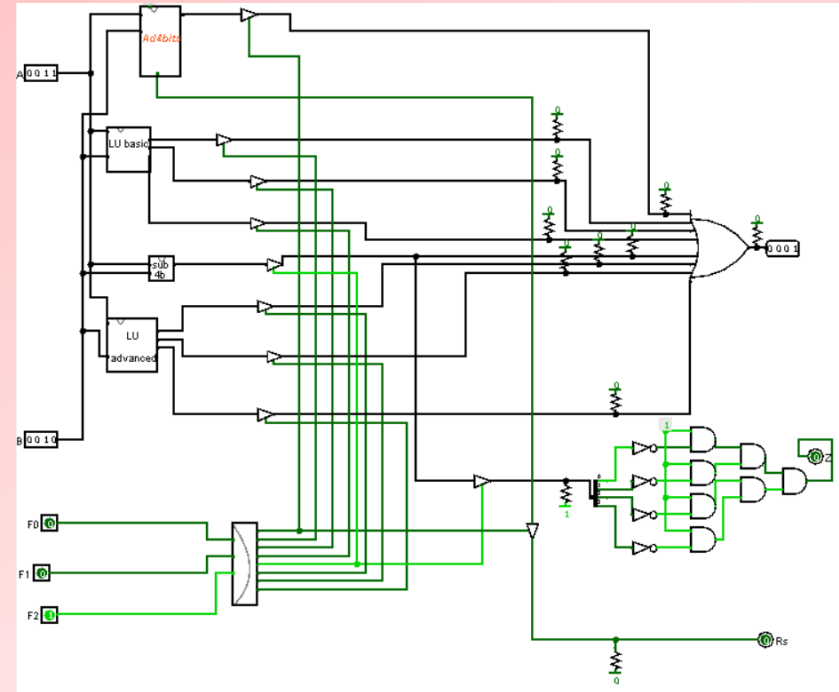
Jeu d'instruction supplémentaire

<u>SUB</u>	0101	100	0	0	0	1	1
<u>XOR</u>	0110	101	0	0	0	1	1
<u>NAND</u>	0111	110	0	0	0	1	1
<u>NOR</u>	1010	111	0	0	0	1	1

Améliorations apportées (2)



ALU 4 bits p.2



ALU 4 bits

Conclusion

- Décalage des instructions à chaque front montant
- Amélioration :
 - Lisibilité du circuit