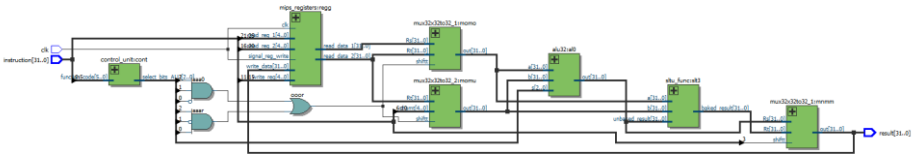
CSE 331 Computer Organization

Project 3 – R-type Single cycle MIPS with Structural Verilog

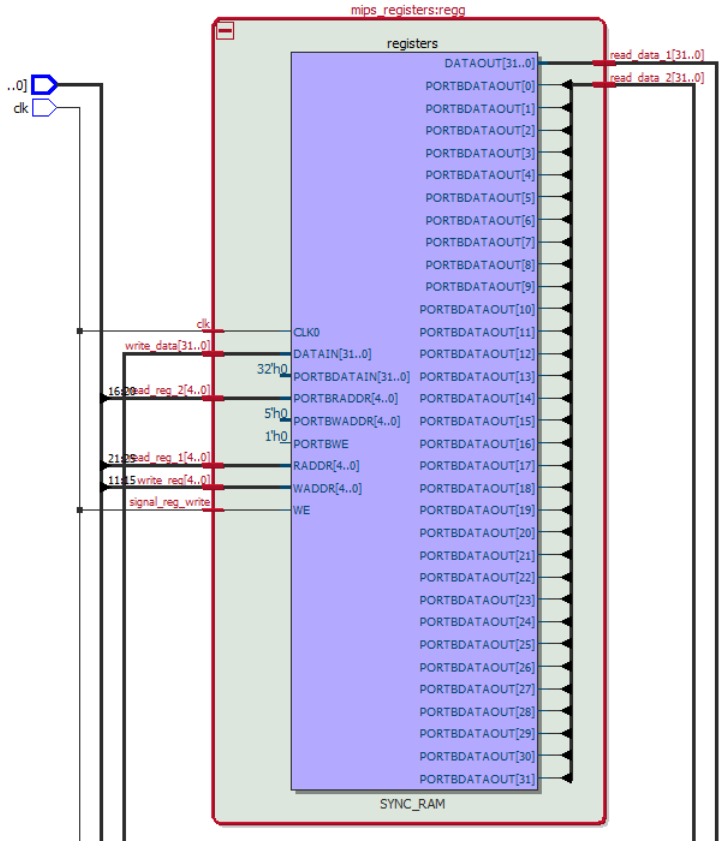
Due date: December 7, Friday 23:59 (Moodle)

Rapor

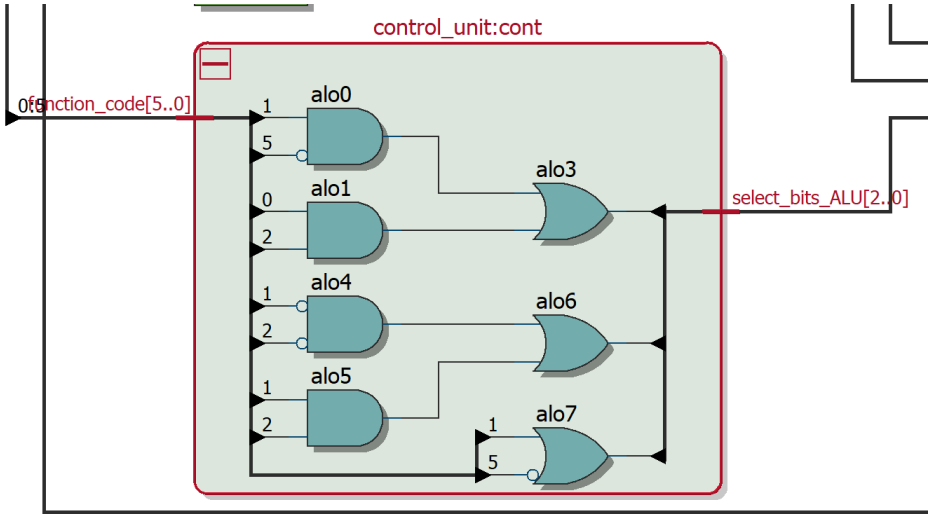
Muhammetalp ERDEM 151044006



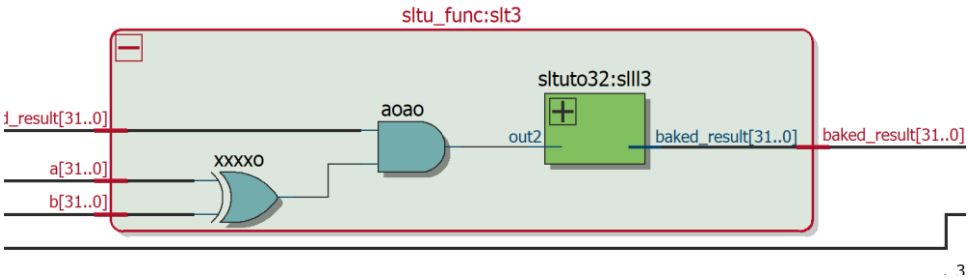
Projede kullanılan modüllerin genel görünümü üstte verildiği gibidir. Bu Raporda Proje 2'den ekstra olarak kullanılan modüller açıklanacaktır.



Mips_registers.v : Bu modülde register işlemleri yapılmıştır. Yazma işlemi için bir sinyal kullanılmış, okuma işlemi ise direkt yapılmıştır. (Ders slaytı örnek alındı.)



Control_unit.v : Bu modül instruction'ın func kısmını alıp önceki projede tasarladığımız Alu için select bit üretir. Bu dönüşüm truth tablosu ve karnough map sadeleştirmeleri ile elde edilmiştir.



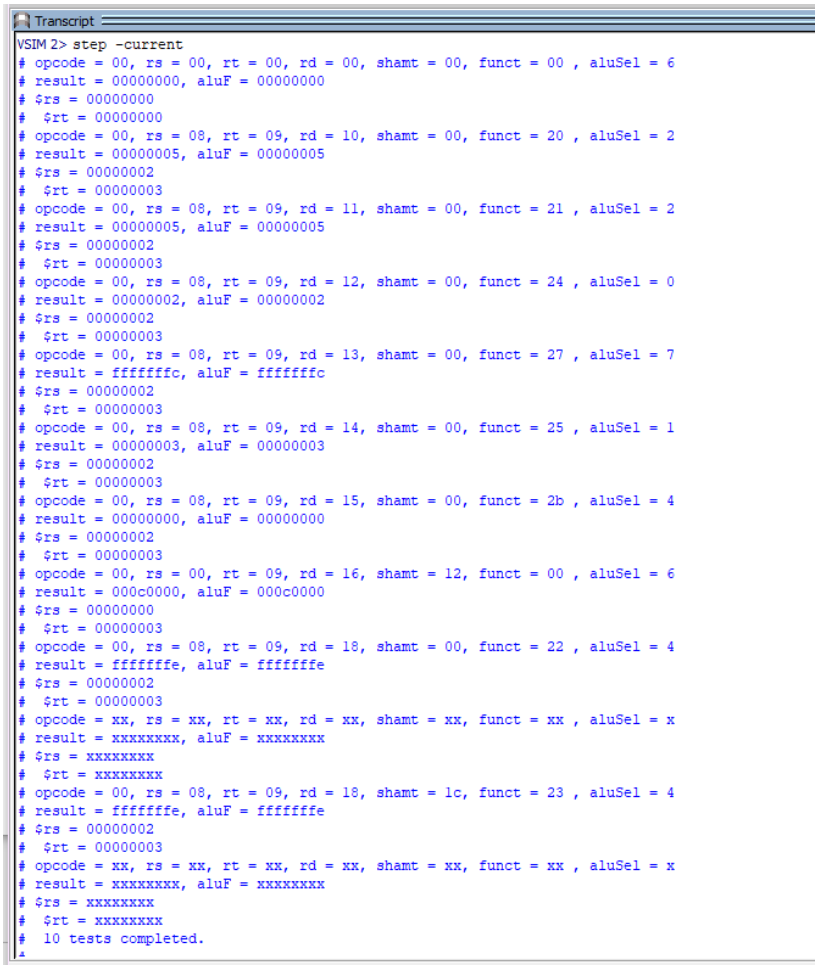
Sltu_func.v : Alu'dan çıkan subtract sonucunu alır. Bu sonucu kullanarak set less than unsigned sonucu üretir. İki inputun most-significant biti eşit değilse ve sonucun mot_significant biti 1 ise pozitif sonuç döndürür.

Sltto32.v : Sltu_func.v içinde kullanılan yardımcı modül. 1 bitlik inputu alıp başına 31 adet o ekleyerek 32 bitlik hale dönüştürür.

Shamtto32.v : Shift amount'u 32 bitlik hale dönüştürür.

Mux32x32to32_1.v : shift operasyonu yapılacak ise ilk inputa Rt verir, diğer türlü Rs.

Mux32x32to32_2.v : shift operasyonu yapılacak ise ikinci inputa Shamt verir, diğer türlü Rt.



Modelsim sonuçları yukarıda görüldüğü gibidir, testbench'de dosya okurken sıkıntı oluştu bu nedenle instruction ve registerları el ile girdim, çalışmaktadır.

```
begin
    clk = 0;
    clk2 = 0;
    //$readmemb("input.tv", testVectors);
    testVectors[0] = 32'h01098020;
    testVectors[1] = 32'h01098821;
    testVectors[2] = 32'h01099024;
    testVectors[3] = 32'h01099827;
    testVectors[4] = 32'h0109A025;
    testVectors[5] = 32'h0109A82B;
    testVectors[6] = 32'h0009B480;
    testVectors[7] = 32'h0009B942;
    testVectors[7] = 32'h0109C022;
    testVectors[9] = 32'h0109C723;

    //$readmemb("registers.mem", mipss.regg.registers);

    mipss.regg.registers[0] = 32'b00000000000000000000000000000000;
    mipss.regg.registers[1] = 32'b00000000000000000000000000000001;
    mipss.regg.registers[2] = 32'b00000000000000000000000000000010;
    mipss.regg.registers[3] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[4] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[5] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[6] = 32'b00000000000000000000000000000000;
    mipss.regg.registers[7] = 32'b00000000000000000000000000000001;
    mipss.regg.registers[8] = 32'b00000000000000000000000000000010;
    mipss.regg.registers[9] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[10] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[11] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[12] = 32'b00000000000000000000000000000000;
    mipss.regg.registers[13] = 32'b00000000000000000000000000000001;
    mipss.regg.registers[14] = 32'b00000000000000000000000000000010;
    mipss.regg.registers[15] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[16] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[17] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[18] = 32'b00000000000000000000000000000000;
    mipss.regg.registers[19] = 32'b00000000000000000000000000000001;
    mipss.regg.registers[20] = 32'b00000000000000000000000000000010;
    mipss.regg.registers[21] = 32'b00000000000000000000000000000011;
    mipss.regg.registers[22] = 32'b00000000000000000000000000000011;
```

Teşekkürler.