

《高级计算机系统结构》课程 Project

一、研究目标

1) 一生一芯设计

使用开源的 EDA 工具链，每位同学探索完成小规模芯片从 RTL 代码设计到 GDS 的全流程，包括：架构设计、前端 rtl 设计、综合、后端物理设计（含布局、时钟树综合、布线、时序分析等）。

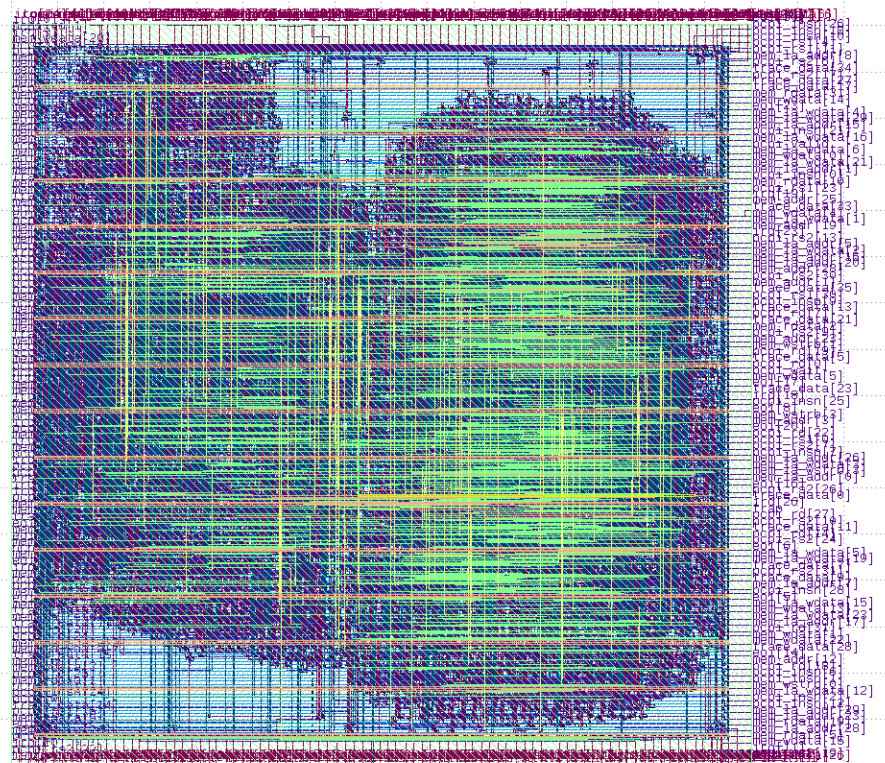
2) 开源工具链应用

本项目不限制设计规模，允许直接使用开源芯片设计，但**整个设计过程必须使用开源 EDA 工具链**，要求在使用开源 EDA 工具链的过程中，将发现的 EDA 工具的 bug 确定并记录下来（包括 bug 的复现条件，尽量记录完整），有能力的同学欢迎给出修改方案。

二、开源 EDA 工具介绍

目前可获得的开源 EDA 工具链有三个：Qflow、VsdFlow 和 OpenRoad，其中 Qflow 的历史最为悠久，上手难度最低，但受限于代码比较老旧；vsdFlow 是基于 Qflow 构建的，所以也具有类似的问题；OpenRoad 是从近期才开始构建工具链，尚处于活跃期，非常值得探索。

下面主要描述 OpenRoad。OpenRoad 是美国 DARPA 与 2017 年前后开始支持的开源 EDA 项目，其最终目标是 **【open-source tools that achieve autonomous, 24-hour layout implementation.】**。OpenRoad 是由多个工具组成的，比如综合是通过 Yosys(前端)+abc(后端)来实现；其他布局、布线、时钟树综合等也是单独的工具。下图就是 picorv32 经 OpenRoad 设计后生成的 GDS 版图。



二、OpenRoad 的基本用法

从 OpenRoad 的 “Get Started” 开始是一个比较好的选择，它介绍了如何简单地使用 OpenRoad，以及如何使用 OpenRoad 来加入新的 Design:

<https://openroad.readthedocs.io/en/latest/user/getting-started.html>

当然 OpenRoad 也有一些开源项目的常见问题，需要稍微修正一下，比如 Quick Start 里:

- 1) 第一个 make 是不 work 的，因为现在改为 build_openroad.sh 了;
- 2) 编译有错误，本文的实验机器上，abc 有个文件需把 tcl.h 改为 tcl/tcl.h;
-

Quick Start

```
# Clone the repository and submodules
git clone --recursive https://github.com/The-OpenROAD-Project/OpenROAD-flow

# Build the OpenROAD app
cd OpenROAD
make

# Setup your environment
source setup_env.sh

# Implement the example gcd design
cd flow
make
```

此外，OpenRoad 根据 design 的不同，也会提供一些后端物理设计的常见问题，比如找不到 clock 连线、芯片的 Utilization ratio 过高等，都是非常细小但是有价值的问题。

三、可以参考的开源芯片项目

为探索开源 EDA 工具链的使用，完成一款芯片的全部设计过程，所选取的芯片规模不需要太大，且应以 Core 为主，开源工具目前对 SoC 设计的支持尚且有限。本文曾使用过蜂鸟 E200 和 PicoRV32，且在 OpenRoad 上尝试了国外社区的 PicoRV32，非常 Smooth，只可惜它的规模有点太小了，对于开源 EDA 工具链来说，只适合做 demo。

如下是网上的两个基于 RISC-V 的开源项目列表，仅供参考：

<https://riscv.org/riscv-cores/>

<https://github.com/riscv/riscv-cores-list>