



Rangkaian Logika

Pertemuan 6

Sub-CPMK

- Mahasiswa mampu menyusun rangkaian logika dari suatu persamaan logika dan mencari output dari suatu rangkaian logika (C3, A3)

Materi

- Gerbang Logika
- Rangkaian Logika
- Diagram Pewaktuan



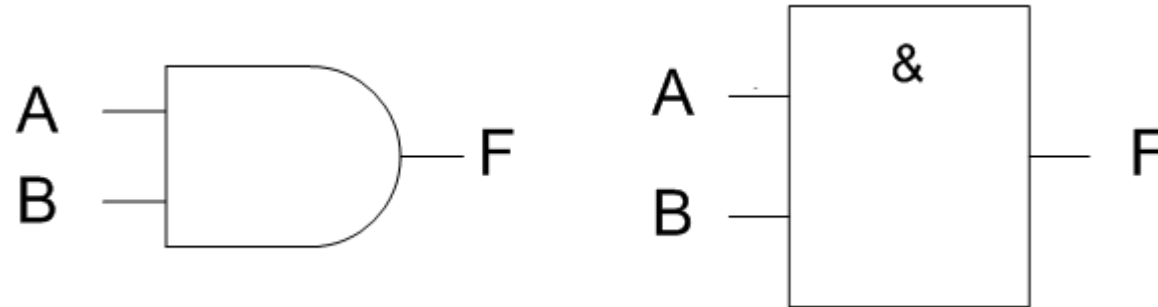
1.

Gerbang Logika

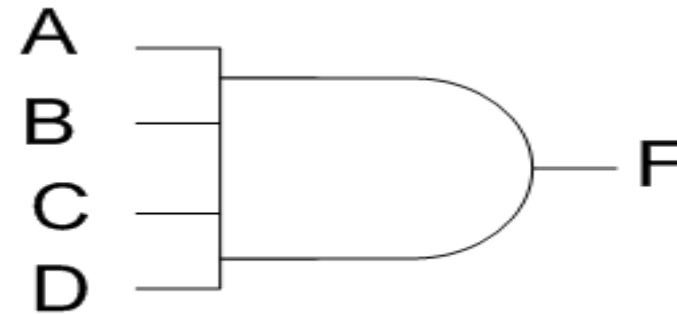
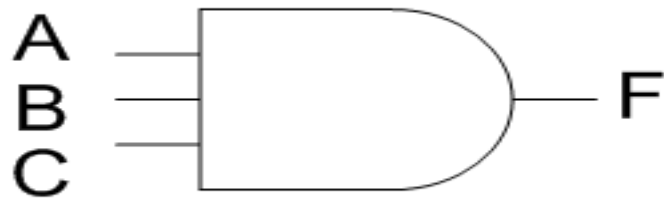
Gerbang Logika AND

- Gerbang Logika AND merupakan gerbang untuk operasi AND, dimana hanya input yang semuanya diset 1 akan menghasilkan output 0
- Jika ada satu saja input yang bernilai 0 akan menghasilkan output 0

Gerbang Logika AND



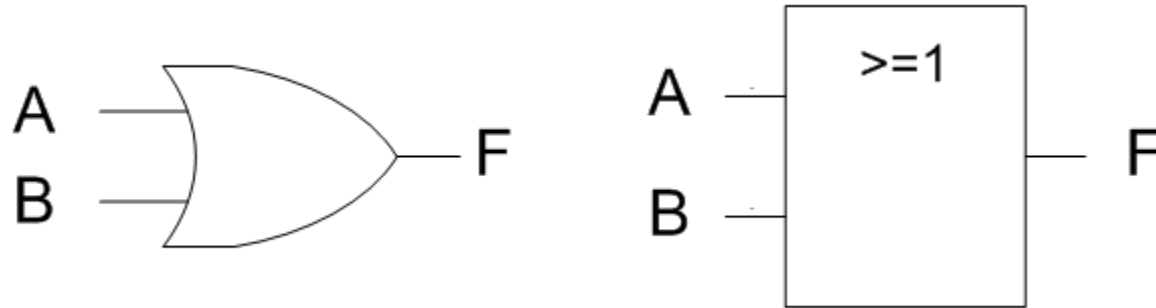
Gerbang AND dengan input lebih dari dua



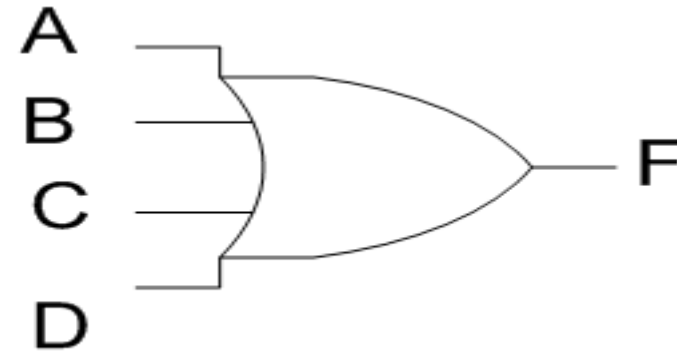
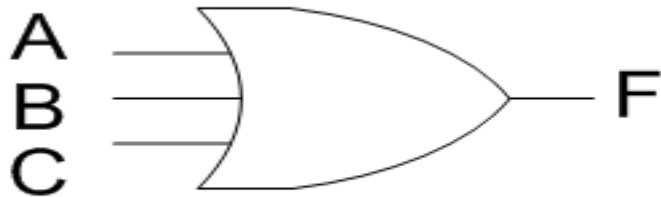
Gerbang Logika OR

- Gerbang Logika OR merupakan gerbang untuk operasi OR, dimana hanya input yang semuanya diset 0 akan menghasilkan output 0
- Jika ada satu saja input yang bernilai 1 akan menghasilkan output 1

Gerbang Logika OR



Gerbang OR Dengan Input Lebih dari dua



Gerbang Logika NOT

- Gerbang Logika NOT merupakan gerbang untuk operasi NOT
- Output yang dihasilkan merupakan kebalikan dari input
- input yang bernilai 1 akan menghasilkan output 0
- input yang bernilai 0 akan menghasilkan output 1

Gerbang Logika NOT

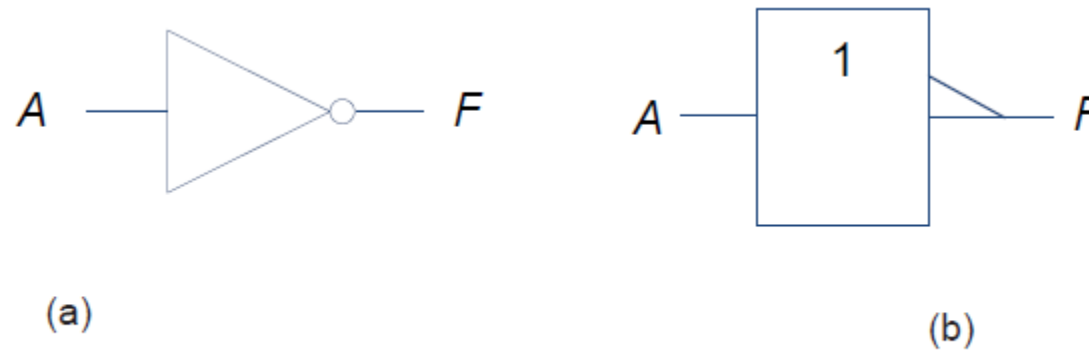
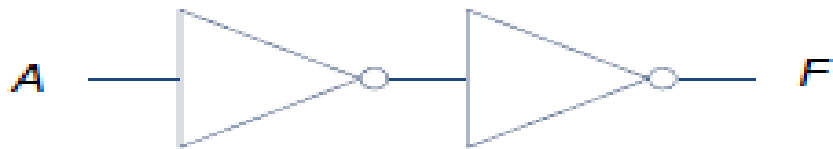
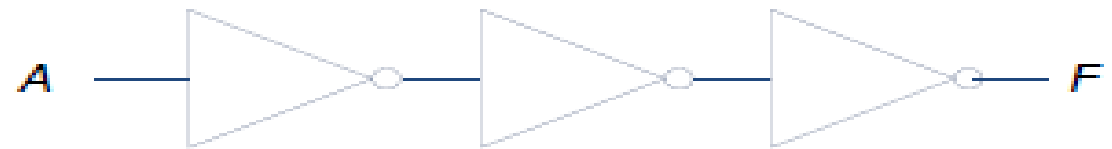


Figure 2.12: NOT gate logic symbols: (a) traditional (b) IEEE/ANSI standard.

Rangkaian Cascade Gerbang NOT



(a)



(b)

Figure 2.13: Cascade connection of NOT gates: (a) $F = \overline{\overline{A}} = A$ (b) $F = \overline{\overline{\overline{A}}} = \overline{A}$.

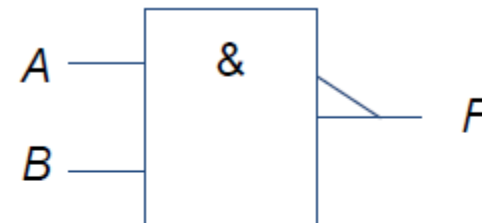
Gerbang Logika NAND

- Gerbang Logika NAND merupakan gerbang untuk operasi NAND
- Ciri khas dari gerbang ini adalah berbentuk seperti gerbang AND dengan sebuah bulatan pada output sebagai pernyataan NOT
- Gerbang NAND dapat disusun dari gerbang AND dengan gerbang NOT pada output nya
- Gerbang ini menghasilkan output yang berkebalikan dengan gerbang AND
- Jika semua input diset 1 akan menghasilkan output 0
- Jika ada satu saja input yang bernilai 0 akan menghasilkan output 1

Gerbang Logika NAND (NOT AND)



(a)



(b)

Figure 2.15: NAND gate logic symbols: (a) traditional (b) IEEE/ANSI standard.

Rangkaian kombinasional Gerbang NAND

- Gerbang NAND atau NOT AND dapat berupa rangkaian kombinasi dari AND dan NOT, output AND menjadi input dari NOT

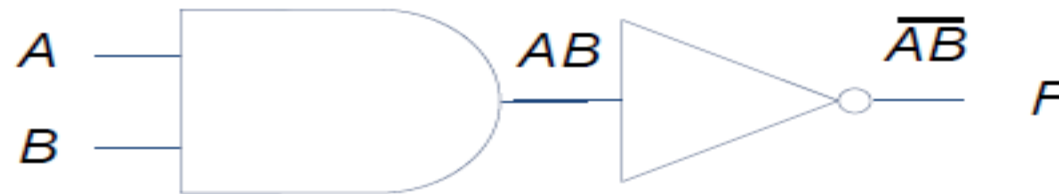


Figure 2.16: NAND gate logic using AND and NOT gates.

Gerbang Logika NOR

- Gerbang Logika NOR merupakan gerbang untuk operasi NOR
- Ciri khas dari gerbang ini adalah berbentuk seperti gerbang OR dengan sebuah bulatan pada output sebagai pernyataan NOT
- Gerbang NOR dapat disusun dari gerbang OR dengan gerbang NOT pada output nya
- Gerbang ini menghasilkan output yang berkebalikan dengan gerbang OR
- Jika semua input diset 0 akan menghasilkan output 1
- Jika ada satu saja input yang bernilai 1 akan menghasilkan output 0

Gerbang Logika NOR (NOT OR)

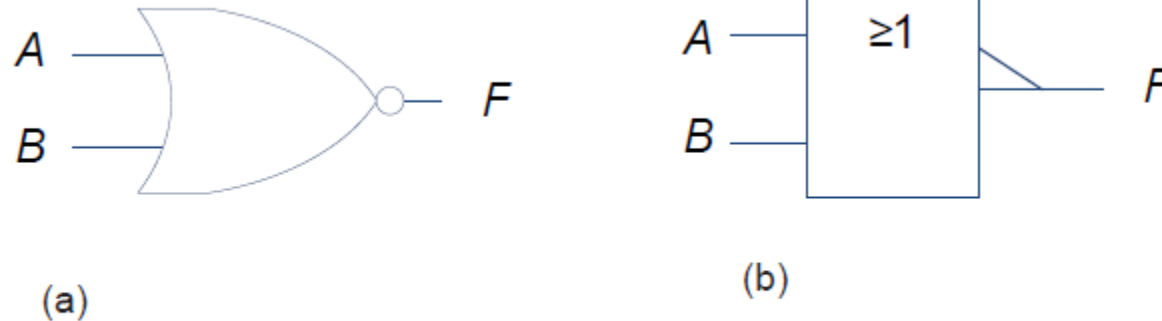
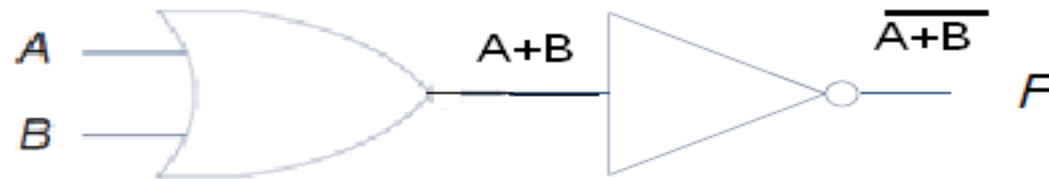


Figure 2.18: NOR gate logic symbols: (a) traditional (b) IEEE/ANSI standard.

Rangkaian kombinasional Gerbang NOR

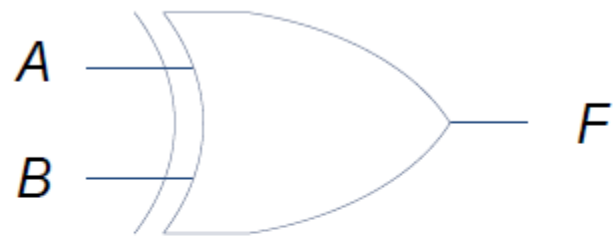
- Gerbang NOR atau NOT OR dapat berupa rangkaian kombinasi dari OR dan NOT, output OR menjadi input dari NOT



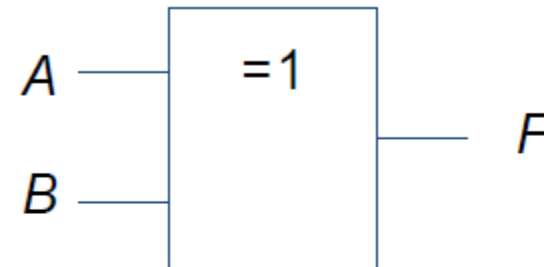
Gerbang Logika XOR

- Gerbang Logika XOR merupakan gerbang untuk operasi XOR atau eksklusif OR
- Jika semua input diset 1 atau 0 akan menghasilkan output 0
- Jika salah satu dari kedua input berisi 1 dan input satunya berisi 0 akan menghasilkan output 1
- Secara umum gerbang XOR hanya memiliki dua input, jika gerbang XOR memiliki 3 input, maka dua input pertama akan diproses terlebih dahulu, hasilnya di XOR dengan input berikutnya untuk menghasilkan input terakhir

Gerbang Logika XOR



(a)

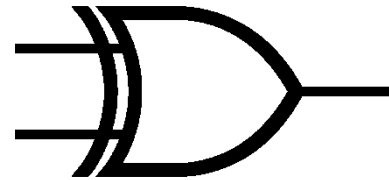


(b)

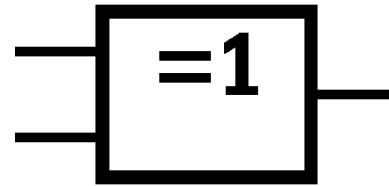
Figure 3.8: XOR gate logic symbols: (a) traditional (b) IEEE/ANSI standard.

Beberapa contoh model gerbang XOR

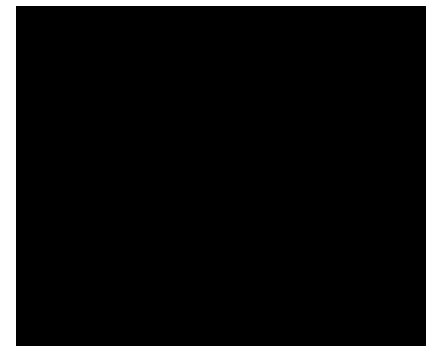
- ANSI XOR Schematic Symbol



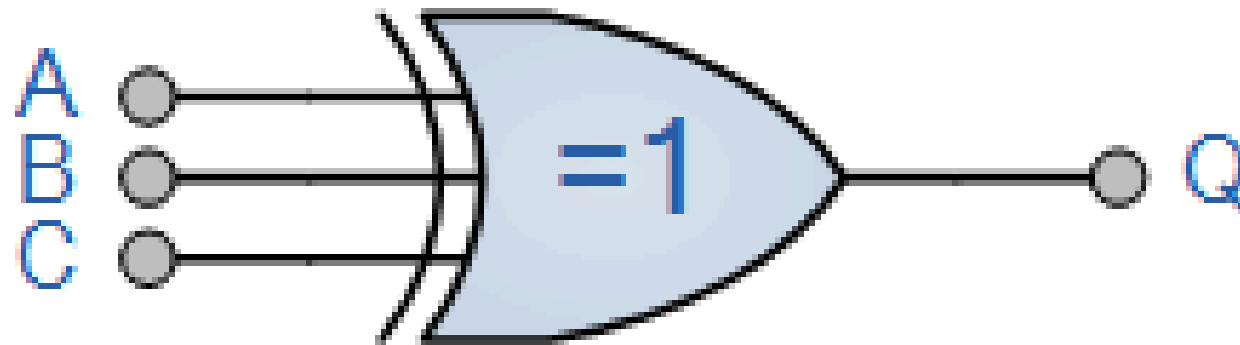
- *IEC XOR Schematic Symbol*



- DIN XOR Schematic Symbol



Gerbang XOR 3 Input



Gerbang XNOR

- Gerbang XNOR merupakan gerbang XOR yang dikomplemen
- Dapat digambarkan dengan gerbang XOR yang ujungnya diberi not

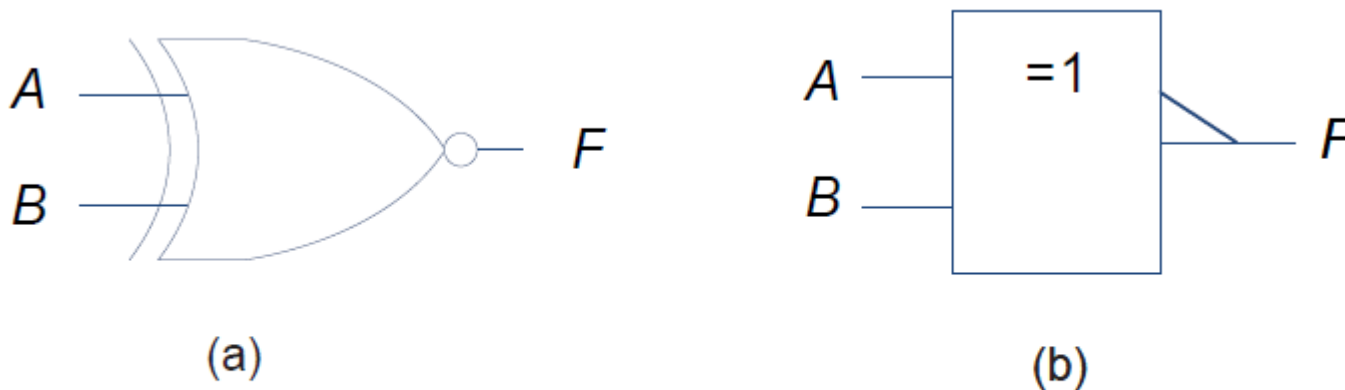


Figure 3.9: XNOR gate logic symbols: (a) traditional (b) IEEE/ANSI standard.



2.

Rangkaian Logika

Rangkaian Logika

- Gerbang-gerbang logika dapat disusun menjadi sebuah rangkaian logika
- Operasi AND, OR, NOT, NAND, NOR, XOR dan XNOR memiliki gerbang logikanya masing-masing yang dapat disusun menjadi rangkaian logika
- Penyusunan rangkaian logika dilakukan berdasarkan persamaan logika yang diberikan

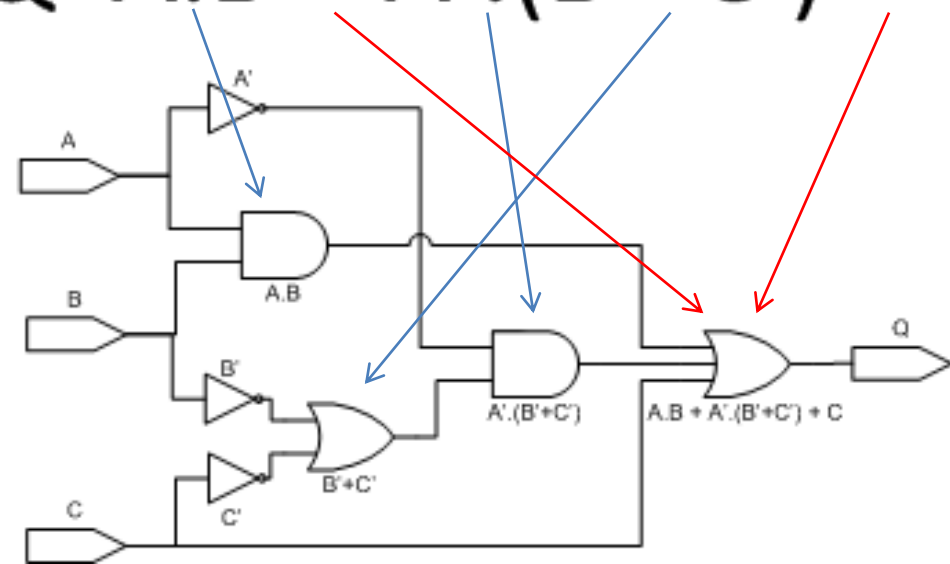
Penyusunan Rangkaian Logika

- Rangkaian Logika disusun sesuai dengan persamaan Logika nya, karena itu penyusunan Rangkaian logika dapat dilakukan dengan ketentuan:
- Rangkaian logika dapat disusun mulai dari depan kebelakang (dari prioritas terendah sebagai gerbang paling depan ke prioritas tertinggi sebagai gerbang paling belakang)
- Dapat juga disusun mulai dari belakang ke depan (dari prioritas tertinggi sebagai gerbang paling belakang ke prioritas terendah sebagai gerbang paling depan)

Contoh

- Diketahui sebuah persamaan logika
- $Q = A.B + A'.(B'+C') + C$

$$Q = A.B + A'.(B'+C') + C$$





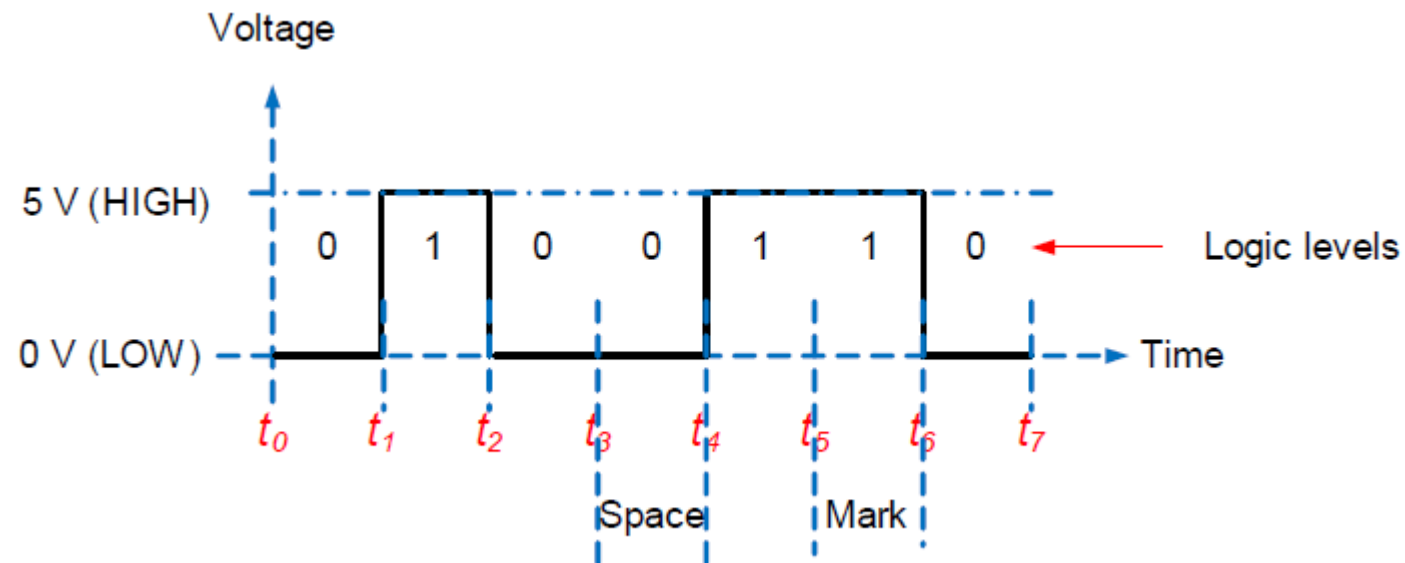
3.

Diagram Pewaktuan

Diagram Pewaktuan

- Diagram Pewaktuan / timing diagram pada signal digital adalah representasi dari sekumpulan sinyal pada sebuah domain waktu.
- Dapat berisi beberapa baris. Biasanya salah satu barisnya berfungsi sebagai clock.
- Fungsinya untuk mengetahui pewaktuan dari satu atau beberapa input dan hasil dari fungsi yang mengoperasikan input tersebut dalam satu waktu.
- Pada sistem digital, timing diagram merepresentasikan pewaktuan pada operasi logika.

Contoh Timing Diagram



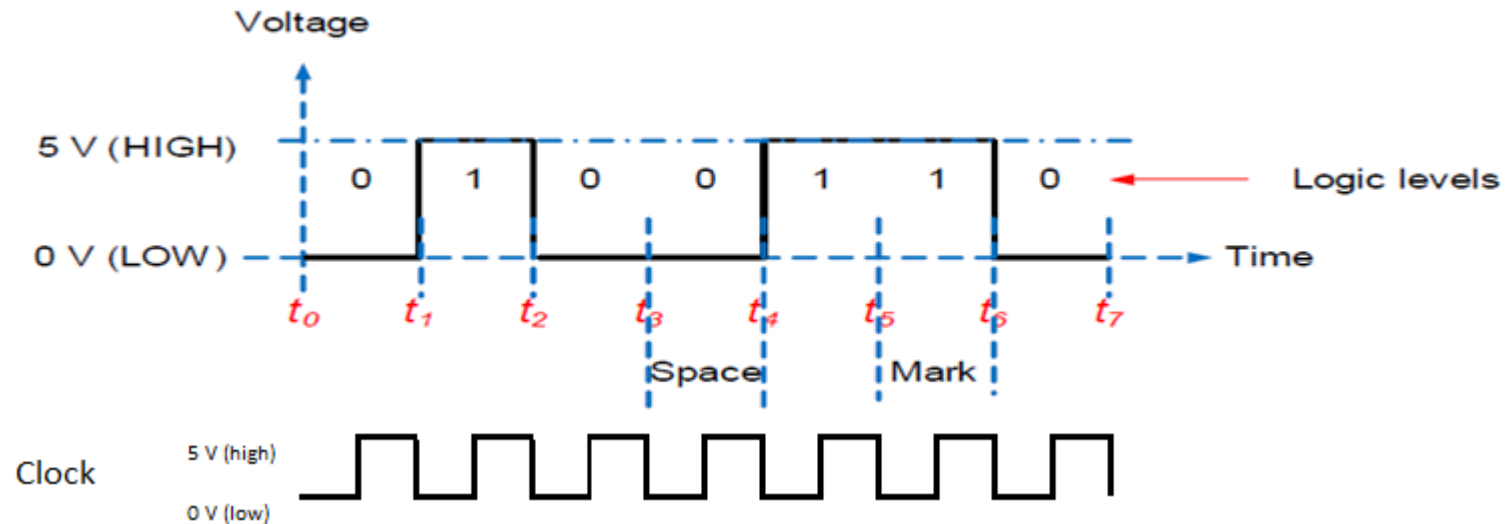
Clock

- Clock sebagai penanda satu timing sehingga input akan sinkron pada masing-masing rangkaian dan menghasilkan output yang sesuai
- Satu clock merupakan satu pulsa



- Satu clock dihitung mulai dari pertama kali signal 0, sampai naik ke 1 dan turun lagi menjadi 0 itulah yang dihitung sebagai satu waktu t

Contoh Timing Diagram dengan Clock



Contoh Timing Diagram untuk gerbang AND

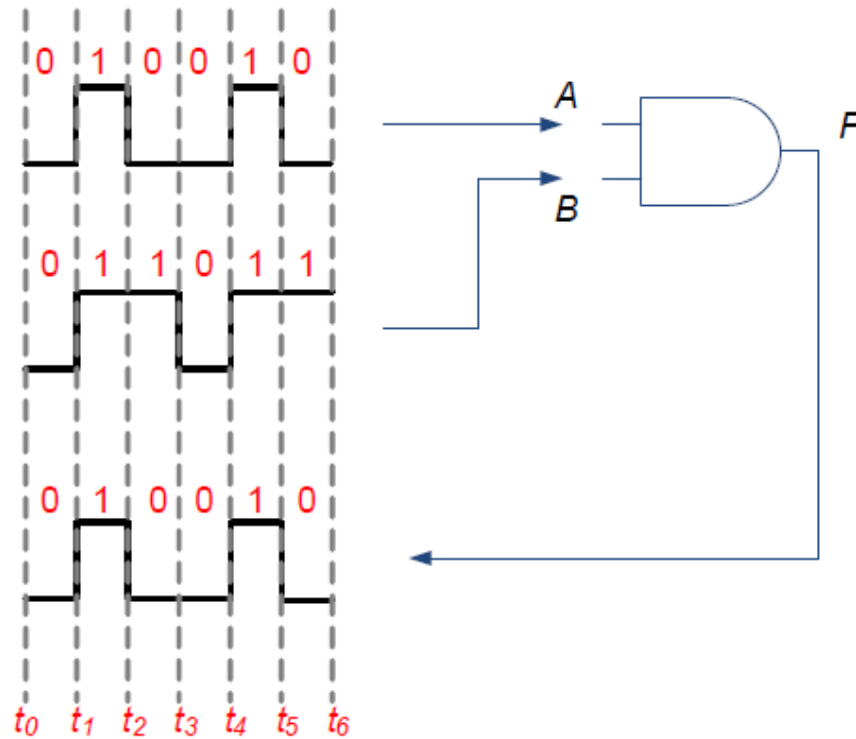


Figure 2.8: Timing diagram waveform for a two-input AND gate.

Contoh Timing Diagram untuk Gerbang OR

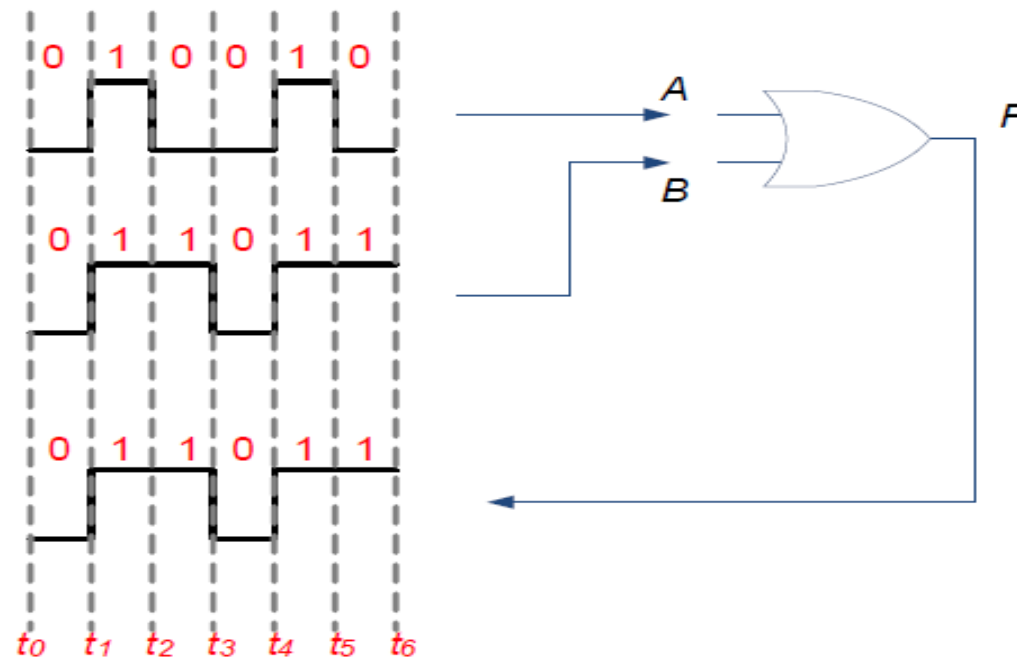


Figure 2.11: Timing diagram waveform for a two-input OR gate.

Ringkasan

- Operasi AND, OR, NOT, NAND, NOR, XOR dan XNOR memiliki gerbang logikanya masing-masing yang dapat disusun menjadi rangkaian logika
- Penyusunan rangkaian logika dilakukan berdasarkan persamaan logika yang diberikan
- Diagram Pewaktuan / timing diagram pada signal digital adalah representasi dari sekumpulan sinyal pada sebuah domain waktu.
- Clock sebagai penanda satu timing sehingga input akan sinkron pada masing-masing rangkaian dan menghasilkan output yang sesuai
- Satu clock dihitung mulai dari pertama kali signal 0, sampai naik ke 1 dan turun lagi menjadi 0 itulah yang dihitung sebagai satu waktu t



Terimakasih

TUHAN Memberkati Anda

Teady Matius Surya Mulyana (tmulyana@bundamulia.ac.id)