

# 《数字电子技术基础实验》课程

## 实验报告

实验项目：同步计数器

姓 名：	白文强	学 号：	20191060064
学 院：	信息学院	专 业：	计算机科学与技术
指导教师：	聂仁灿	日 期：	2020 年 12 月 12 日

## 一、实验目的

1. 掌握如何利用 JK-FF 触发器设计并测试一个同步计数器。
2. 掌握如何利用 D-FF 触发器设计并测试一个同步计数器。

## 二、实验仪器

1. JK-FF
2. D-FF

## 三、实验内容的基本理论

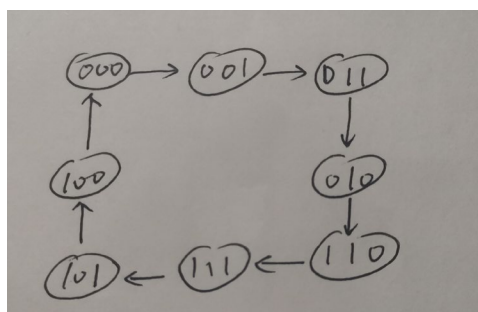
## 四、实验内容及数据

### 1. 一个 3 位格雷码计数器的设计与测试

利用 JK-FF 触发器设计并测试一个 3 位格雷码同步计数器。

(1) 请分步骤地介绍如何利用 JK-FF 触发器设计并测试一个 3 位格雷码同步计数器。

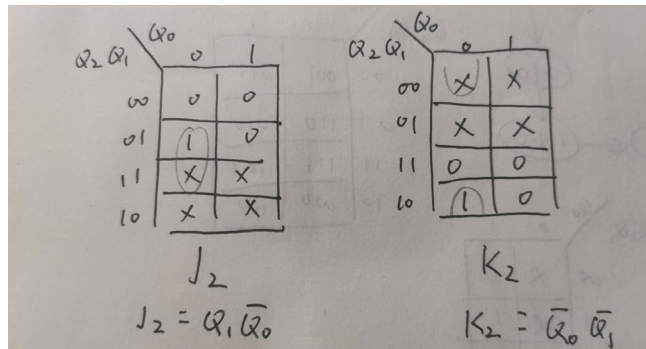
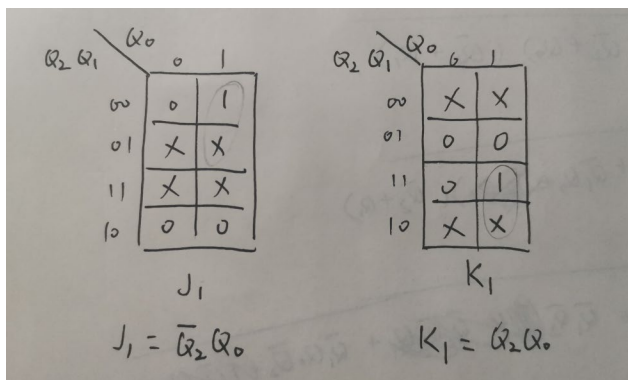
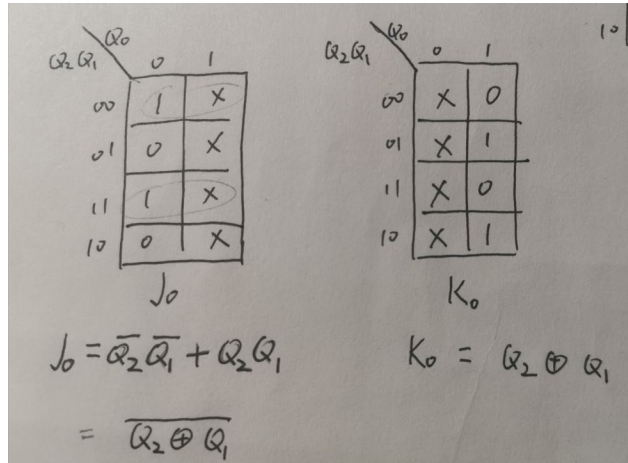
第一步：画出状态转换图：



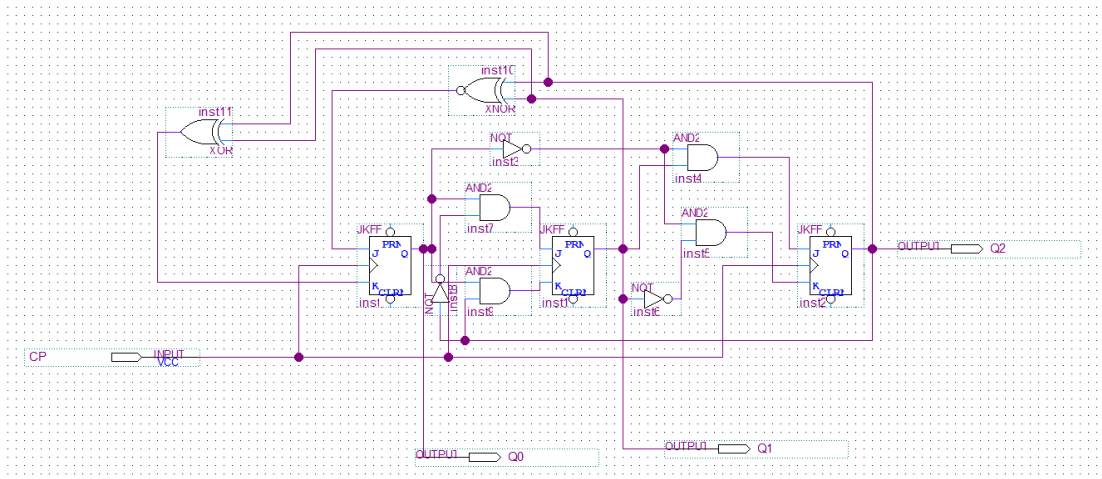
第二步：画出卡诺图

		next $Q_2$	
		$Q_1$	$Q_0$
$Q_2$	$Q_1$	0	1
	00	001	011
01	01	110	010
11	11	111	101
10	10	000	100

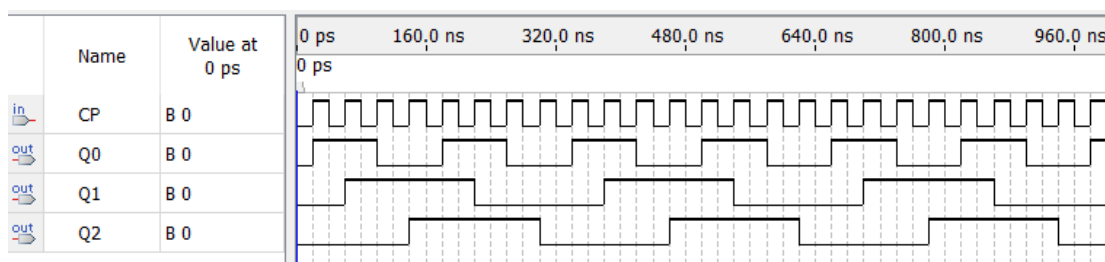
第三步：化简卡诺图，得到 JK 的表达式



(2) 在 Quartus 中实现所设计的 3 位格雷码同步计数器。



(3) 输入时钟信号，测试并记录各 JK-FF 触发器输出波形。

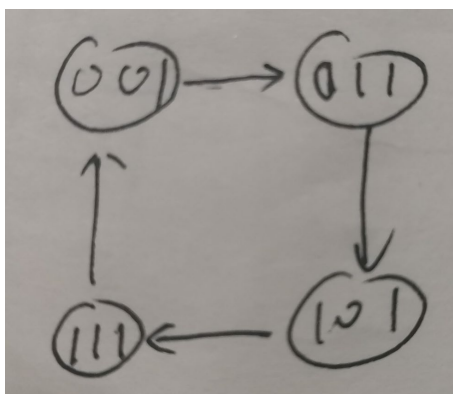


## 2、一个具有不规则计数序列的计数器设计与测试

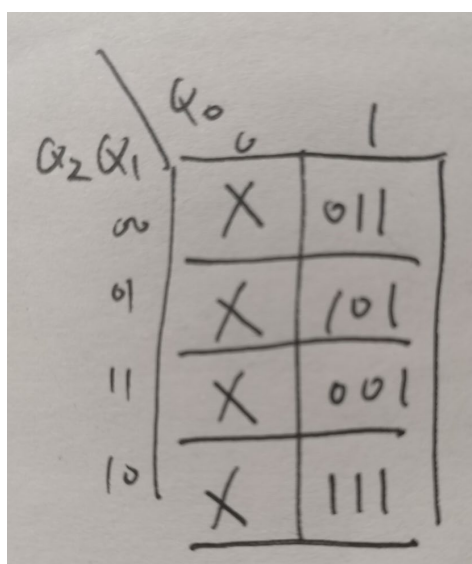
对一个不规则计数序列 1, 3, 5, 7，请利用 D-FF 设计一个支持该计数序列的计数器

(1) 请分步骤地介绍如何利用 D-FF 触发器设计并测试一个 3 位格雷码同步计数器。

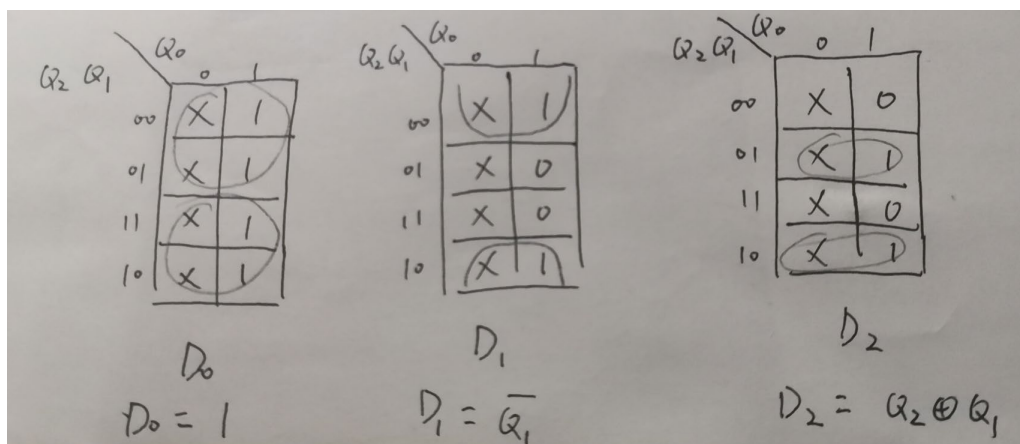
第一步:画出状态转换图:



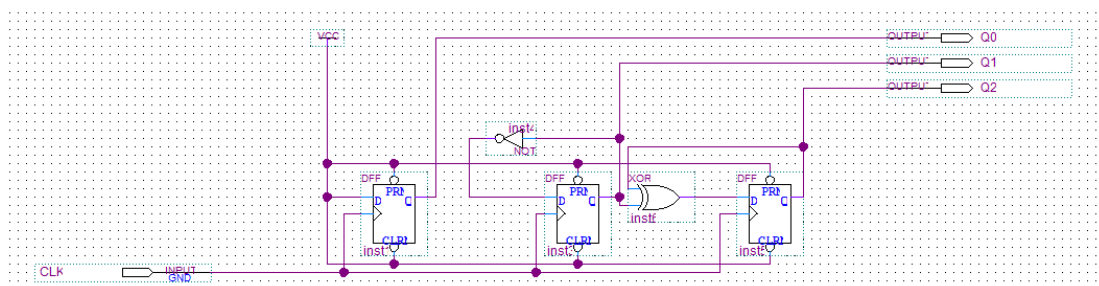
第二步:画出卡诺图



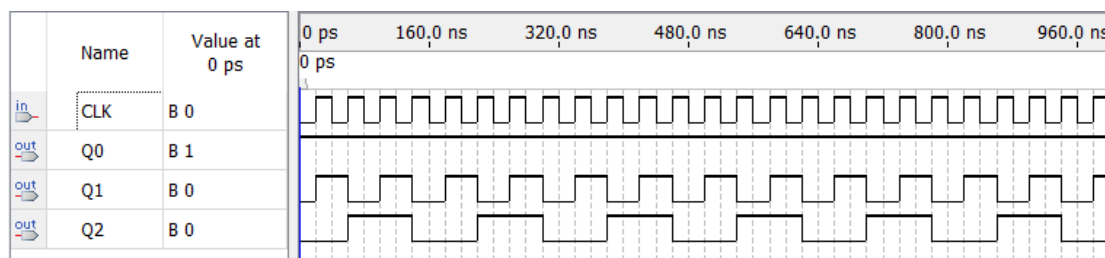
第三步：化简卡诺图，得到 D 的表达式



(2) 在 Quartus 中实现所设计的同步计数器。

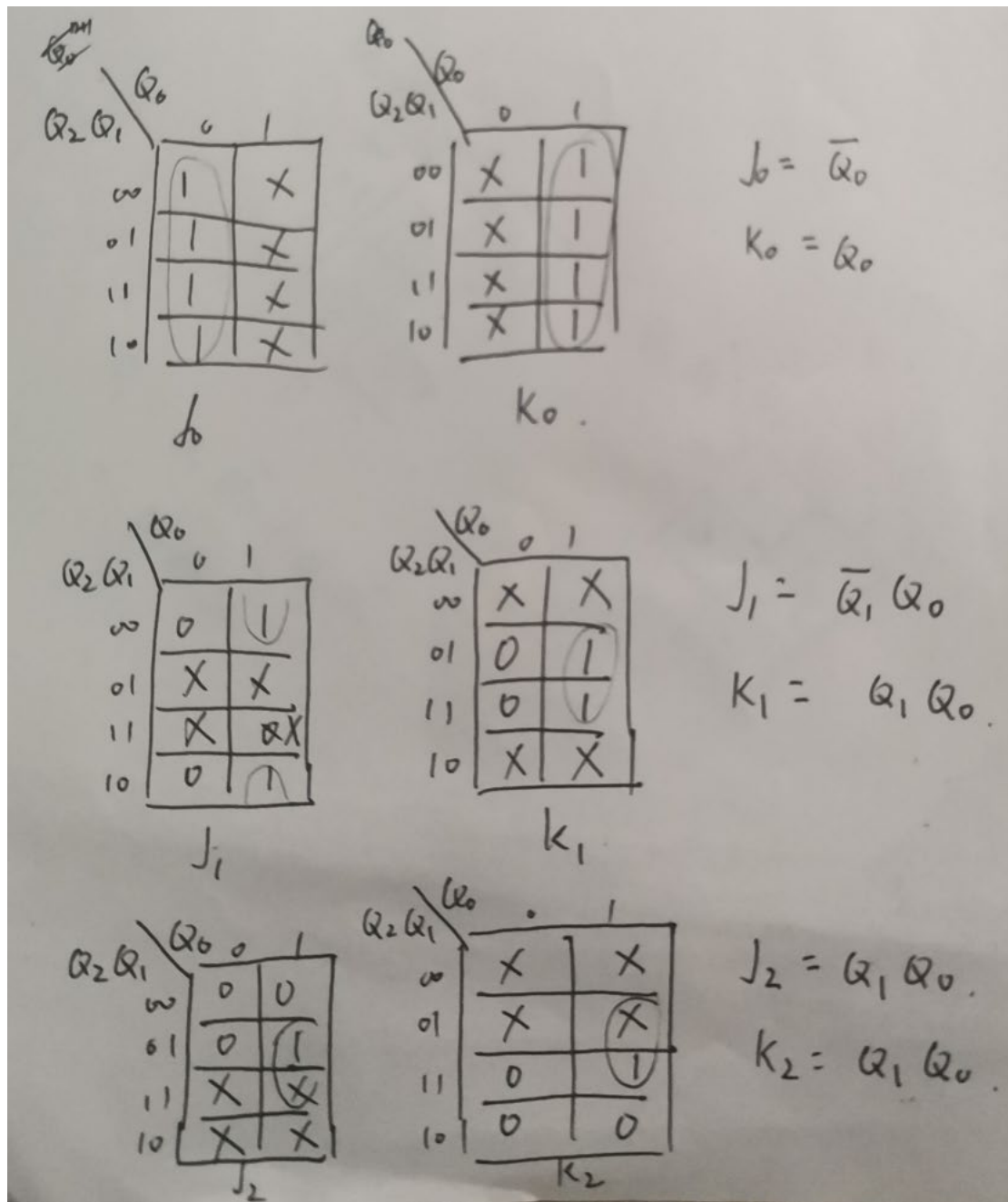


(3) 输入时钟信号，测试并记录各 D-FF 触发器输出波形。

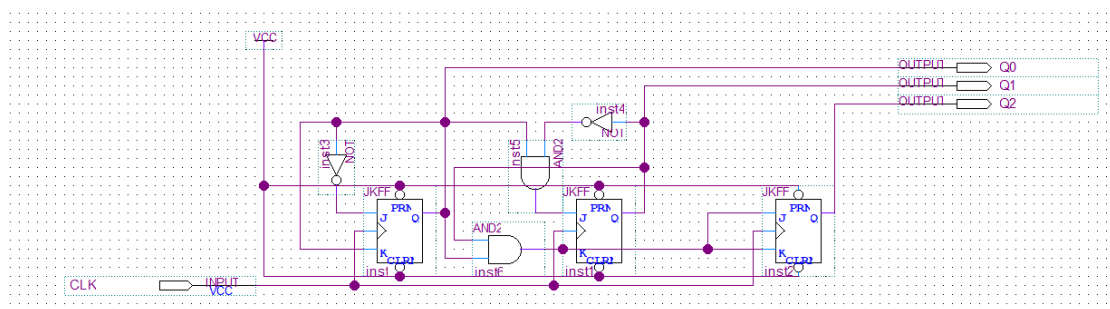


### 3. 一个 3 位二进制同步计数器的设计与测试

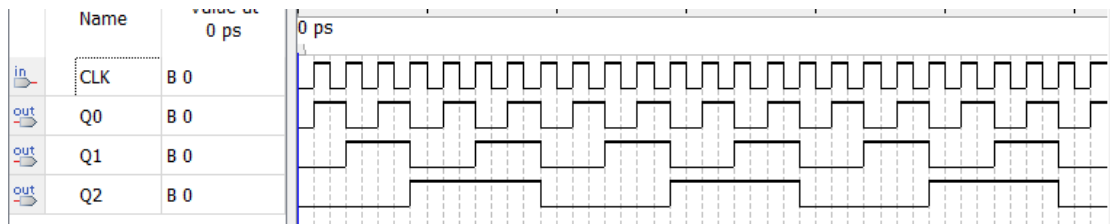
(1) 一个 3 位二进制同步计数器能够产生一个从 0 到 7 的二进制计数序列。



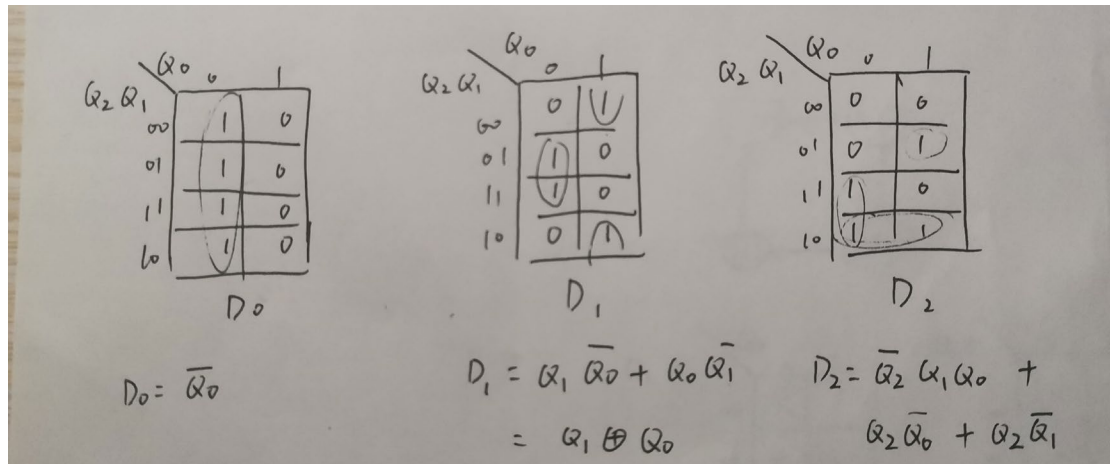
在 Quartus 中利用 JK-FF 触发器设计一个 3 位二进制同步计数器。



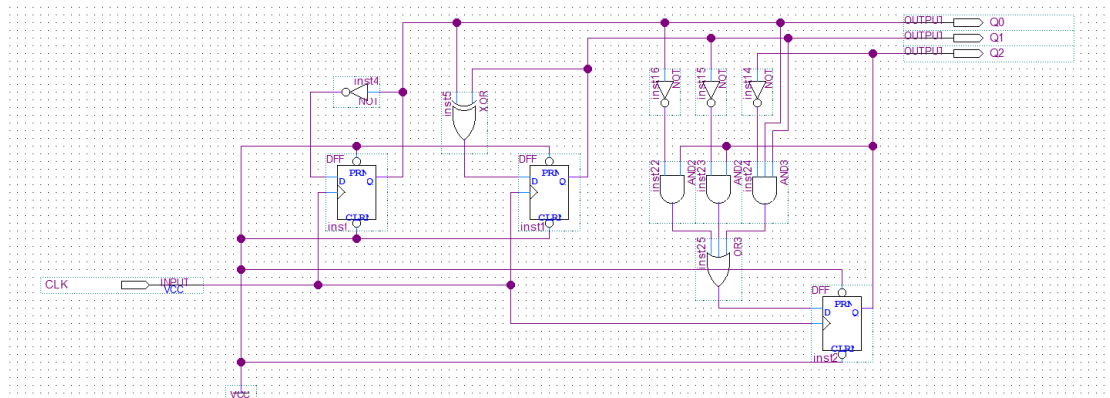
同时，输入时钟信号，测试并记录各 JK-FF 触发器输出波形。



(2) 在 Quartus 中利用 D-FF 触发器设计一个 3 位二进制同步计数器。



k



同时，输入时钟信号，测试并记录各 D-FF 触发器输出波形。

