

时序电路测试及研究

一、实验目的

- 1、测试 JK 触发器构成的 4 位异步二进制加法计数器功能；
- 2、设计一个 JK 触发器构成的 4 位异步二进制减法计数器，并测试它的功能；
- 3、设计一个 D 触发器构成的 3 位异步二进制加法计数器，并测试它的功能；
- 4、设计一个 D 触发器构成的 3 位异步二进制减法计数器，并测试它的功能。

二、实验仪器及材料

- 1、仪器设备：具有 USB 接口的微型计算机；Altera_FPGA 实验板；USB-Blaster 下载器。
- 2、软件：Quartus II 13.1。
- 3、集成芯片 Integrated chips: 74LS112 双 JK 触发器；74LS74 双 D 触发器

三、实验内容 -- Content

1、4 位二进制异步计数器

(1) 测试 JK 触发器构成的 4 位异步二进制加法计数器功能

a. 用 JK 触发器，按图 1 所示的原理接线。 Q_3 、 Q_2 、 Q_1 、 Q_0 四个输出端接 LED 显示。

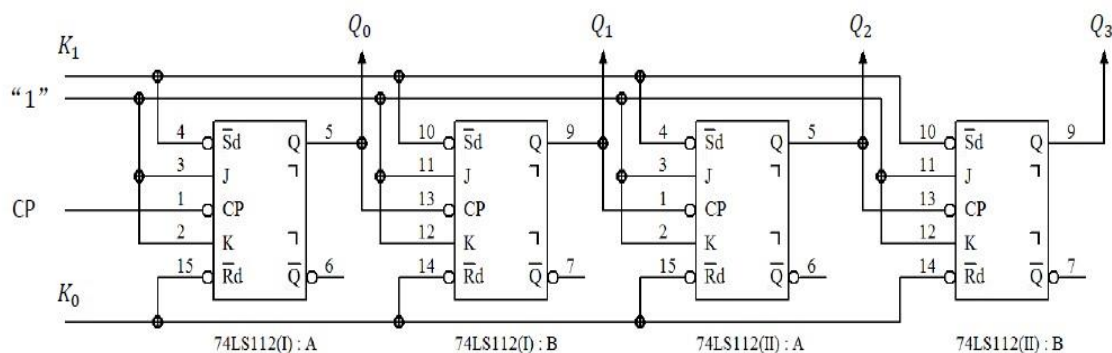
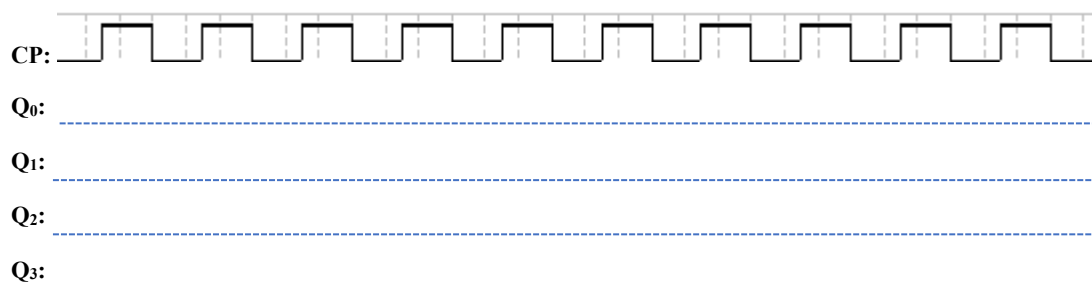


图 1：异步二进制计数器

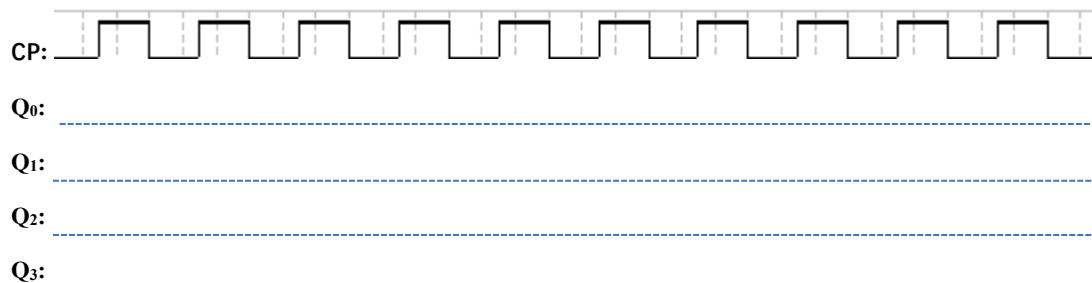
b. 由 CP 端输入一连续脉冲，测试并记录 $Q_3 \sim Q_0$ 端状态及波形。



(2) 设计并测试一个 JK 触发器构成的 4 位异步二进制减法计数器

a、利用 74LS112 设计一个 4 位异步二进制减法计数器，给出具体电路设计图。

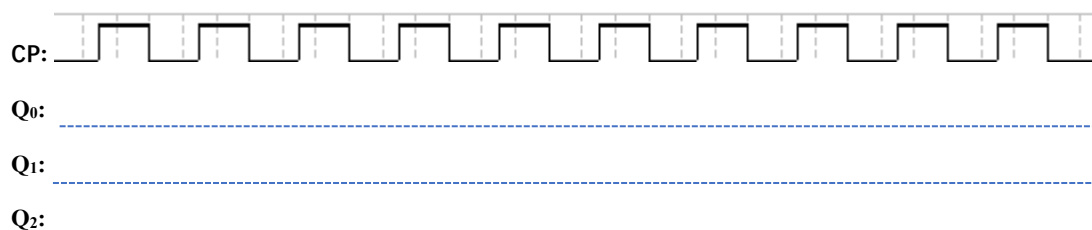
b、由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_3 \sim Q_0$ 端状态及波形。



2、设计并测试一个 D-FF 触发器构成的 3 位异步二进制加法计数器

a、利用 74LS74 设计一个 3 位异步二进制加法计数器，给出具体电路设计图。

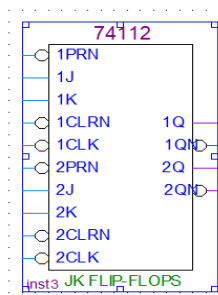
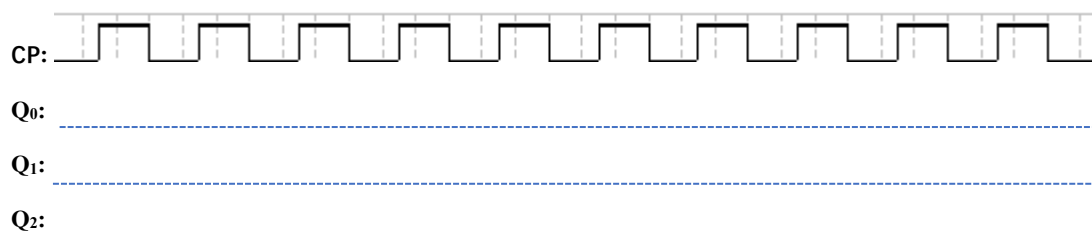
b、由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_2 \sim Q_0$ 端状态及波形。



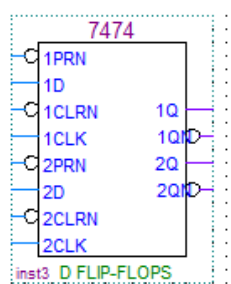
3、设计并测试一个 D-FF 触发器构成的 3 位异步二进制减法计数器

a、利用 74LS74 设计一个 3 位异步二进制减法计数器，给出具体电路设计图。

b、由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_2 \sim Q_0$ 端状态及波形。



74LS112 chip for JK-FF



74LS74 chip for D-FF