

集成同步计数器

一、实验目的

- 1、基于清零法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；
- 2、基于置数法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；
- 3、基于多进制级联的方法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；

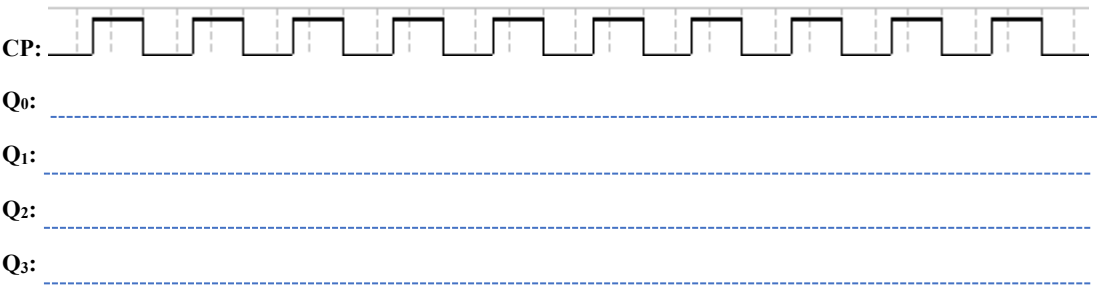
二、实验仪器及材料

- 1、仪器设备：微型计算机；
- 2、软件：Quartus II 13.1；
- 3、集成芯片：74LS160 10 进制集成同步计数器；
- 4、集成芯片：74LS161 16 进制集成同步计数器

三、实验内容

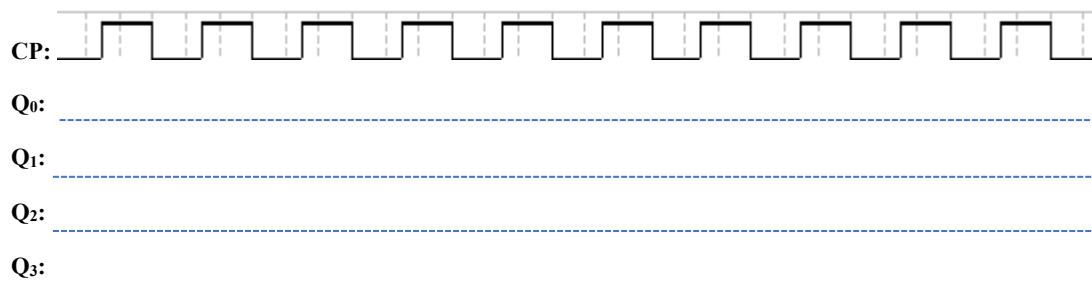
1. 基于 74LS160 的 6 进制同步计数器

- (1) 基于清零法，利用集成同步计数器芯片 74LS160 设计一个 6 进制计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_3\sim Q_0$ 端状态及波形。



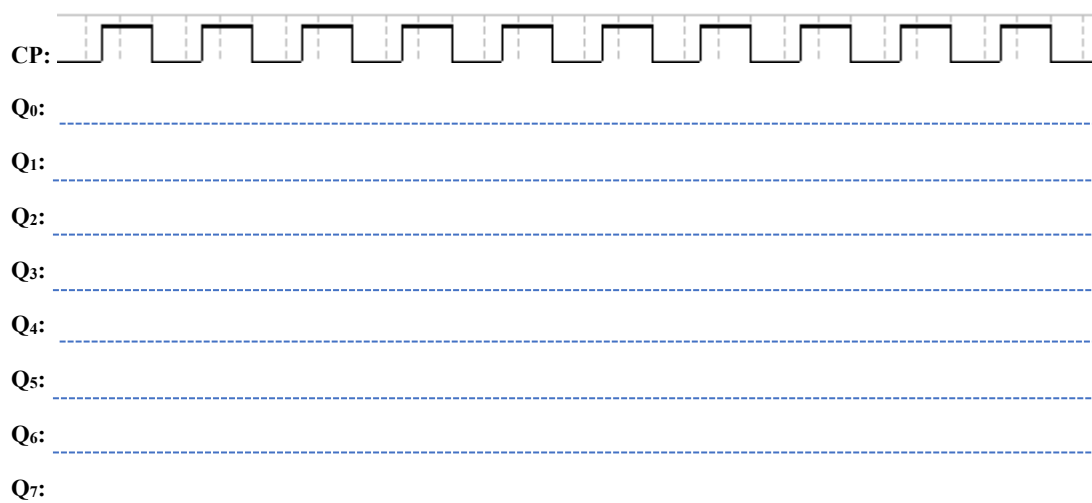
2. 基于 74LS161 的 11 进制同步计数器

- (1) 基于置数法，利用集成同步计数器芯片 74LS161 设计一个 11 进制计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_3\sim Q_0$ 端状态及波形。



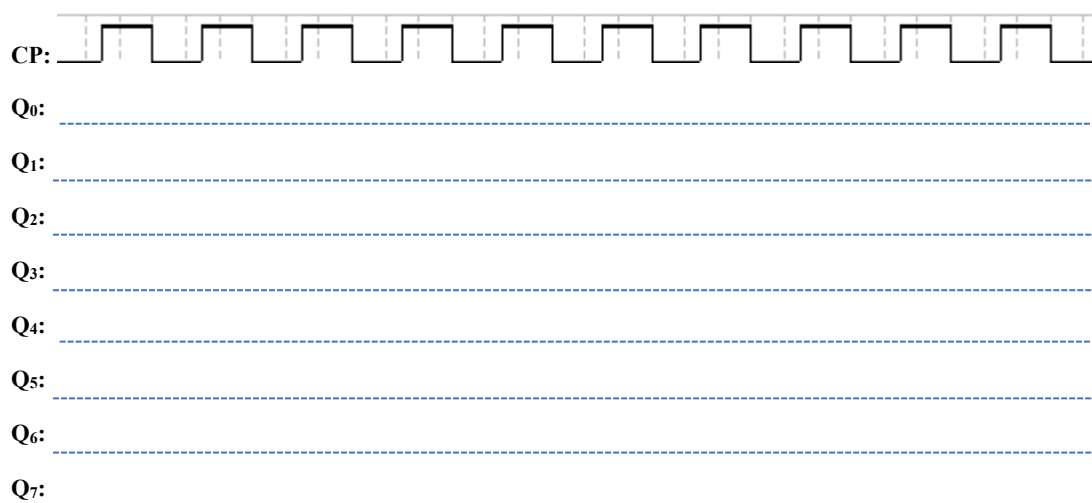
3. 基于 74LS160 的 37 进制异步计数器

- (1) 基于整体清零法，利用集成同步计数器芯片 74LS160 设计一个 37 进制同步计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_7 \sim Q_0$ 端状态及波形。



4. 基于 74LS161 的 80 进制异步计数器

- (1) 基于多进制级联的方法，利用集成同步计数器芯片 74LS160 设计一个 80 进制异步计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_7 \sim Q_0$ 端状态及波形。



注意：

- (a) 因为 $80=16*5$ ，我们必须利用单独一个 74LS161 设计一个 5 进制同步计数器；
- (b) 可用清零法，也可用置数法，设计 5 进制同步计数器；
- (c) 请利用并行进位的方法级联 16 和 5 进制的两个计数器，组成最终的 80 进制计数器。

