

《数字电子技术基础实验》课程

实验报告

实验项目：时序电路测试及研究

姓 名：	白文强	学 号：	20191060064
学 院：	信息学院	专 业：	计算机科学与技术
指导教师：	聂仁灿	日 期：	2020 年 11 月 21 日

一、实验目的

- 1、测试JK触发器构成的4位异步二进制加法计数器功能；
- 2、设计一个JK触发器构成的4位异步二进制减法计数器，并测试它的功能；
- 3、设计一个D触发器构成的3位异步二进制加法计数器，并测试它的功能；
- 4、设计一个D触发器构成的3位异步二进制减法计数器，并测试它的功能。

二、实验仪器

- 1、 仪器设备：具有USB 接口的微型计算机；Altera_FPGA 实验板；USB-Blaster 下载器。
- 2、 软件：Quartus II 13.1。
- 3、 集成芯片Integrated chips：74LS112 双JK触发器；74LS74 双D触发器

三、实验内容的基本理论

3.1 4位二进制异步计数器

(1) 测试 JK 触发器构成的 4 位异步二进制加法计数器功能

(2) 设计并测试一个 JK 触发器构成的 4 位异步二进制减法计数器

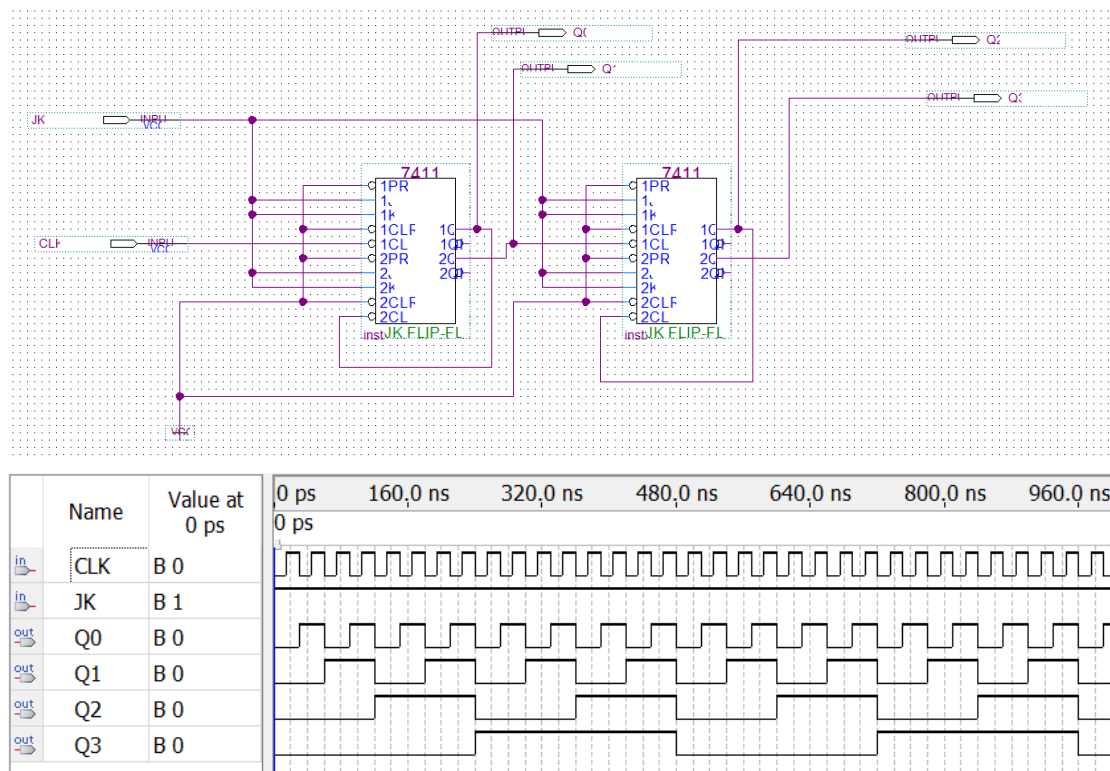
3.2 设计并测试一个 D-FF 触发器构成的 3 位异步二进制加法计数器

3.3 设计并测试一个 D-FF 触发器构成的 3 位异步二进制减法计数器

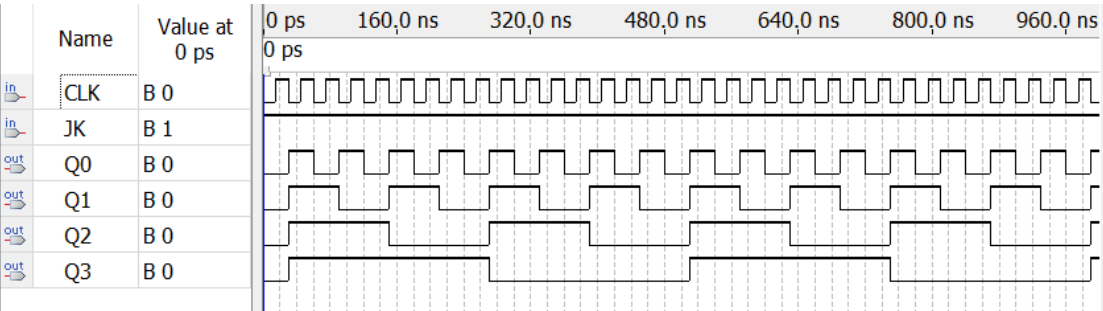
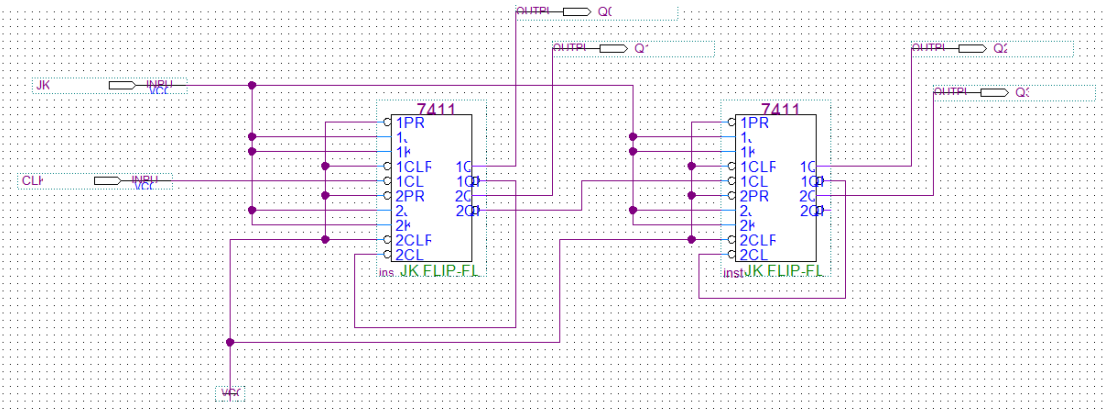
四、实验内容及数据

4.1 4位二进制异步计数器

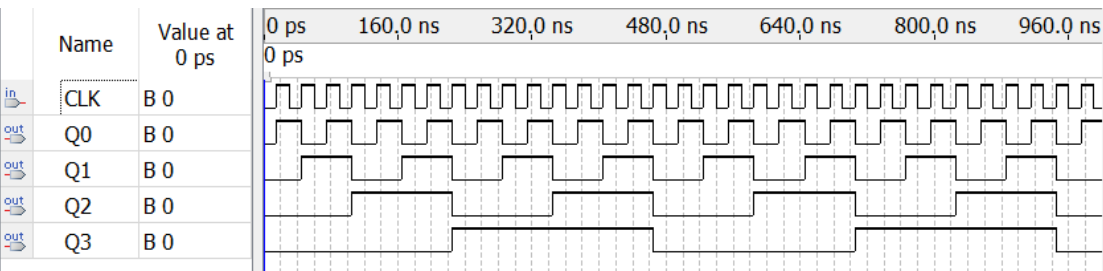
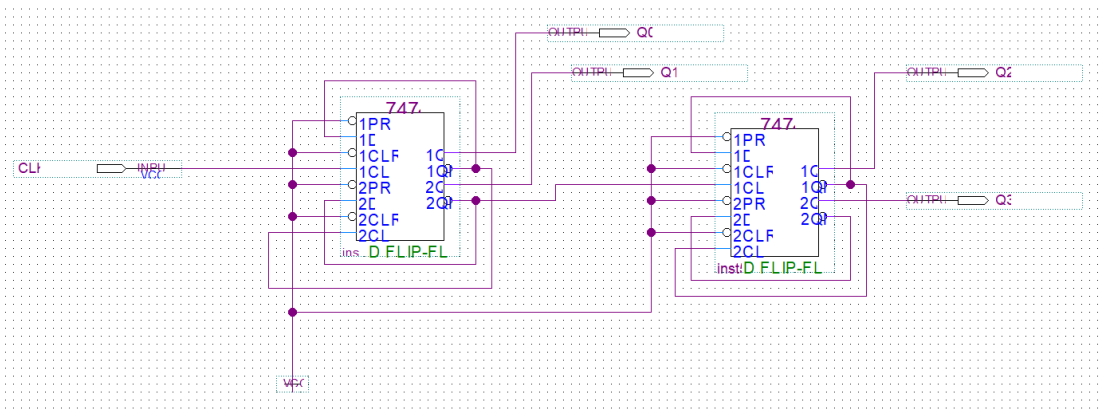
(1) 测试 JK 触发器构成的 4 位异步二进制加法计数器功能



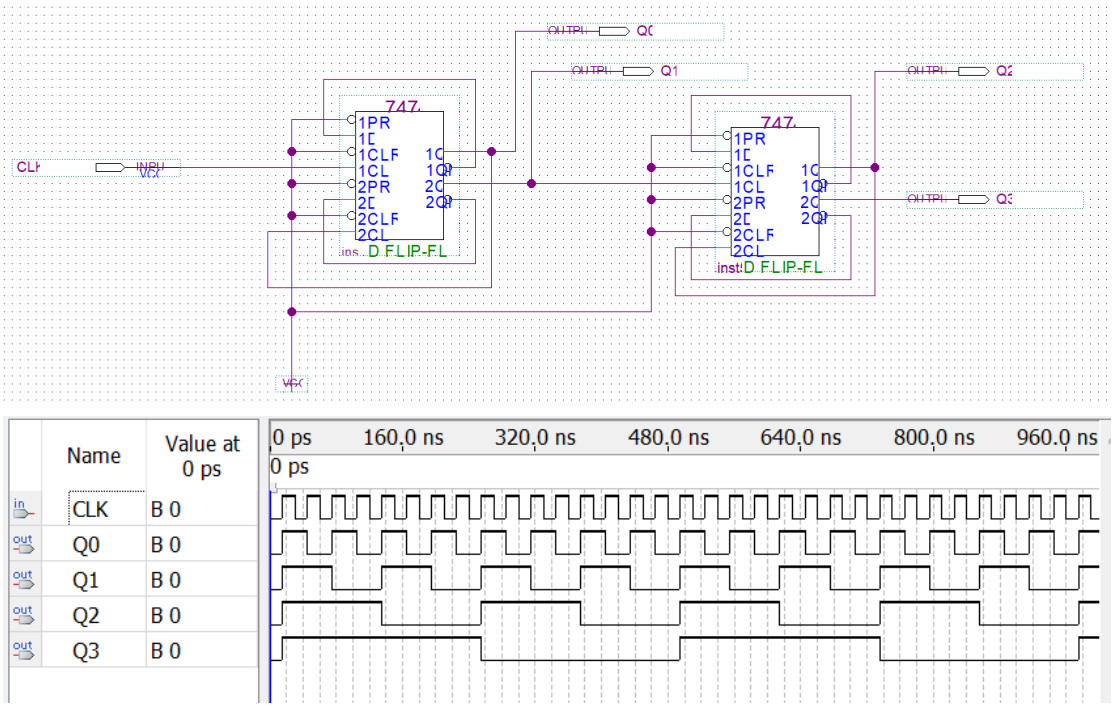
(2) 设计并测试一个 JK 触发器构成的 4 位异步二进制减法计数器



4.2 设计并测试一个 D-FF 触发器构成的 3 位异步二进制加法计数器



3.3 设计并测试一个 D-FF 触发器构成的 3 位异步二进制减法计数器



五、实验总结

在时序逻辑电路中，任一时刻的输出不仅与该时刻输入变量的取值有关，而且与电路原来的状态，即与过去的输入情况有关

连接异步计数器只需将每个触发器单元都做成 $Q_{n+1} = \overline{Q_n}$ ，然后再把前一级的输出与后一级的时钟输入端连接即可