

# 集成异步计数器

## 一、实验目的

- 1、掌握利用 JK 触发器设计一个异步任意 M 进制计数器，并测试它的功能；
- 2、基于清零法，掌握利用集成异步计数器设计一个异步任意 M 进制计数器，并测试它的功能；
- 3、基于多进制级联的方法，掌握利用集成异步计数器设计一个异步任意 M 进制计数器，并测试它的功能。

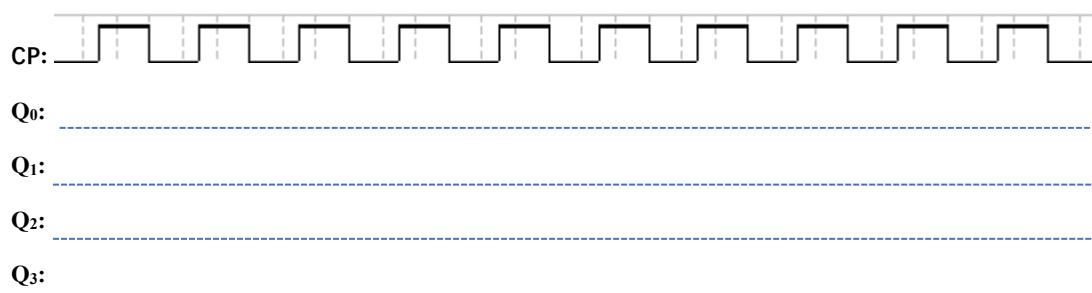
## 二、实验仪器及材料

- 1、仪器设备：微型计算机；
- 2、软件：Quartus II 13.1。
- 3、集成芯片：74LS90          2-5-10 集成异步计数器

## 三、实验内容

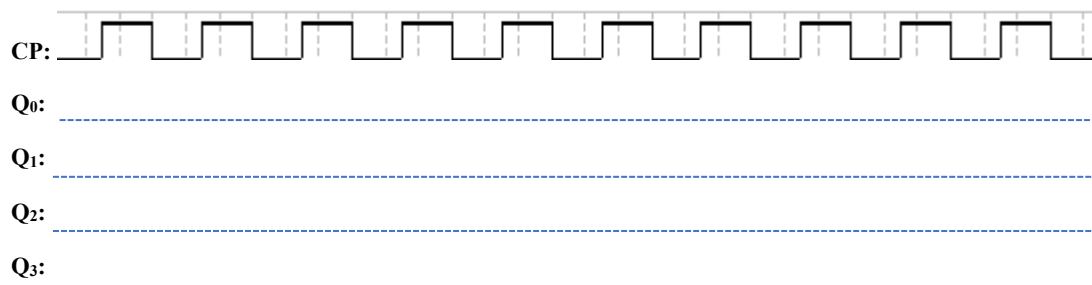
### 1、基于 JK 触发器的 13 进制异步计数器

- (1) 利用 JK 触发器设计一个 13 进制计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_3\sim Q_0$ 端状态及波形。



### 2. 基于 74LS90 的 6 进制异步计数器

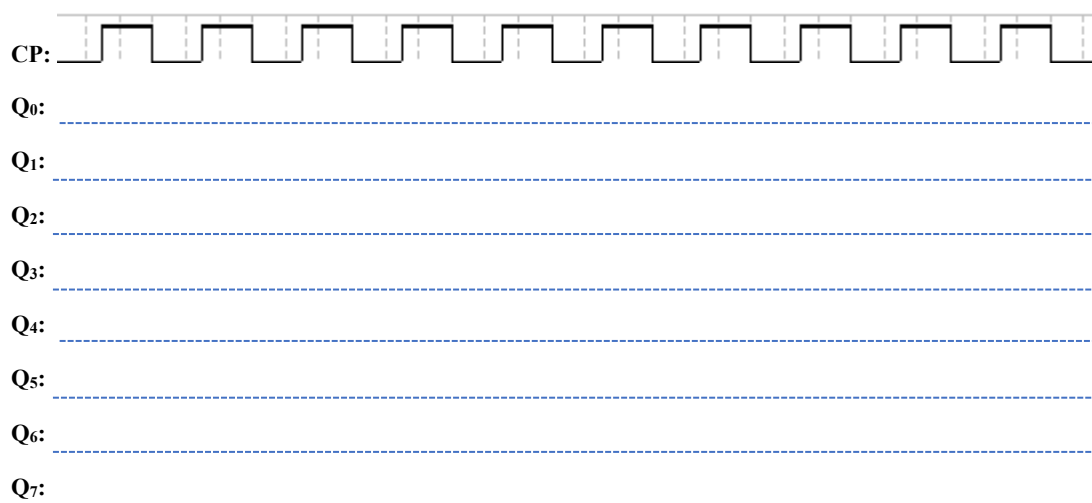
- (1) 基于清零法，利用集成异步计数器芯片 74LS90 设计一个 6 进制计数器，给出具体电路设计图。
- (2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的 $Q_3\sim Q_0$ 端状态及波形。



### 3. 基于 74LS90 的 69 进制异步计数器

(1) 基于整体清零法，利用集成异步计数器芯片 74LS90 设计一个 69 进制异步计数器，给出具体电路设计图。

(2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的  $Q_7 \sim Q_0$  端状态及波形。



### 4. 基于 74LS90 的 54 进制异步计数器

(1) 基于多进制级联的方法，利用集成异步计数器芯片 74LS90 设计一个 54 进制异步计数器，给出具体电路设计图。

(2) 由 CP 端输入一连续脉冲，测试并记录所设计电路的  $Q_7 \sim Q_0$  端状态及波形。

