

基于触发器的同步计数器设计与测试

I 实验目的

1. 掌握如何利用 JK-FF 触发器设计并测试一个同步计数器。
2. 掌握如何利用 D-FF 触发器设计并测试一个同步计数器。

II 实验模块

1. JK-FF
2. D-FF

III 实验内容

1. 一个 3 位格雷码计数器的设计与测试

利用 JK-FF 触发器设计并测试一个 3 位格雷码同步计数器。

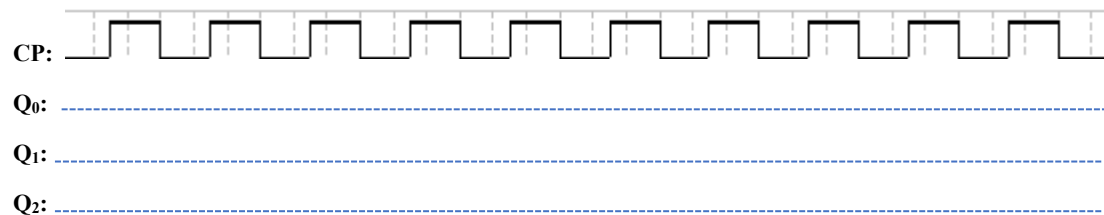
- (1) 请分步骤地介绍如何利用 JK-FF 触发器设计并测试一个 3 位格雷码同步计数器。

第一步:

第二步:

.....

- (2) 在 Quartus 中实现所设计的 3 位格雷码同步计数器。
- (3) 输入时钟信号, 测试并记录各 JK-FF 触发器输出波形。



2. 一个具有不规则计数序列的计数器设计与测试

对一个不规则计数序列 1, 3, 5, 7, 请利用 D-FF 设计一个支持该计数序列的计数器

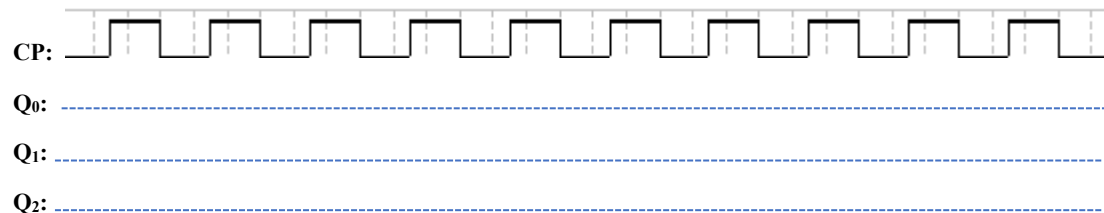
- (1) 请分步骤地介绍如何利用 JK-FF 触发器设计并测试一个 3 位格雷码同步计数器。

第一步:

第二步:

.....

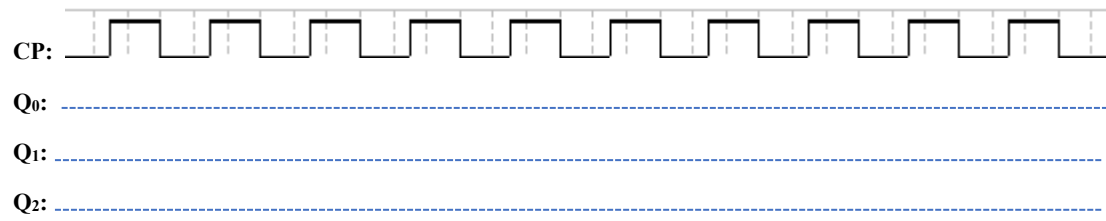
- (2) 在 Quartus 中实现所设计的同步计数器。
- (3) 输入时钟信号, 测试并记录各 D-FF 触发器输出波形。



3. 一个 3 位二进制同步计数器的设计与测试

一个 3 位二进制同步计数器能够产生一个从 0 到 7 的二进制计数序列。

- (1) 在 Quartus 中利用 JK-FF 触发器设计一个 3 位二进制同步计数器。同时, 输入时钟信号, 测试并记录各 JK-FF 触发器输出波形。



(2) 在 Quartus 中利用 D-FF 触发器设计一个 3 位二进制同步计数器。同时，输入时钟信号，测试并记录各 D-FF 触发器输出波形。

