

译码器和数据选择器

一、实验目的

- 1、熟悉集成译码器和数据选择器。
- 2、掌握集成译码器和数据选择器的应用。
- 3、学习组合逻辑电路的设计。

二、实验仪器及材料

- 1、双踪示波器

- 2、器件：

74LS00	二输入端四“与非”门	1片
74LS20	四输入端双“与非”门	1片
74LS139	双2—4线译码器	1片
74LS153	双4选1数据选择器	1片

三、实验内容

1、译码器逻辑功能测试

将74LS139译码器按图3.1接线，按表3.1分别置位输入电平，填输出状态表。

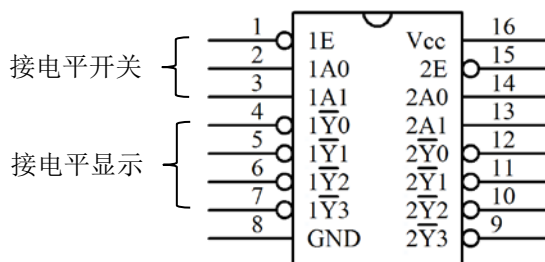


图 3.1 74LS139

表 3.1

输入			输出			
使能	选择					
E	A_1	A_0	\bar{Y}_3	\bar{Y}_2	\bar{Y}_1	\bar{Y}_0
H	×	×				
L	L	L				
L	L	H				
L	H	L				
L	H	H				

2、译码器转换

将双2—4线译码器转换为3—8译码器。

- (1)、画出转换电路图。
- (2)、在实验箱上接线并验证设计是否正确。

(3)、设计并填写该 3—8 线译码器逻辑功能表，画出输入、输出波形。

3、数据选择器的测试及应用

(1)、将双 4 选 1 数据选择器 74LS153 参照图 3.2 接线，测试其逻辑功能并填写功能表 3.2。

(2)、将实验箱上 4 个不同频率的脉冲信号接到数据选择器 4 个输入端，将选择端置位，使输入端可以分别观察到 4 种不同频率的脉冲信号。

(3)、分析上述实验结果并总结数据选择器作用。

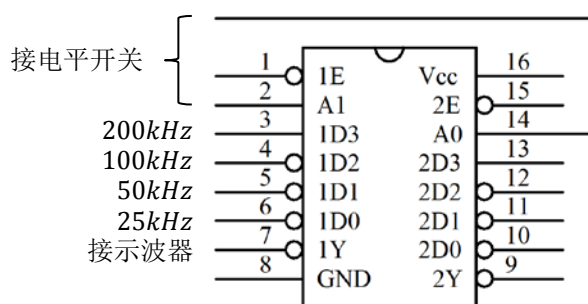


图 3.2 74LS153

表 3.2

输出控制	选择端		数据输入端				输出
E	A_1	A_0	D_3	D_2	D_1	D_0	Y
H	×	×	×	×	×	×	
L	L	L	×	×	×	L	
L	L	L	×	×	×	H	
L	L	H	×	×	L	×	
L	L	H	×	×	H	×	
L	H	L	×	L	×	×	
L	H	L	×	H	×	×	
L	H	H	L	×	×	×	
L	H	H	H	×	×	×	

4、应用设计

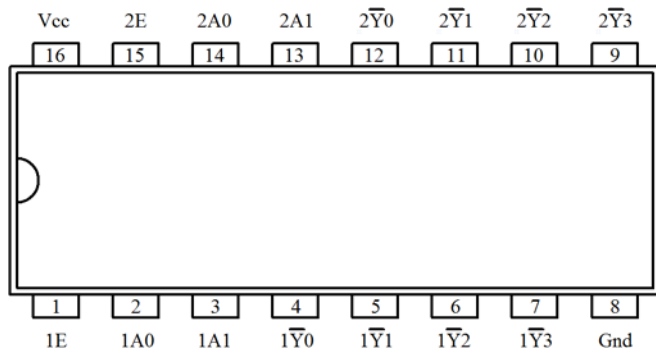
(1)、用 2—4 线译码器 74LS139 和少量逻辑门设计一个 1 位全减器。列出真值表和卡诺图，画出原理图，在实验箱上接线并验证设计是否正确。

(2)、用 4 选 1 数据选择器 74LS153 和少量逻辑门设计一个 1 位全加器。列出真值表和卡诺图，画出逻辑图，在实验箱上接线并验证设计是否正确。

五、实验报告

- 1、画出实验要求的波形图。
- 2、画出实验 2、3、4 的逻辑图。
- 3、总结译码器和数据选择器的使用体会。
- 4、总结组合逻辑电路的设计方法。

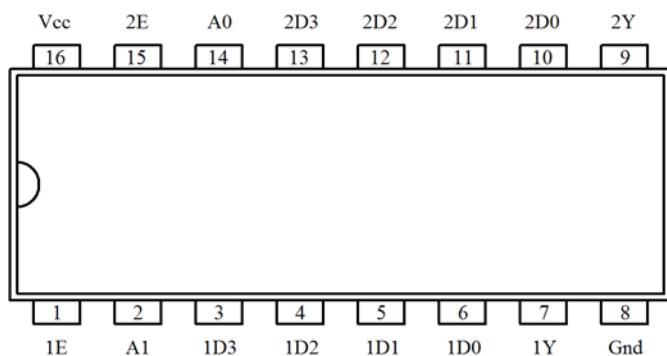
六、常用集成电路引脚图（三）



74LS139 双 2—4 线译器

 $A_1 \sim A_0$ ——地址输入端 E ——使能输入端（低电平有效） $\bar{Y}_3 \sim \bar{Y}_0$ ——输出端（低电平有效）

$$\bar{Y}_i = \overline{E m_i} \quad (i = 0, 1, 2, 3)$$



74LS153 双 4 选 1 数据选择器

 $D_3 \sim D_0$ ——数据输入端 $A_1 \sim A_0$ ——公用选择输入端 E ——使能输入端（低电平有效） Y ——输出端

$$Y = \sum_0^3 m_i D_i \quad m_i \text{ 为地址最小项}$$