

《数字电子技术基础实验》课程

实验报告

实验项目：集成同步计数器

姓 名：	白文强	学 号：	20191060064
学 院：	信息学院	专 业：	计算机科学与技术
指导教师：	聂仁灿	日 期：	2020 年 12 月 19 日

一、实验目的

- 1、基于清零法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；
- 2、基于置数法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；
- 3、基于多进制级联的方法，掌握利用集成同步计数器芯片设计一个任意 M 进制同步计数器，并测试它的功能；

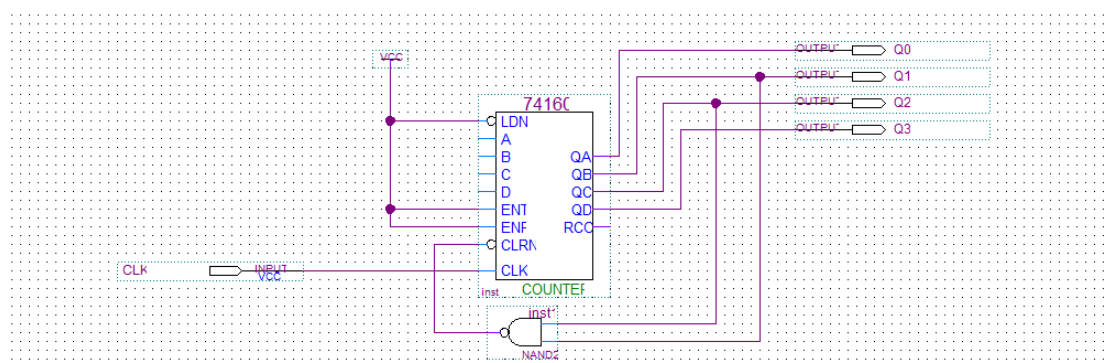
二、实验仪器

- 1、仪器设备：微型计算机；
2、软件：Quartus II 13.1；
3、集成芯片：74LS160 10 进制集成同步计数器 ；
4、集成芯片：74LS161 16 进制集成同步计数器

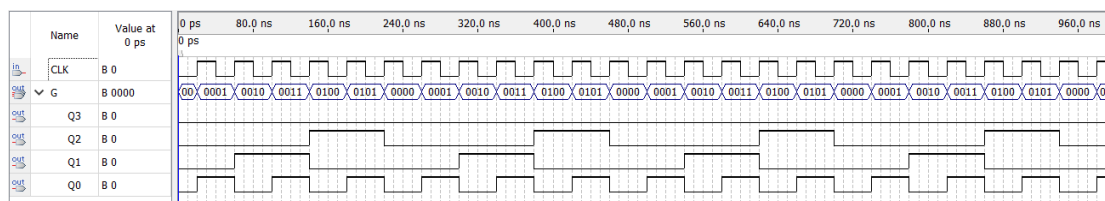
三、实验内容和结果

1. 基于 74LS160 的 6 进制同步计数器

(1) 基于清零法，利用集成同步计数器芯片 74LS160 设计一个 6 进制计数器，给出具体电路设计图。

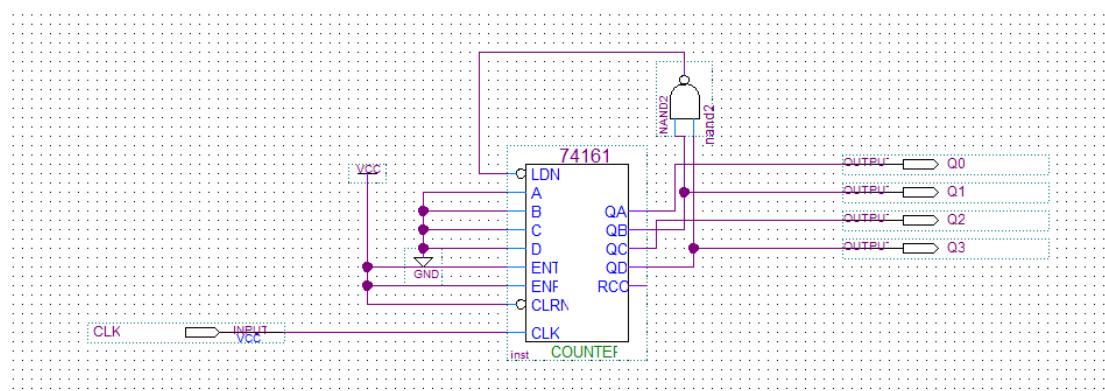


(2) 由 CP 端输入一连续脉冲, 测试并记录所设计电路的 03~00 端状态及波形。

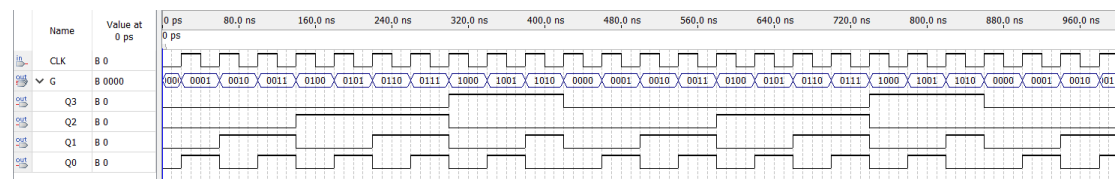


2. 基于 74LS161 的 11 进制同步计数器

(1) 基于置数法，利用集成同步计数器芯片 74LS161 设计一个 11 进制计数器，给出具体电路设计图。

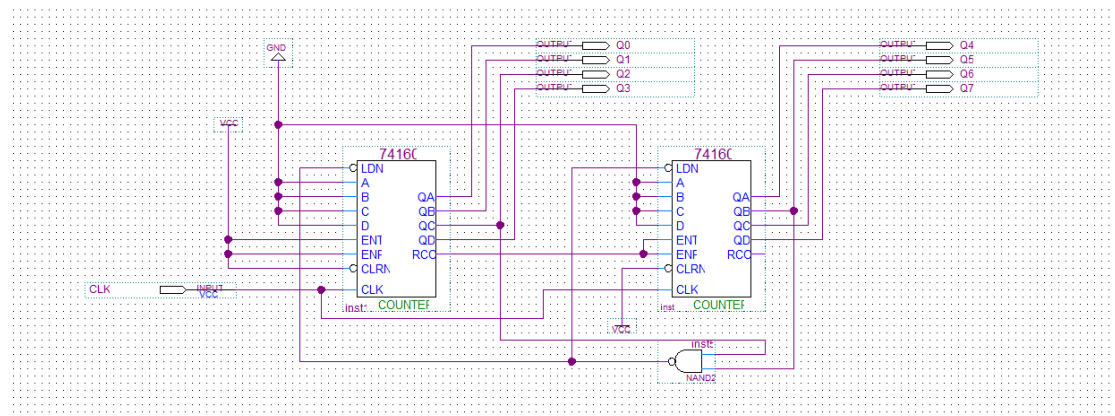


(2) 由 CP 端输入一连续脉冲, 测试并记录所设计电路的 $Q_3 \sim Q_0$ 端状态及波形。

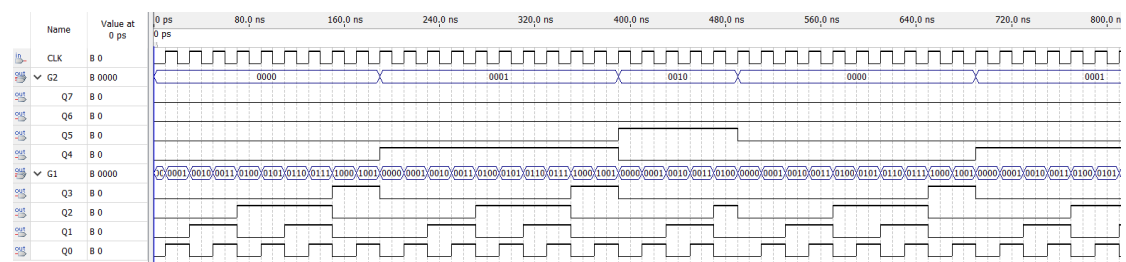


3. 基于 74LS160 的 37 进制同步计数器

(1) 基于整体清零法, 利用集成同步计数器芯片 74LS160 设计一个 37 进制同步计数器, 给出具体电路设计图。

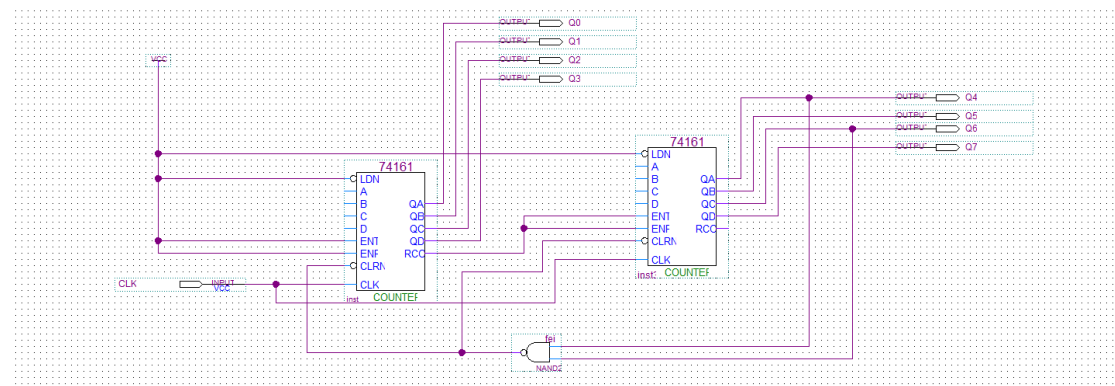


(2) 由 CP 端输入一连续脉冲, 测试并记录所设计电路的 $Q7 \sim Q0$ 端状态及波形。

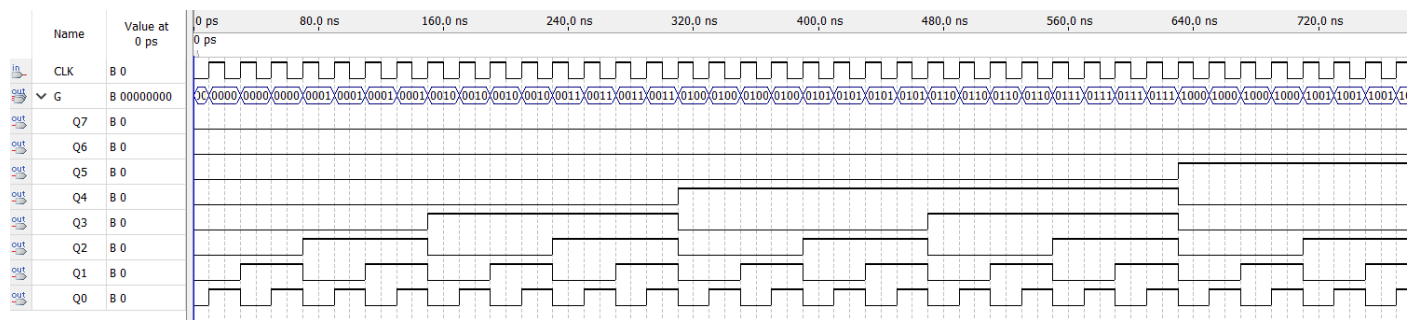


4. 基于 74LS161 的 80 进制同步计数器

(1) 基于多进制级联的方法, 利用集成同步计数器芯片 74LS160 设计一个 80 进制异步计数器, 给出具体电路设计图。



(2) 由 CP 端输入一连续脉冲, 测试并记录所设计电路的 Q7~Q0 端状态及波形。



四、实验总结

基于清零法、置数法或多进制级联法

基于清零法时，第一个状态必然是0；而置数法时，第一个状态可以任意，由置数输入端决定；多进制级联法时，将每一级分别组成一个计数器然后将两个计数器连接。