

实验一：Quartus II 开发环境及基本逻辑功能实验

一、实验目的

- 1、熟悉三种基本逻辑功能及其逻辑表达式、逻辑符号、等效逻辑图等相关知识。
- 2、掌握在 Quartus II 环境下创建工程、创建逻辑图输入文件、判断基本错误、编译、通过 JTAG 向 FPGA 芯片下载程序的基本方法。
- 3、实验类型：验证型实验。

二、实验仪器及材料

- 1、仪器设备：具有 USB 接口的微型计算机一台、Altera_FPGA 实验板、USB-Blaster 下载器一台、双踪示波器、数字万用表
- 2、软件：Quartus II 13.0 以上 Altera_FPGA 开发环境

三、预习要求

- 1、预习三种基本的逻辑关系及其逻辑表达式。
- 2、熟悉 Altera_FPGA 实验板各部分的名称及功能。

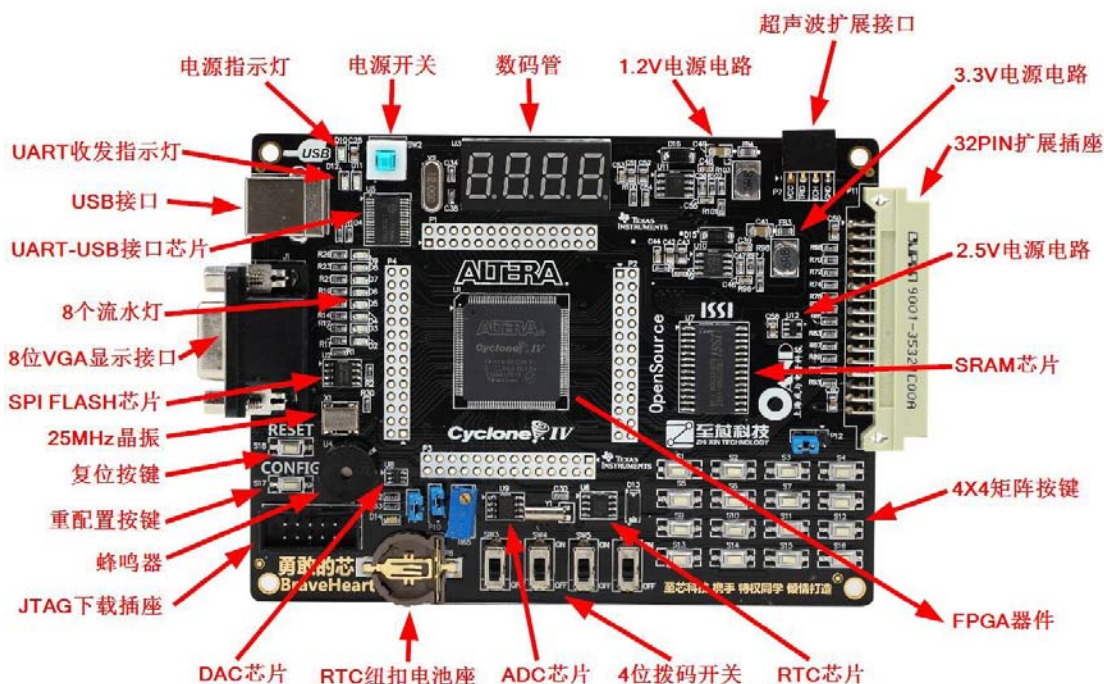


图 1 Altera_FPGA 实验板

- 3、参照教材熟悉 Quartus II 的基本开发步骤。

四、实验内容及步骤

实验前先检查 Altera_FPGA 实验板是否完整，是否有器件损坏，脱落。上电前应该保证没有任何金属碎屑或其它可导电物品接触到实验板。

1、Quartus II 和 Altera_FPGA 实验板的基本使用方法

(1) 使用 Quartus II 新建工程向导创建新工程

1. 从开始菜单启动 Quartus II 软件，启动后界面如下图所示。

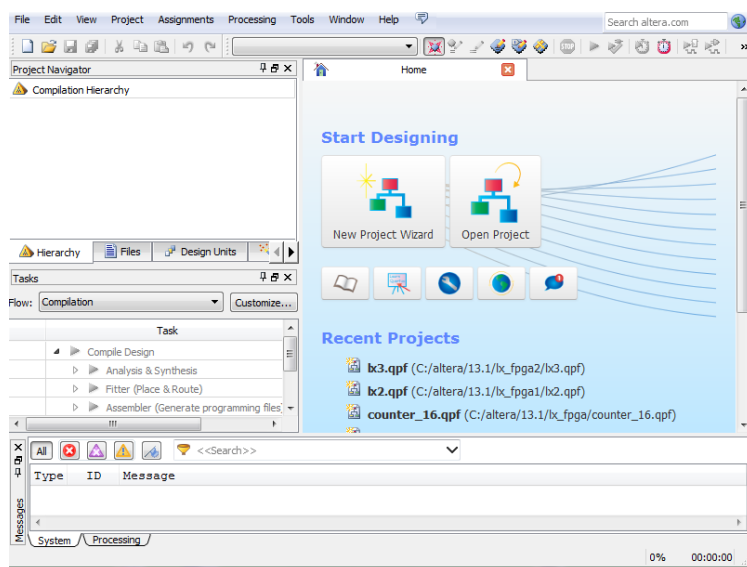


图 2 Quartus II 软件界面

2. 选择 File 菜单下的 New Project Wizard... 功能，弹出新建工程向导窗口。单击 Next，开始配置新建的工程。

3. 在“路径、名称和顶层设计输入窗口”中输入新建工程的路径，名称和顶层设计实体名称，如下图所示。配置完成后，单击 Next，进入下一步。

注意：由于每个工程中可能含有多个设计文件，且 Quartus II 会为工程自动添加大量文件，因此强烈建议为每个工程新建一个单独的文件夹。

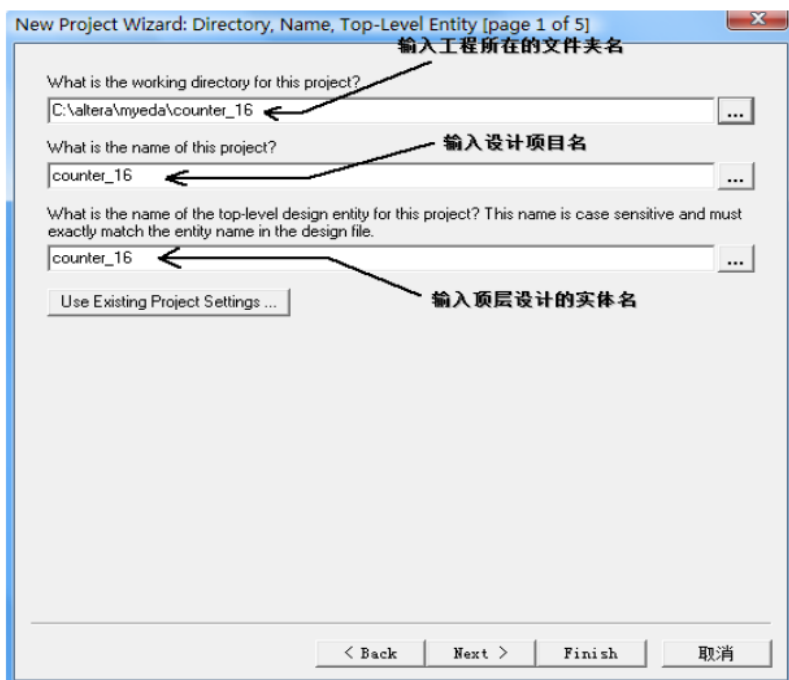


图 3 新建工程向导第一页

4.新建工程第二页是向工程中添加已有的设计文件，如下图所示。对于新建的工程，这一步可以不添加任何文件。单击 **Next**，进入下一步。

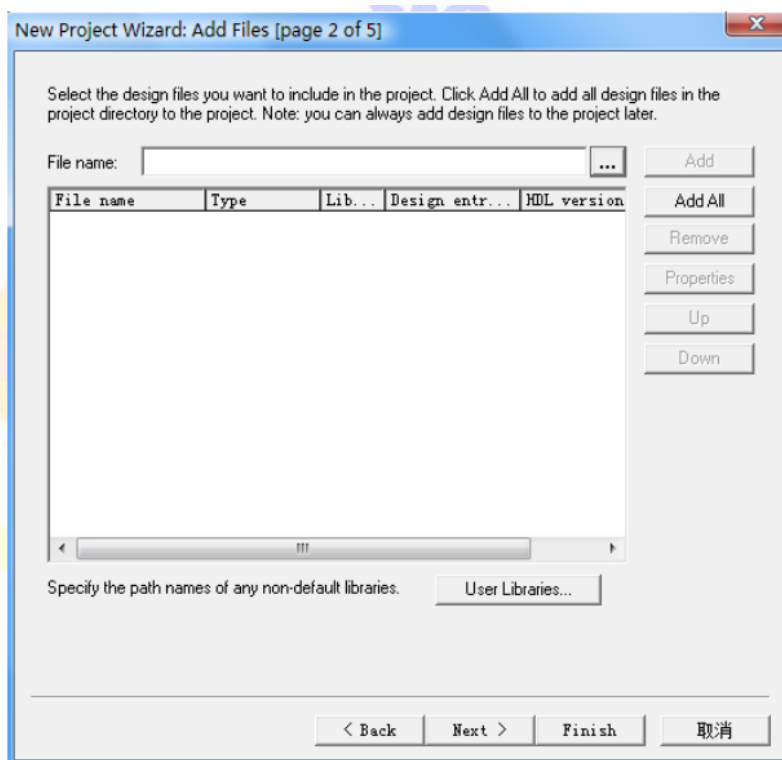
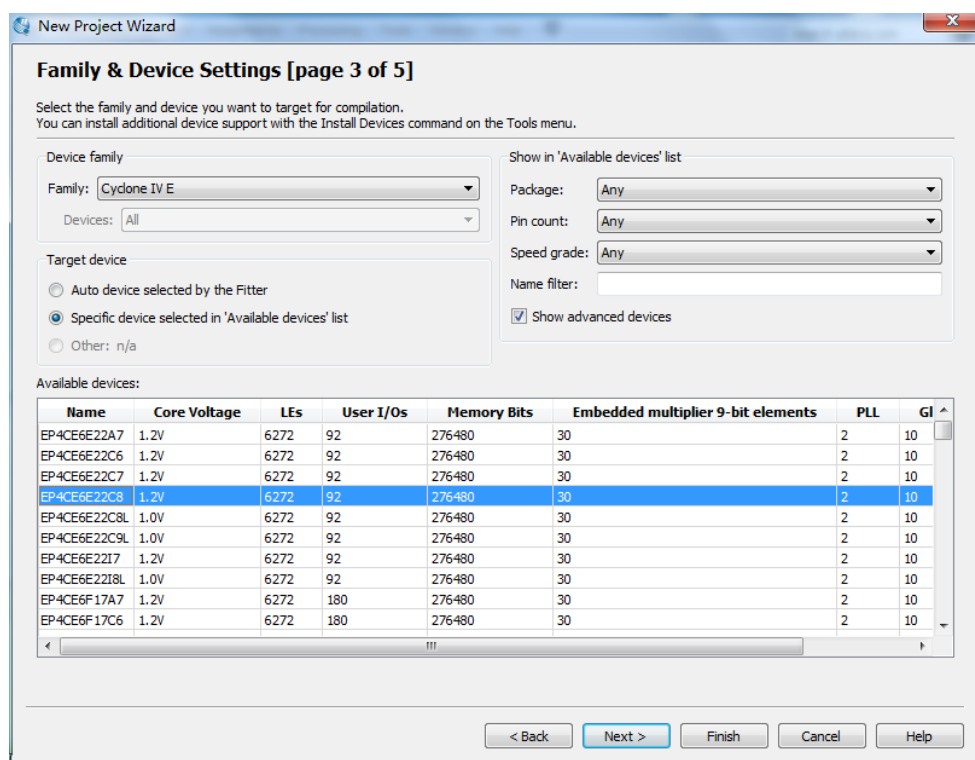


图 4 新建工程向导第二页

5. 新建工程第三页用于选择本工程使用的可编程器件。请选择 Cyclone 家族 Cyclone_IV_E，EP4CE6E22C8（如下图所示）。选定后，单击 **Next**，进入下一步。



6. 新建工程第四页用于选择本工程使用的外部 EDA 工具。由于 Quartus II 已经集成了大量可用的 EDA 工具，对于一般的工程可以不必在选择使用其它外部 EDA 工具。单击 Next，进入下一步。

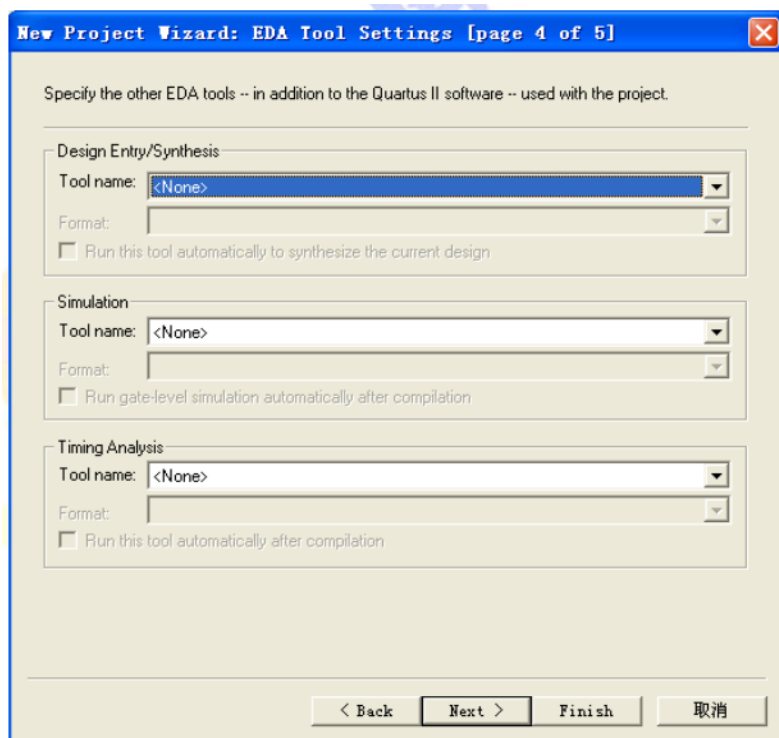
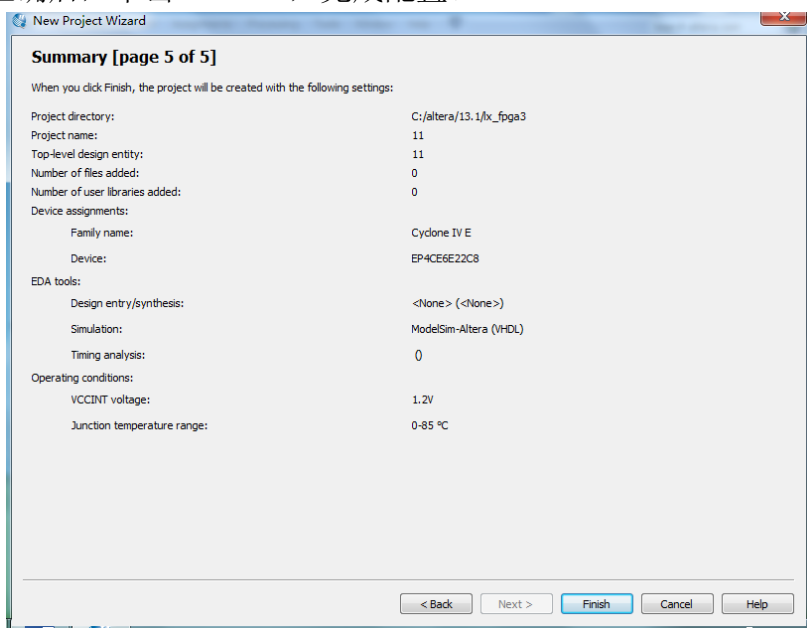


图 6 新建工程向导第四页

7. 新建工程第五页总结了前面四步的配置，使用中可以再次检查配置是否合理。检查正确后，单击 Finish，完成配置。



(2) 用原理图输入法进行 FPGA 开发的基本方法

Quartus II 可以采用硬件描述语言和原理图输入法两种方法进行 FPGA 项目开发。由于原理图输入法更符合“数字电路基础”课程的需要，这里首先介绍原理图输入法。

1. 在前面新建的 Quartus II 工程中，单击新建文件菜单条 (File -> New...) 或快捷方式键，在弹出的 New 窗口中选中 Block Diagram/Schematic File(即原理图输入文件)，单击 OK 即可。

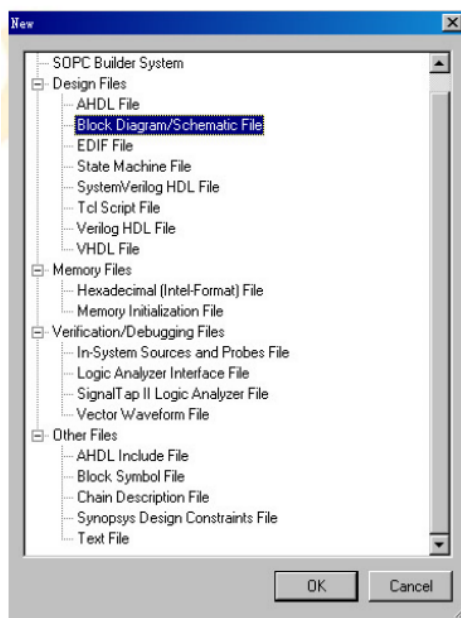


图 8 新建文件窗口

2. 新建的原理图输入文件，及其对应的工具如下图所示

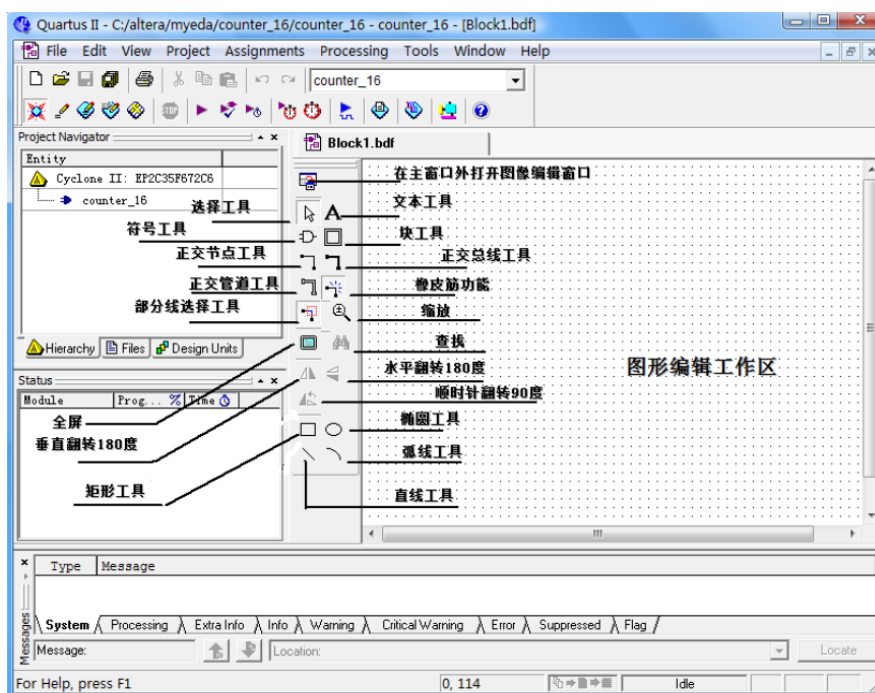


图 9 原理图输入文件及其对应的工具条

3. 双击新建成的原理图输入文件 (*.bdf) 原理图中的任意位置, 即可弹出如下图所示的符号输入窗口。接下来就可以在原理图输入文件中输入需要的逻辑功能了, 输入的方式有两种: 其一, 从左上方的库文件目录中选中所需的逻辑功能或芯片; 其二直接在其下的名称输入控件中输入逻辑功能或芯片的名称。这里放入一个 2 输入逻辑与功能: 在输入框中输入 and2, 然后单击左下角的 OK 按钮即可。

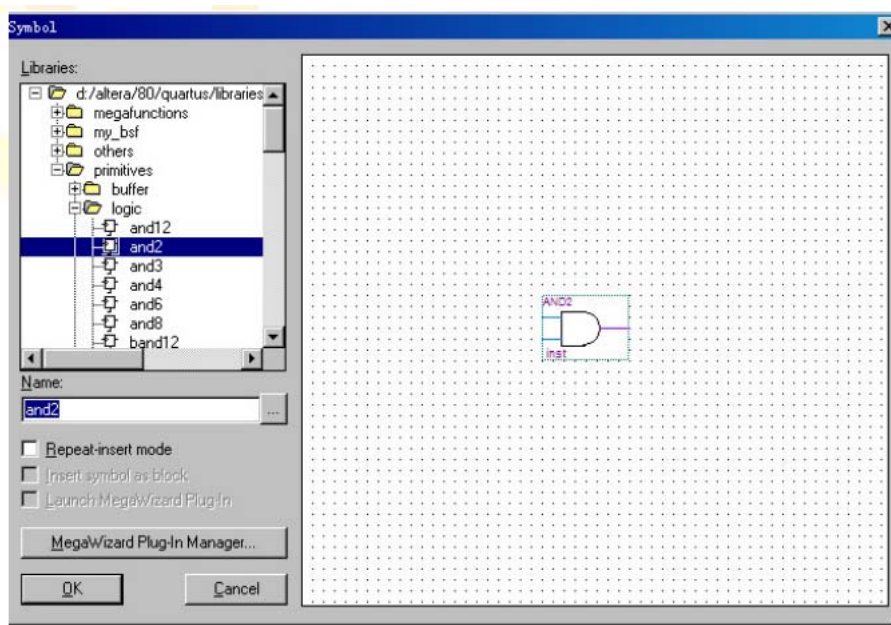


图 10 符号输入窗口

4. 采用和上一步同样的方法输入两个输入端口和一个输出端口, 共三个逻辑符号。注意输入端口的名称(Name)为 input, 输出端口的名称(Name)为 output。并用工具条中的连线工具将两个输入端口、一个输出端口和逻辑与的符号连接起来。完成后效果如下图所示。

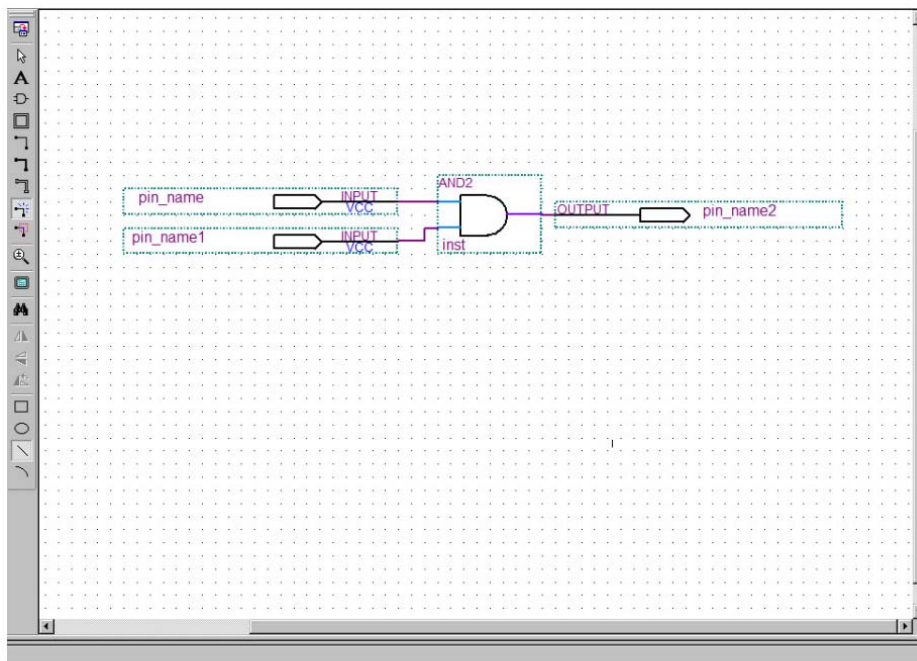


图 11 完成连线后的效果

5. 将 Altera_FPGA 实验板的引脚配置文件: cy4_pin_assignment.qsf 拷贝到本工程的文件夹中。使用工具菜单导入 cy4_pin_assignment.qsf 文件。本步骤的目的是将 Altera_FPGA 实验板的引脚连接情况告诉 Quartus II。

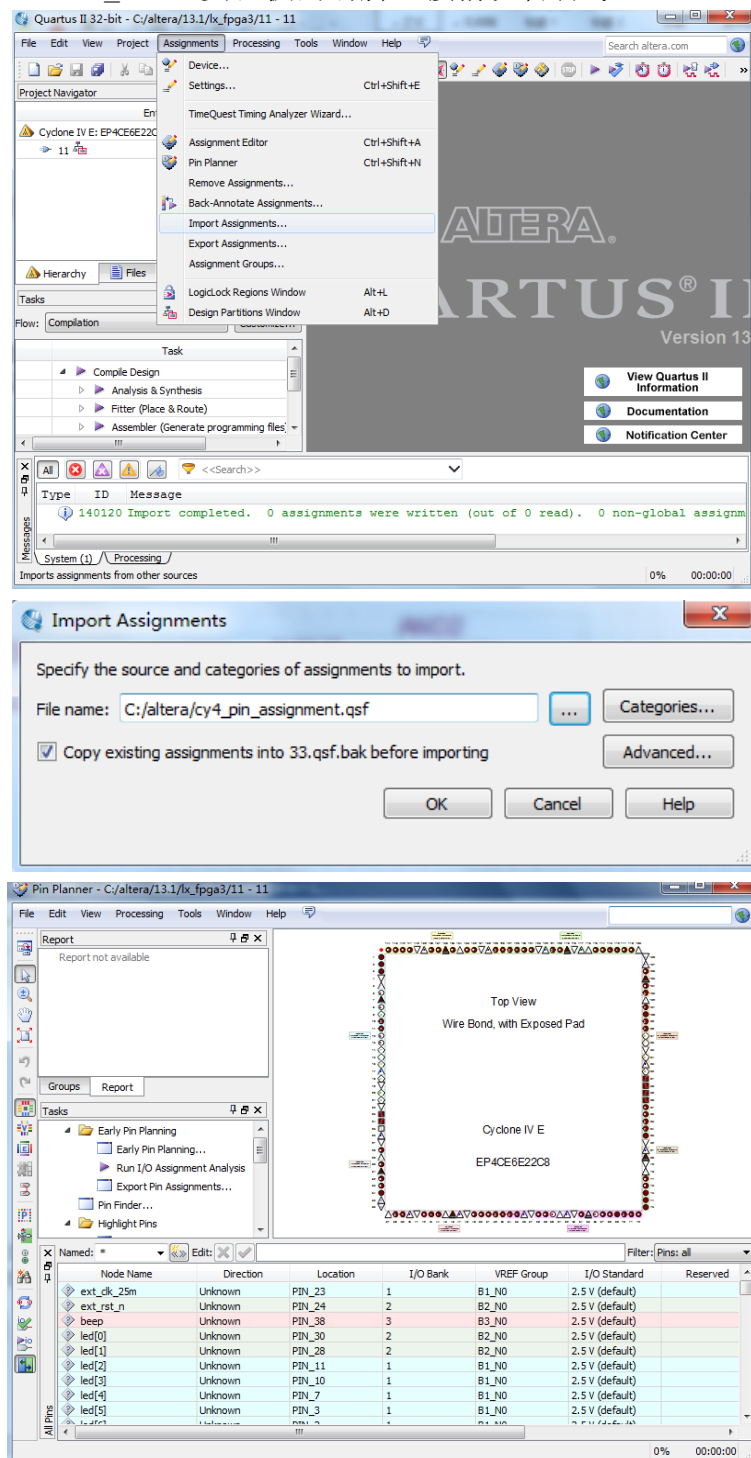


图 12 引脚文件导入及查看

6. 双击原理图输入文件中的输入端子，将其引脚名称改为 switch[0] 和 switch[1]。然后将输出端子的引脚名称改为 led[0]（注意所有字母的大小写也必须相同）。其中 switch[0]、switch[1] 和 led[0] 都是在

cy4_pin_assignment 中定义的，在 Altera_FPGA 实验板中和某种固定硬件相连的引脚名称。完成后的原理图如下图所示。

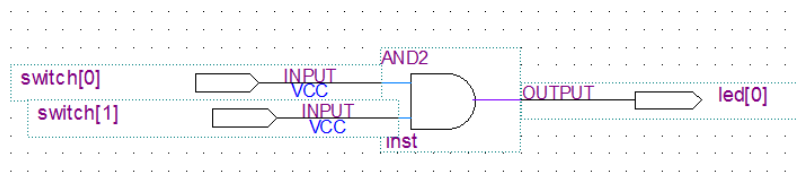



图 13 完成后原理图

7. 单击“开始编译”快捷方式图标（），如果上述输入操作正确即可得到正确结果。

（3）将设计下载到 Altera_FPGA 实验板中调试和运行

1. 将 USB-Blaster 下载器插入装有 Quartus II 的计算机的 USB 口上，如果是第一次使用将弹出找到新硬件窗口。驱动程序安装详见“软件安装与配置 4.6”文档

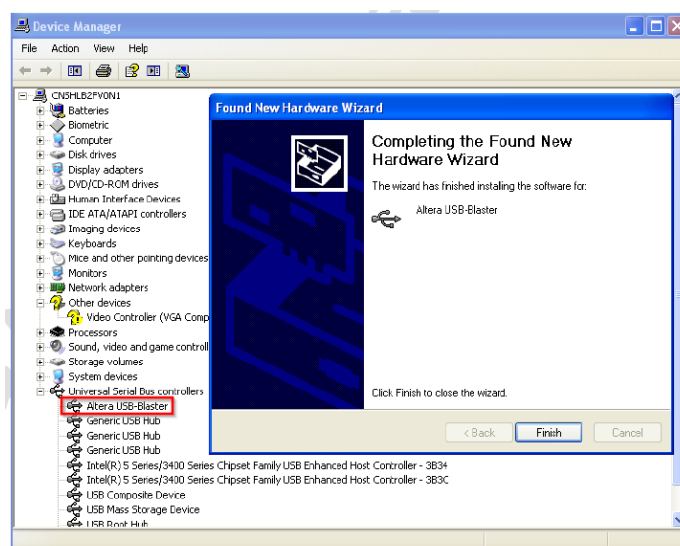


图 14 驱动程序安装

2. 将 USB-Blaster 下载器的下载接头（为黑色、双排、10 针、间距 2.54mm 的孔型接插件），插入 Altera_FPGA 实验板右下侧的 JTAG 下载接口，注意接插方向。

3. 保证电源开关处于关闭状态（白色按钮处于弹起状态），Altera_FPGA 实验板上电，按下电源开关，此时电源指示灯应该被点亮。

4. 单击“下载器”快捷方式图标（），弹出下载窗口，如下图所示。

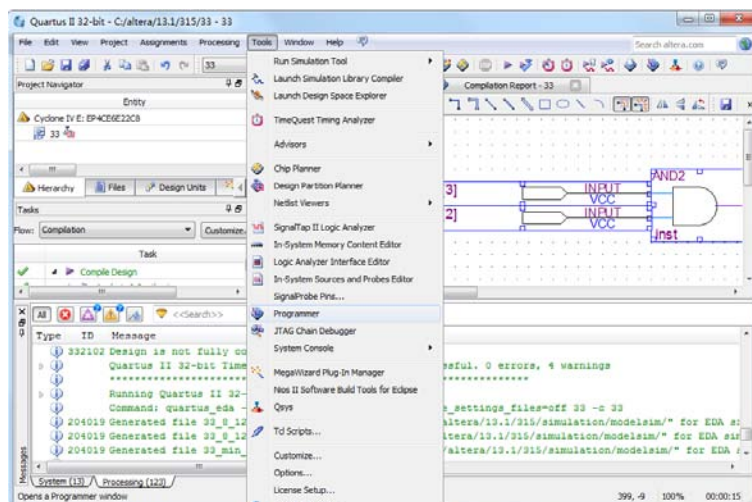


图 15 选取下载器

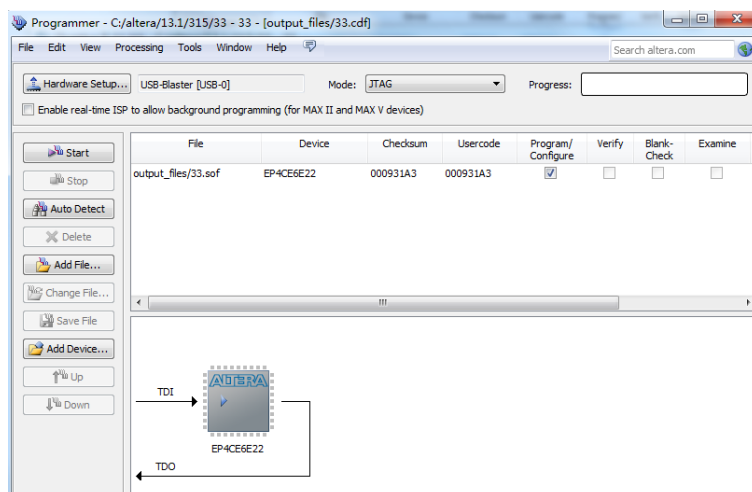


图 16 下载器窗口

5. 单击左上角的“Hardware Setup...”按钮，弹出下载器硬件配置窗口，选择 USB-Blaster 下载器作为我们的下载器（下图所示）。

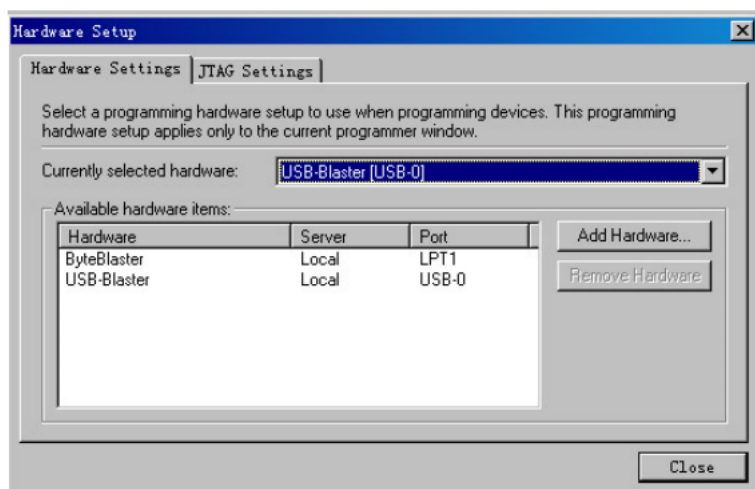


图 17 下载器硬件配置窗口

6. 关闭硬件配置窗口，单击下载窗口左侧的“start”按钮，开始向下载刚才的设计。下载正常完成后，就可以看到刚才的设计在实验板中自动运行了。尝试拨动 Altera_FPGA 实验板下方的 DIP 开关中的第一个和第二个(switch[0]、switch[1])，可以发现这两个开关和最左侧的发光二极管 led[0]之间满足与的逻辑关系。

2、几种基本逻辑功能的测试

1. 用向导新建一个 Quartus II 工程，再在其中新建一个原理图输入文件(*.bdf)，在其中分别输入一个与、或、与非、或非、同或以及异或门。

2. 将与、或、与非、或非、同或以及异或门的输入配置成拨码开关中的头两位(switch[0]、switch[1])，每个门的输出配置成发光二极管 LED[0]、LED[1]、LED[2]、LED[3]、LED[4] 和 LED[5]。绘制完成后的电路图如下图所示。

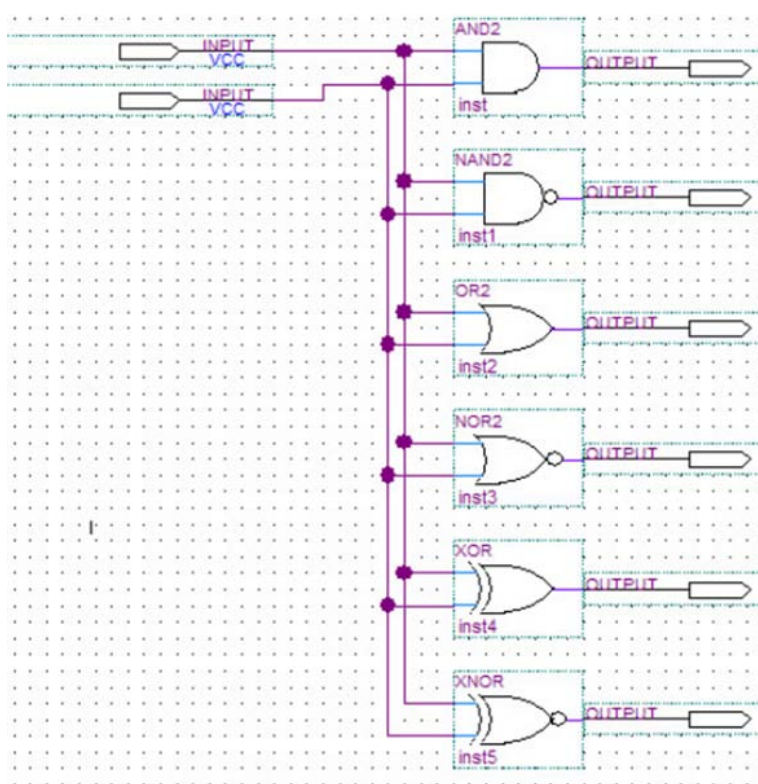


图 18 实验电路

3. 编译并将结果下载到 Altera_FPGA 实验板上运行。

4. 拨动 switch[0] 和 switch[1] 观察与门的输入和输出，完成下列表格。

表 1.1

输入		与门输出
switch[0]	switch[1]	LED0
0	0	
1	0	
0	1	
1	1	

5. 拨动 switch[0] 和 switch[1] 观察或门的输入和输出，完成下列表格

表 1.2

输入		或门输出
switch[0]	switch[1]	LED2
0	0	
1	0	
0	1	
1	1	

6. 拨动 switch[0] 和 switch[1] 观察与非门的输入和输出，完成下列表格

表 1.3

输入		与非输出
switch[0]	switch[1]	LED1
0	0	
1	0	
0	1	
1	1	

7. 拨动 switch[0] 和 switch[1] 观察或非门的输入和输出，完成下列表格

表 1.4

输入		或非门输出
switch[0]	switch[1]	LED3
0	0	
1	0	
0	1	
1	1	

8. 拨动 switch[0] 和 switch[1] 观察同或门的输入和输出，完成下列表格

表 1.5

输入		同或输出
switch[0]	switch[1]	LED4
0	0	
1	0	
0	1	
1	1	

9. 拨动 switch[0] 和 switch[1] 观察异或门的输入和输出, 完成下列表格

表 1.6

输入		异或门输出
switch[0]	switch[1]	LED5
0	0	
1	0	
0	1	
1	1	

3、与非门的基本逻辑功能实验

由于与非门电路具有结构简单, 工作可靠的优点, 与非门是构成数字集成电路的基本模块。下面通过与非门构成逻辑异或门的实验, 来说明利用摩根定理和基本与非门构成任意逻辑门的方法。

1. 异或门的逻辑表达式 $Z = A\bar{B} + \bar{A}B = \overline{\overline{A\bar{B}} \cdot \overline{\bar{A}B}}$, 由表达式得知, 我们可以用五个与非门组成异或门。但根据没有输入反变量的逻辑函数的化简方法, 有 $\bar{A} \cdot B = (\bar{A} + \bar{B}) \cdot B = \bar{A}B \cdot B$, 同理有 $A\bar{B} = A \cdot (\bar{A} + \bar{B}) = A \cdot \bar{A}B$, 因此 $Z = A\bar{B} + \bar{A}B = \overline{\overline{ABB} \cdot \overline{ABA}}$ 可由四个与非门组成。

2. 用向导新建一个 Quartus II 工程, 再在其中新建一个原理图输入文件 (*.bdf), 在其中输入五个与非门, 并根据上面的推导结果连线。同样将 switch[0] 和 switch[1] 作为输入, LED0 作为输出, 完成连线。

3. 编译并将结果下载到 Altera_FPGA 实验板上运行, 观察结果并绘制下表。

表 1.7 由与非门构成异或门的实验结果

输入		异或门输出
switch[0]	switch[1]	LED0
0	0	
1	0	
0	1	
1	1	

4. 比较表 1.7 和表 1.6, 它们是由两种不同方法输入的异或门, 这两个表应该完全相同。如果不相同, 试着找出原因并改正之。

四、实验报告

1、描述实验目的、仪器及材料

- 2、绘出各个实验中的实验电路图
- 3、填写本指导书中各个实验涉及到的真值表，分析实验结果。
- 4、实验小结（个人体会）