组合逻辑电路实验

一、实验目的

- 1、掌握组合逻辑电路的功能测试。
- 2、验证半加器与全加器的逻辑功能。
- 3、学习二进制数的运算规律。

二、实验仪器及材料

- 1、仪器设备: 具有 USB 接口的微型计算机一台、Altera_FPGA 实验板、USB-Blaster 下载器一台。
 - 2、软件: Quartus II 13.0 以上 Altera FPGA 开发环境。
 - 3、集成芯片:

74LS00 二输入端四"与非"门

74LS54 3-2-2-3 输入"与或非"门

74LS86 二输入端四"异或"门

三、预习要求

- 1、预习组合逻辑电路的分析方法。
- 2、预习用"与非"门和"异或"门构成的半加器、全加器的工作原理。
- 3、预习二进制数的运算。

四、实验内容

1、组合逻辑电路功能测试

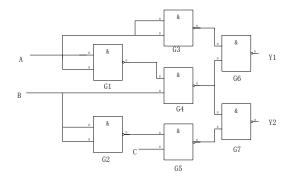


图 2.1

- (1)、用 74LS00 组成图 2.1 所示逻辑电路。
- (2)、图中A、B、C接电平开关, Y_1 、 Y_2 接电平显示发光二极管。
- (3)、按表 2.1 要求, 改变A、B、C的状态填表并写出 Y_1 、 Y_2 逻辑表达式。
- (4)、将运算结果与实验比较。

表 2.1 输入 输出 Α В С Y_1 Y_2 0 0 0 0 1 0 1 1 0 0 0 1 1 1 0 1 0 1 0

2、测试半加器的逻辑功能

根据半加器的逻辑表达式可知,半加器相加的和Y是A、B的异或,而 o A 进位Z是A、B相与。故半加器可用一个集成"异或"门和二个"与非"门 o B 组成,如图 2.2 所示。

- (1)、在实验中用"异或"门和"与非"门接成以上电路。*A、B*接电平开关,*Y、Z*接电平显示发光二极管。
- (2)、按表 2.2 要求改变A、B状态,将结果填入表中。

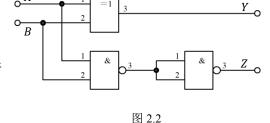


表 2.2

输入端
A
0
1
1
0

搬入端
B
0
0
1
1

输出端
Y
Z
Image: Control of the property of the

3、测试全加器的逻辑功能

- (1)、写出图 2.3 所示电路的逻辑表达式。
- (2)、根据逻辑表达式列真值表。
- (3)、根据真值表画逻辑函数Si、Ci的卡诺图。
- (4)、填写表 2.3 各点状态。
- (5)、按原理图选择"与非"门并接线进行测试,将测试结果记入表 2.4,并与上表进行比较,检查逻辑功能是否一致。

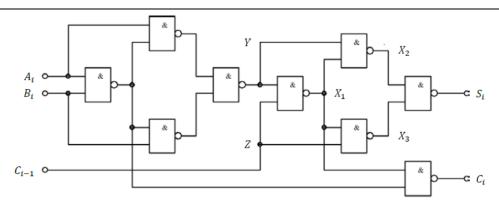


图 2.3

Y =

Z =

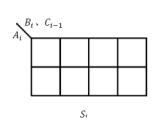
 $X_1 =$

 $X_2 =$

 $X_3 =$

 $S_i =$

 $C_i =$



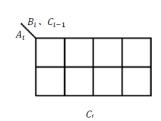


表 2.3

A_i	B_i	<i>Ci</i> -1	Y	Z	X_1	X_2	X_3	S_i	C_i
0	0	0							
0	1	0							
1	1	0							
1	0	0							
1	0	1							
1	1	1							
0	1	1							
0	0	1							

表 2.4

A_i	B_i	<i>Ci</i> –1	C_i	S_i
0	0	0		
0	1	0		
1	1	0		
1	0	0		
1	0	1		
1	1	1		
0	1	1		
0	0	1		

4、测试全加器的逻辑功能

全加器可以用两个半加器和两个"与"门、一个"或"门组成,在实验中,常用一块双"异或"门、一个"与或非"门和一个"与非"门实现。

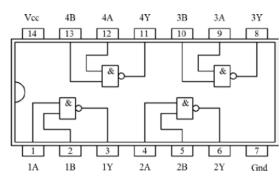
- (1)、 画出用"异或"门、"与或非"门和"与非"门实现全加器的逻辑电路图,写出逻辑表达式。
- ②、 找出"异或"门、"与或非"门和"与非"门器件,按自己画出的图接线,测试结果。

	0	0	0	0	1	1	1	1
输入端	0	0	1	1	0	0	1	1
	0	1	0	1	0	1	0	1
输出端								

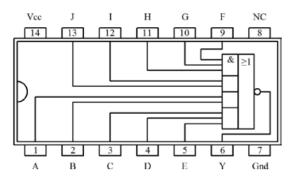
五、实验报告

- 1、整理实验数据、图表并对实验结果进行分析讨论。
- 2、总结组合逻辑电路的分析方法。

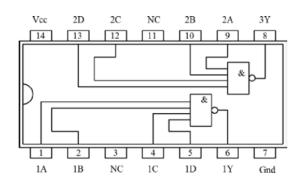
六、常用集成电路引脚图(二)



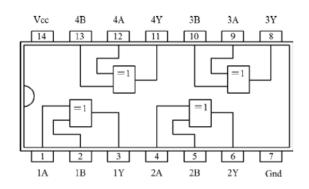
74LS00 二输入端四与非门 $Y = \overline{AB}$



74LS54 四输入范围与或非门 $Y = \overline{AB + CDE + FGH + II}$



74LS20 四输入端二与非门 Y=ABCD



74LS86 二输入端四异或门 $Y = A \oplus B$