组合逻辑电路实验

# 一、 实验目的

1. 掌握组合逻辑电路的功能测试。

Master the function test of combinational logic circuit.

1. 验证半加器与全加器的逻辑功能。

Verify the logic function of half adder and full adder.

1. 学习二进制数的运算规律。

Learn the operation rules of binary Numbers.

# 二、实验仪器及材料

1. 仪器设备：具有 USB 接口的微型计算机一台、Altera\_FPGA 实验板、USB-Blaster 下载器一台。
2. 软件：Quartus II 13.0 以上 Altera\_FPGA开发环境。
3. 集成芯片：

74LS00 二输入端四“与非”门

74LS54 3-2-2-3 输入“与或非”门

74LS86 二输入端四“异或”门 三、预习要求

1. 预习组合逻辑电路的分析方法。
2. 预习用“与非”门和“异或”门构成的半加器、全加器的工作原理。
3. 预习二进制数的运算。

# 四、实验内容

## 1、组合逻辑电路功能测试

&

0

0

0

&

0

0

0

&

0

0

0

&

0

0

0

&

0

0

0

&

0

0

0

&

0

0

0

A

B

C

G

1

G

2

G

3

G

4

G

5

G

6

G

7

Y

1

Y

2

图 2.1

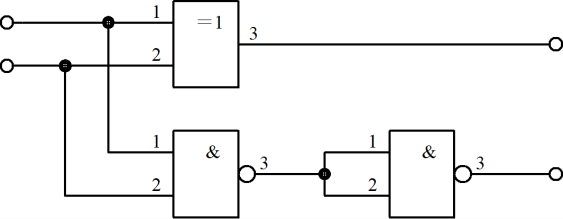
1. 用 74LS00 组成图 2.1 所示逻辑电路。
2. 图中𝐴、𝐵、𝐶接电平开关，𝑌1、𝑌2 接电平显示发光二极管。
3. 按表 2.1 要求，改变𝐴、𝐵、𝐶的状态填表并写出𝑌1、𝑌2 逻辑表达式。
4. 将运算结果与实验比较。

表 2.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | 输出 | |
| 𝐴 | 𝐵 | 𝐶 | 𝑌1 | 𝑌2 |
| 0 | 0 | 0 |  |  |
| 0 | 0 | 1 |  |  |
| 0 | 1 | 1 |  |  |
| 0 | 1 | 0 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 1 | 1 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 0 | 0 |  |  |

## 2、测试半加器的逻辑功能

根据半加器的逻辑表达式可知，半加器相加的和𝑌是𝐴、𝐵的异或，而



𝐴



𝐵



𝑌



𝑍



进位𝑍是𝐴、𝐵相与。故半加器可用一个集成“异或”门和二个“与非”门组成，如图 2.2 所示。

1. 在实验中用“异或”门和“与非”门接成以上电路。𝐴、𝐵接电平开关，𝑌、𝑍接电平显示发光二极管。
2. 按表 2.2 要求改变𝐴、𝐵状态，将结果填入表中。 图 2.2

表 2.2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 输入端 | 𝐴 | 0 | 1 | 1 | 0 |
| 𝐵 | 0 | 0 | 1 | 1 |
| 输出端 | 𝑌 |  |  |  |  |
| 𝑍 |  |  |  |  |

## 3、测试全加器的逻辑功能

1. 写出图 2.3 所示电路的逻辑表达式。
2. 根据逻辑表达式列真值表。
3. 根据真值表画逻辑函数𝑆𝑖、𝐶𝑖的卡诺图。
4. 填写表 2.3 各点状态。
5. 按原理图选择“与非”门并接线进行测试，将测试结果记入表 2.4，并与上表进行比较，检查逻辑功能是否一致。

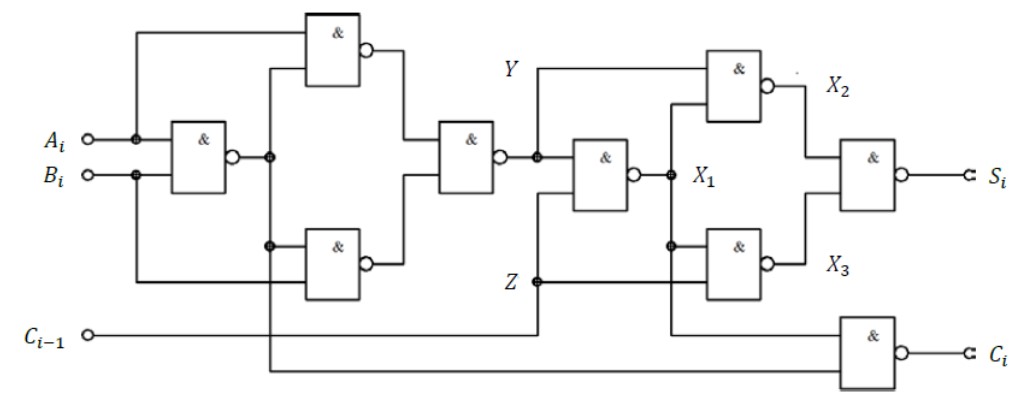


图 2.3

𝑌 = 𝑍 =

𝑋1 = 𝑋2 = 𝑋3 =

𝑆𝑖 = 𝐶𝑖 =

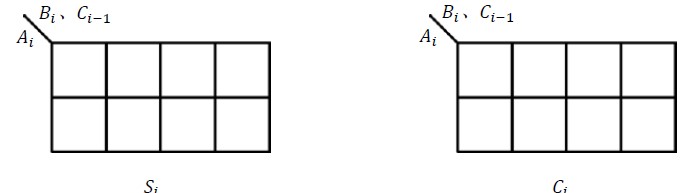


表 2.3

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 𝐴𝑖 | 𝐵𝑖 | 𝐶𝑖−1 | 𝑌 | 𝑍 | 𝑋1 | 𝑋2 | 𝑋3 | 𝑆𝑖 | 𝐶𝑖 |
| 0 | 0 | 0 |  |  |  |  |  |  |  |
| 0 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 1 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 0 |  |  |  |  |  |  |  |
| 1 | 0 | 1 |  |  |  |  |  |  |  |
| 1 | 1 | 1 |  |  |  |  |  |  |  |
| 0 | 1 | 1 |  |  |  |  |  |  |  |
| 0 | 0 | 1 |  |  |  |  |  |  |  |

表 2.4

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 𝐴𝑖 | 𝐵𝑖 | 𝐶𝑖−1 | 𝐶𝑖 | 𝑆𝑖 |
| 0 | 0 | 0 |  |  |
| 0 | 1 | 0 |  |  |
| 1 | 1 | 0 |  |  |
| 1 | 0 | 0 |  |  |
| 1 | 0 | 1 |  |  |
| 1 | 1 | 1 |  |  |
| 0 | 1 | 1 |  |  |
| 0 | 0 | 1 |  |  |

## 4、测试全加器的逻辑功能

全加器可以用两个半加器和两个“与”门、一个“或”门组成，在实验中，常用一块双“异或”门、一个“与或非”门和一个“与非”门实现。

1. 画出用“异或”门、“与或非”门和“与非”门实现全加器的逻辑电路图，写出逻辑表达式。
2. 找出“异或”门、“与或非”门和“与非”门器件，按自已画出的图接线，测试结果。

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入端 | A | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| B | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| C | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 输出端 | S | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| Cout | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

# 五、实验报告

1. 整理实验数据、图表并对实验结果进行分析讨论。
2. 总结组合逻辑电路的分析方法。

# 六、常用集成电路引脚图（二）

