《数字电子技术基础实验》课程

实验报告

实验项目：时序电路测试及研究

|  |  |  |  |
| --- | --- | --- | --- |
| 姓 名： | 白文强 | 学 号： | 20191060064 |
| 学 院： | 信息学院 | 专 业： | 计算机科学与技术 |
| 指导教师： | 聂仁灿 | 日 期： | 2020年11月21日 |

**一、实验目的**

1、测试JK触发器构成的4位异步二进制加法计数器功能；

2、设计一个JK触发器构成的4位异步二进制减法计数器，并测试它的功能；

3、设计一个D触发器构成的3位异步二进制加法计数器，并测试它的功能；

4、设计一个D触发器构成的3位异步二进制减法计数器，并测试它的功能。

**二、实验仪器**

1、 仪器设备：具有USB 接口的微型计算机；Altera\_FPGA 实验板；USB-Blaster 下载器。

2、 软件：Quartus II 13.1。

3、集成芯片Integrated chips：74LS112 双JK触发器；74LS74 双D触发器

**三、实验内容的基本理论**

3.1 4位二进制异步计数器

(1)测试JK触发器构成的4位异步二进制加法计数器功能

(2)设计并测试一个JK触发器构成的4位异步二进制减法计数器

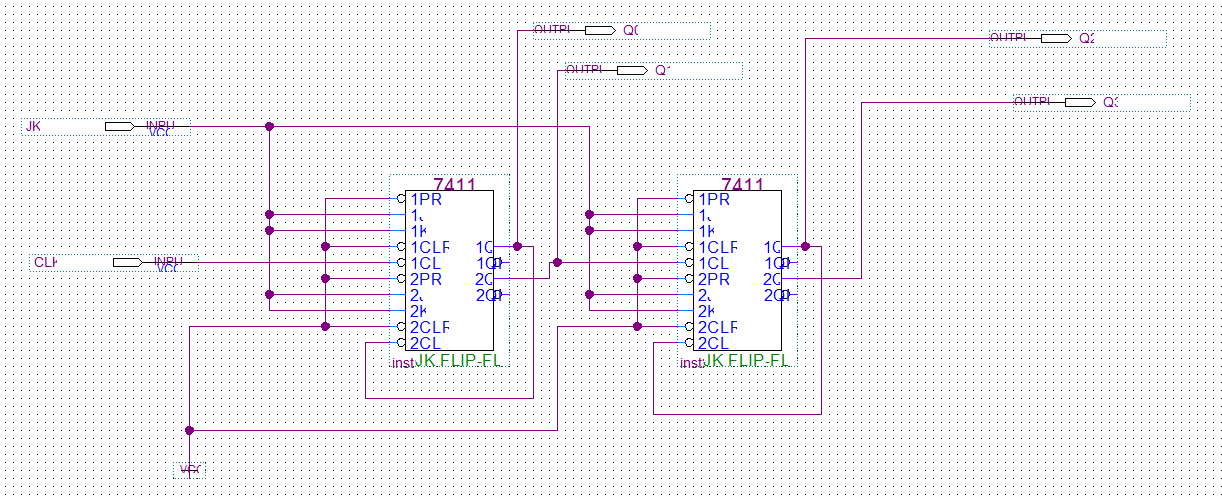
3.2设计并测试一个D-FF触发器构成的3位异步二进制加法计数器

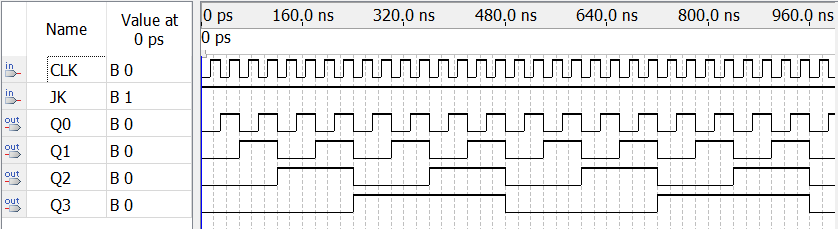
3.3设计并测试一个 D-FF触发器构成的3位异步二进制减法计数器

**四、实验内容及数据**

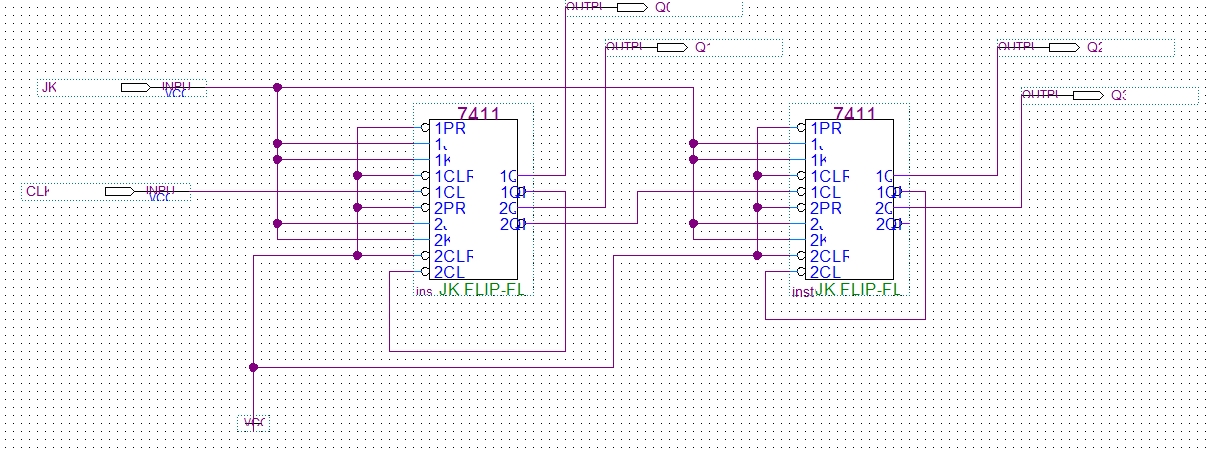
4.1 4位二进制异步计数器

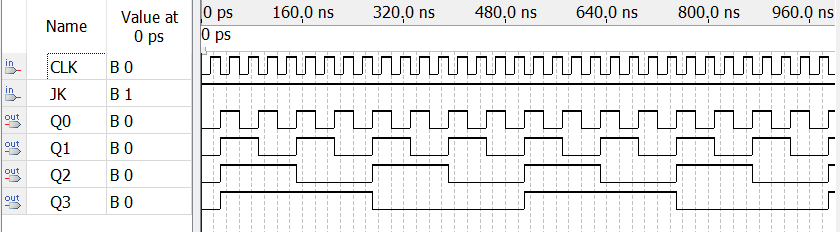
(1)测试JK触发器构成的4位异步二进制加法计数器功能



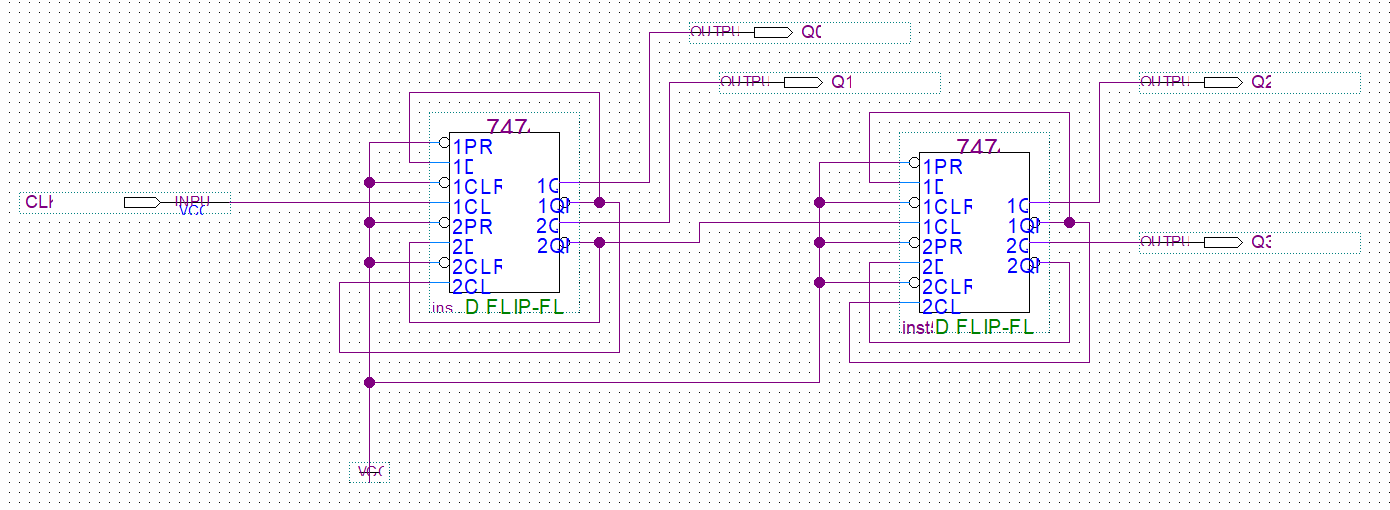


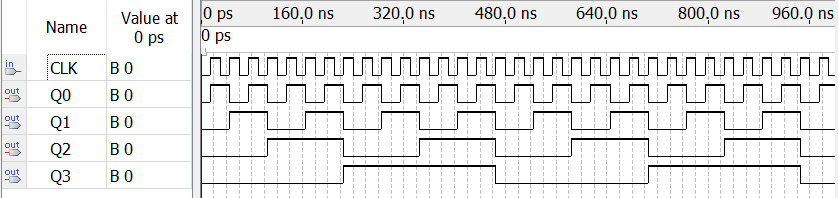
(2)设计并测试一个JK触发器构成的4位异步二进制减法计数器





4.2设计并测试一个D-FF触发器构成的3位异步二进制加法计数器





3.3 设计并测试一个 D-FF触发器构成的3位异步二进制减法计数器

