Abdulhalik SARIÇİÇEK

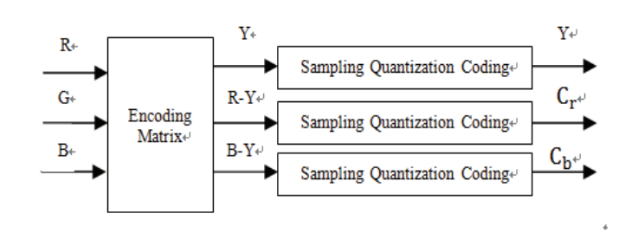
abdulhaliksaricicek@gmail.com

**FPGA Tabanlı Renk Uzayı Dönüşümünün Tasarımı**

Özet - Renk uzayı dönüştürme sürecinde, VHDL ile bir renk uzayı dönüştürme sistemi tasarlamak için Altera Cyclone III serisi FPGA çipi ana çip olarak kullanıldı. Bu makale tasarımın tanımına odaklanmaktadır. İç renk uzayı dönüşüm sisteminin, dizi boyunca alan kod çözme modülü, 4: 2: 2 ila 4: 4: 4 dönüşüm modülü, renk alan dönüştürme modülü, bir çerçeve arabellek modülü, VGA (Video Grafik Dizisi) zamanlama kontrol modülü kullanıldı ve Y Cb Cr’den RGB'ye dönüşüm tamamlandı.

**I. Giriş**

FPGA, ASIC'de bir tür yarı özel devredir (Uygulamaya Özel Entegre Devre). Geniş kullanımı değil sadece devre tasarımını basitleştirir, maliyetini düşürür geliştirme, sistemin güvenilirliğini artırır. Aynı zamanda dijital sistemin tüm tasarımına ve uygulanmasına devrimci bir değişim getirmiştir.

 Bu yazıda, FPGA üzerinde renk uzay dönüşümü anlama problemini çözmek hedeflendi. Programlama deneyinde, renk uzayı kavramını ve işlenmesini anlamak daha kolaydır.

Sistemin geliştirilme ortamı; QuartusII.

Kullanılan dil; VHDL

**II. Renk Uzayı Dönüşümünün Temel İlkeleri**

Renkli televizyon sinyallerinde, üç ana renk olan kırmızı, yeşil ve mavinin yaydığı bileşik ışık TV sistemindeki floresan tozudur. Üç ana rengin parlaklık denklemi şöyledir:

Y = 0.299R + 0.587G + 0.114B

Formülde, Y parlaklık sinyali ve R, G, B üç ana sinyaldir.

Bu formül NTSC sisteminden hesaplanmıştır ama PAL sisteminde de bunu kullanıyoruz. Çünkü renkli TV setinin hala iyileşmesi gerekiyor.

Teorik olarak, renk sinyalini seçme prensibi şöyledir:

* Parlaklık sinyalinden doğrusal olarak bağımsız olmalıdırlar.
* İki renk sinyali parlaklık bilgisinden arındırılmış olmalıdır.
* İki sinyal, belirli bir orana göre üç ana sinyalden oluşmalıdır. Böylece iki sinyali ve üç temel sinyali kolayca doğrusal olarak dönüştürebiliriz.

Yukarıdaki gereksinimlere göre, nihayet renk farkı sinyalleri olarak bilinen ve şu şekilde ifade edilen renk sinyalleri olarak R-Y ve B-Y'yi seçiyoruz:

R-Y = 0.7R – 0059G – 0.11B

B-Y = -0.3R – 0.59G + 0.89B

R-Y, temel sinyal R ile parlaklık sinyali Y arasındaki farkı temsil ettiğinden, buna kırmızı renk farkı sinyali denir. Ve B-Y, temel sinyal B ile parlaklık sinyali Y arasındaki farkı temsil eder, bu nedenle buna mavi renk farkı sinyali denir.

Y, R-Y, B-Y seçildiğinde, G-Y sinyalinin iletilmesine gerek yoktur, çünkü bağımsız değildir, aşağıdaki formülde gösterilen B-Y, R-Y'den türetilebilir.

Televizyon sinyal işleme ile esas olarak bileşen kodlama yöntemini kullanıyoruz. Parlaklık ve renk farkı sinyali sırasıyla; PCM (Darbe Kodu Modülasyonu) ile kodlanır. PCM örnekleme, niceleme ve kodlamayı içerir. Sonra Y, Cb, Cr dijital sinyalleri alınır.

*Dijital bileşenlerin kodlama blok diyagramı*

Y, Cb, Cr ve R, G, B arasındaki renk uzayı değişim formülü:

R = 1.164 x (Y-16) + 1.596 x (Cr – 128)

G = 1.164 x (Y-16) – 0.813 x ( Cr – 128) – 0.392 x (Cb – 128)

B = 1.164 x (Y-16) + 2.017 x (Cb – 128)

**III. Sistem Tasarımı**

QuartusII, Altera'nın FPGA / CPLD'sinin yeni nesil yazılımıdır ve yeni cihazların ve büyük ölçekli FPGA'nın geliştirilmesi için uygundur. Bu deneyin donanım platformu aşağıdaki gibidir: FPGA modeli EP3C55F484, A / D yongası TVP5150, D / A yongası ADV7123, 16 bit veri hattının iki SRAM bloğu.

1. *Sinyal Toplama*

Sistemin önünde, kamera optik görüntüyü elde etmek için kullanılır. Kameranın çıkışı, PAL (Faz Değişim Hattı) video standardına uygun kompozit bir video sinyalidir ve optik sinyalden analog elektrik sinyaline geçişi tamamlar. Daha sonra analog sinyal, TVP5150 video kod çözücü yongası aracılığıyla dijital sinyale dönüştürülür. TVP5150 serisi, basit, ultra düşük güç tüketimine sahip bir dijital video kod çözücüdür. Tek bir 14.31818MHz saat kullanarak PAL, NTSC veya SECAM sistemlerinin kodunu çözmede ve 8 bitlik ITU-BT.656 verilerini elde etmede başarılı olabiliriz. Tvp5150'yi I2C'ye yapılandırmak için FPGA'yı kullanın ve ITU-RBT.656 için çıkış formatını seçin; bu, çıkışın gerçek zamanlı saat frekansı ile 27 Mhz'lik 4: 2: 2 örnekleme formatının Y Cb Cr sinyali olduğu anlamına gelir.

1. *Alan Kod* Çözme

PAL formatındaki tam çerçeve ITU verileri iki tarafa ayrılmıştır. Satır 23 ila 311 davranış çift alan geçerli verileri ve satır 366 ila 624 davranış tek alan geçerli verileri ve geri kalanı kontrol sinyalleri veya geçersiz verilerdir. Her satırın ilk 288 baytı, ilk 4 baytı EAV (Etkin Videonun Sonu) ve son 4 baytı SAV (Etkin Videonun Başlangıcı) kontrol sinyalleridir. EAV ve SAV sinyali 3 bayt öndere sahiptir: FF, 00, 00 ve son bayt XY'dir. Bileşim aşağıda gösterilmiştir.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 1 | F | V | H | P3 | P2 | P1 | P0 |

F parite bayrağıdır, V dikey boşluk işaretidir ve Horoscope gizli işaretlerin seviyesidir. P3, P2, P1 ve P0 dört bit korumadır. Deneyde, F, V, H ekstrakte edildi ve FF, 00, 00 ve XY'nin sürekli yargılanmasıyla tespit edildi. F, V, H'nin anlamı Tablo 1'de gösterilmiştir. H 0 ise, SAV anlamına gelir ve F'yi yargılayabiliriz. F 0 ise, tek alan veya çift alan anlamına gelir. Her seferinde F 1'den 0'a atlar, o zaman bir çerçevenin başı anlamına gelir. Sonra V'yi yargılarız, eğer V 0 ise, alan izi anlamına gelir. Çünkü yalnızca geçerli verilerle ilgileniyoruz, bu nedenle çerçeve başlığı algılandığında, H ve V 0 ise bu satır kullanılabilir.

*Tablo 1*

|  |  |  |
| --- | --- | --- |
| F | 0 | Odd Field |
| 1 | Even Field |
| V | 0 | Other |
| 1 | Field Blanking |
| H | 0 | SAV |
| 1 | EAV |

1. *4: 2: 2 ve 4: 4: 4 Formatı Arasındaki Geçiş*

4:2:2 veri iletimi biçimi Cb1Y1Cr1, Y2, Cb2Y3Cr2, Y4 olduğundan;

4:4:4 örnekleme formatındaki verileri elde etmek için, Cb ve Cr'yi registerlar aracılığıyla lineer bir şekilde kopyalıyoruz ve her pikselin kendi Y, Cb, Cr'sine sahip olduğundan emin oluyoruz. Çoğaltma modu, aşağıdaki şekilde gösterilmiştir.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 |
| Cb1 | Cb1 | Cb2 | Cb2 | Cb3 | Cb3 | Cb4 | Cb4 | Cb5 |
| 0 | Cr1 | Cr1 | Cr2 | Cr2 | Cr3 | Cr3 | Cr4 | Cr4 |

1. *Renk Uzayı Dönüşümleri*

Formüldeki ondalık basamak sayısı nedeniyle, VHDL dilinin rahatlığı için denklemin sayıları, değeri 256 olan A sayısı alınarak tamsayılara dönüştürülür. Değiştirilen renk uzayı dönüştürme formülü şöyledir:

256 x R = 298 x (Y – 16) + 409 x (Cr – 128)

256 x G = 298 x (Y – 16) - 208 x (Cr – 128) – 100 x (Cb – 128)

256 x B = 298 x (Y – 16) + 516 x (Cb – 128)

SRAM'nın veri arayüzü 16 bit olduğundan, ancak RGB'nin her pikselinin 24 biti olduğundan, 8 bitten vazgeçmeliyiz. İnsan gözünün renk tanıma özelliklerine göre, yeşile daha duyarlı olması nedeniyle, RGB sinyalini SRAM haline oluşturmak için 5 bit R ve B, 6 bit G alırız.

1. *Çerçeve Arabelleği*

ITU-RBT.656'nın verileri sıralı olduğundan, geçmeli depolama tablosunun aşamalı değişimini gerçekleştirmek için iki adet SRAM kullanmamız gerekir. Bu deneyin tasarımında veriler çerçeve içinde saklanacaktır. Mevcut kareyi SRAM1'e yazdığımızda, SRAM2'de depolanan önceki kareyi okuduğumuzda, SRAM1 depolamasının tamamlanmasından sonra SRAM1'deki verileri okumaya başlarız. PAL videonun güncelleme frekansı 25hz'dir, ancak VGA modu 75Hz'dir. Bu yüzden SRAM1'e bir çerçeve yazın, SRAM2'de depolanan çerçeveyi üç kez okumamız gerekiyor. Veri yazmak için bir çerçevedeki geçerli veriler 720x576 pikseldir. Okuma için bir çerçevedeki geçerli veriler 800x600 pikseldir.

Tablo 2'de gösterildiği gibi, adres işaretçisi (0, 78) konumundadır. Çerçeve başı ve H = 0, v = 0 algılandığında, renk uzayı dönüşümünden sonra ilk satırın geçerli verilerinden SAV'ın FF ve 00'ı (0, 78) olarak yazılır. Ardından 00 ve XY (0, 79)’da yazılır ve ilk piksel (0, 80), son piksel (0,719) olur. Geçmeli ve sonraki veri satırındaki aşamalı değişiklik nedeniyle hala tek bir alandır, bu nedenle işaretçinin (2, 78) 'e atlaması ve ardından ilk depolama satırını tekrarlaması gerekir. Depolandığında, SAV'de 0'dan 1'e değişen F'yi bulursanız, bu, verilerin çift sayı olacağı tek sayıda alanın sonu anlamına gelir. Böylece yazma adresi işaretçisi (1, 78) 'e atlayacak ve eşit bir alan için depolayacaktır. F, 1'den 0'a, yani yeni çerçeve başı için atladığında, adres yazma işaretçisi (1, 78) konumuna getirilecek ve dönüp tekrar başlayacaktır. Okuma adresi işaretçisi, VGA 49,5MHZ piksel saatine bağlı olarak üç kez (0, 0) 'dan (599,799) 'a yükseliyor. Geçerli veriler yalnızca Tablo 1'in kalın kısmında olduğundan, siyah kısım bilinmeyen bilgilerdir, bu da monitöre karşılık gelen kar taneleri görünecektir.

*Tablo 2*

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 0,0 | … | 0,79 | **0,80** | ... | **0,798** | **0,799** |
| 1,0 | ... | 1,79 | **1,80** | **...** | **1,798** | **1,799** |
| 2,0 | ... | 2,79 | **2,80** | **...** | **2,798** | **2,799** |
| 3,0 | ... | 3,79 | **3,80** | **...** | **3,798** | **3,799** |
| 4,0 | ... | 4,79 | **4,80** | **...** | **4,798** | **4,799** |
| ... | ... | ... | ... | **...** | **...** | **...** |
| 575,0 | ... | 575,79 | **575,80** | **...** | **575,798** | **575,799** |
| ... | ... | ... | ... | ... | ... | ... |
| 599,,0 | ... | 599,79 | 599,80 | ... | 599,798 | 599,799 |

1. *VGA’da Sıralama Kontrolü*

Bu yazıda 800x600, 75Hz VGA modeli kullanılmaktadır. Tablo 3'te gösterildiği gibi zaman serisi standardına göre, her satır 1056 nokta, etkin pikseller için 800 nokta ve satır eşitleme darbesinin düşük seviyesi için 80 piksel içerir. Her alanın 625 satırı vardır. Etkin satır sayısı 600'dür ve düşük alan senkron dürtü seviyesi 3 satıra sahiptir.

*Tablo 3*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Format | Vertical | | | |
| Active Video | Front Porch | Sync Pulse | Back Porch |
| 800,600,  75Hz | 600 | 1 | 3 | 21 |
| Pixel Clock MHz | Horizontal | | | |
| Active Video | Front Porch | Sync Pulse | Back Porch |
| 49.50 | 800 | 16 | 80 | 160 |

tablo içeren bir resim

Açıklama otomatik olarak oluşturuldu

metin içeren bir resim

Açıklama otomatik olarak oluşturuldu

49,5MHZ saat sinyali, 1056 piksel darbe sayacına girilir. Çıkış 816 ila 896 arasında düşük olduğunda, çıkışın geri kalanı yüksektir. Aynı şekilde, sayaç 878'e eşit olduğunda alan sayacının modu 625, alan sayacı artı 1'dir. Çıkış 601-604'te düşük olduğunda, çıkışın geri kalanı yüksektir. Sayaç 800'den küçük ve alan sayacı 600'den küçük olduğunda, bileşik boşluk sinyali değeri 1'dir ve geri kalanı 0'dır. Ardından, oluşturulan hat, alan senkronizasyon sinyali VGA'ya gönderilir.

**IV. Deneysel Sonuçlar**

Yukarıdaki adımlarla deney sisteminin tasarımı gerçekleştirilir ve renk uzayı dönüşümü gerçekleştirilir. Sonuçlar Şekil 1'de gösterilmiştir. Ancak bu şeklin solunda ve alt tarafında bir sürü kar tanesi görebiliyoruz. Ekrandaki kar taneleri basit doğrusal enterpolasyon ile ortadan kaldırılabilir. Bu, bilinen piksellere göre yeni pikselin doğrusal hesaplama ile elde edilebileceği anlamına gelir. Her satırda 10 x 9 piksel üretiyoruz ve 24 satır enterpolasyonunun her biri 25 satır oluşturur. İşlemden sonra kar tanelerinin kaybolduğunu ve resmin ekranı kapladığını görebilirsiniz. Ayrıca yataydaki resmin çok geniş çekildiğini ve dikeyde biraz çekildiğini hissedebiliyoruz.

*iç mekan, bitki içeren bir resim

Açıklama otomatik olarak oluşturuldu* *Şekil 1*

**V. Sonuç**

Bu çalışmada FPGA'ya dayalı renk uzayı dönüştürme sisteminin deneysel tasarımı önerilmiştir. Kameranın görüntüsünü dönüştürdükten sonra VGA ile ekrana aktarılır. Tüm deney sistemi, alan kod çözme modülüne, 4: 2: 2 ile 4: 4: 4 modülüne, renk alanı dönüştürme modülüne, çerçeve arabellek modülüne ve VGA kontrol modülüne ayrılmıştır. Her modülün ayrıntılı bir açıklaması vardır ve deneyin uygulanabilirliği tartışılır.