



ЗВО: Національний університет
«Львівська політехніка»
Кафедра систем автоматизованого
проектування
Навчальний рік: 2021/2022
Семестр: весняний
Навчальна дисципліна:
«Схемотехніка та архітектура
комп'ютерів»
Викладач: Щербовських С. В.

Тема: Дослідження лічильника (№ 3)
Інститут комп'ютерних наук та
інформаційних технологій
Група: КН-116
Студент: Міль Віталій

Мета роботи

Вивчити метод побудови каскадного лічильника для заданого коефіцієнта ділення із використанням прикладного пакету MultiSim.

Завдання


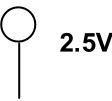
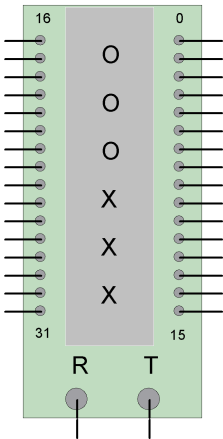
- Ознайомитись з технічною специфікацією блоків, які використовуються у роботі.
- Одержати згідно із варіантом шістнадцяткове число.

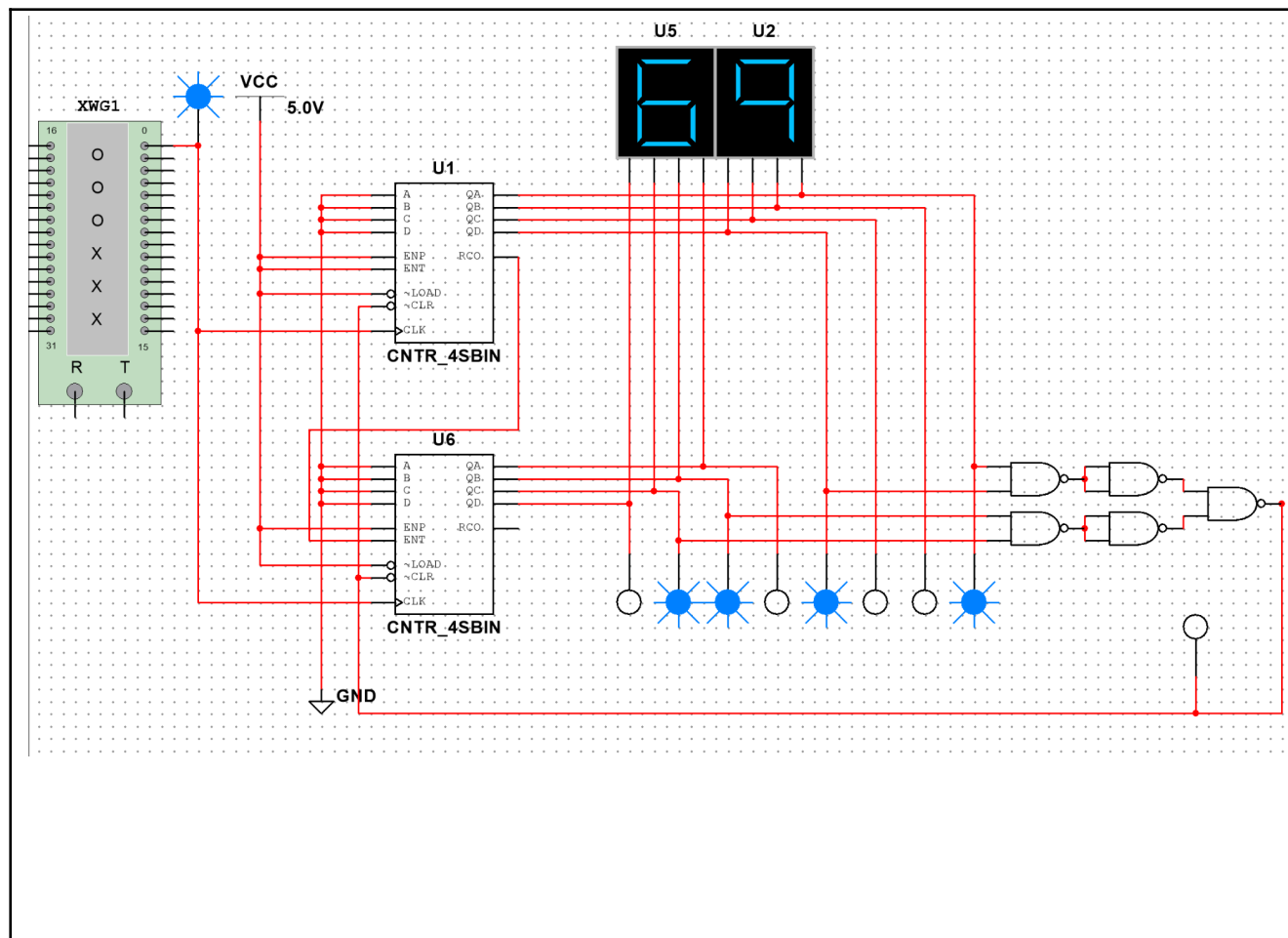
Варіант	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Число	35	36	39	3A	3C	53	56	59	5A	5C	63	65	69	6A	6C
Варіант	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
Число	93	95	96	9A	9C	A3	A5	A6	A9	AC	C3	C5	C6	C9	CA

- Побудувати каскадний лічильник для заданого коефіцієнта ділення.
 - Побудувати схему каскадного лічильника.
 - Налаштувати генератор слів у режим тактового генератора.

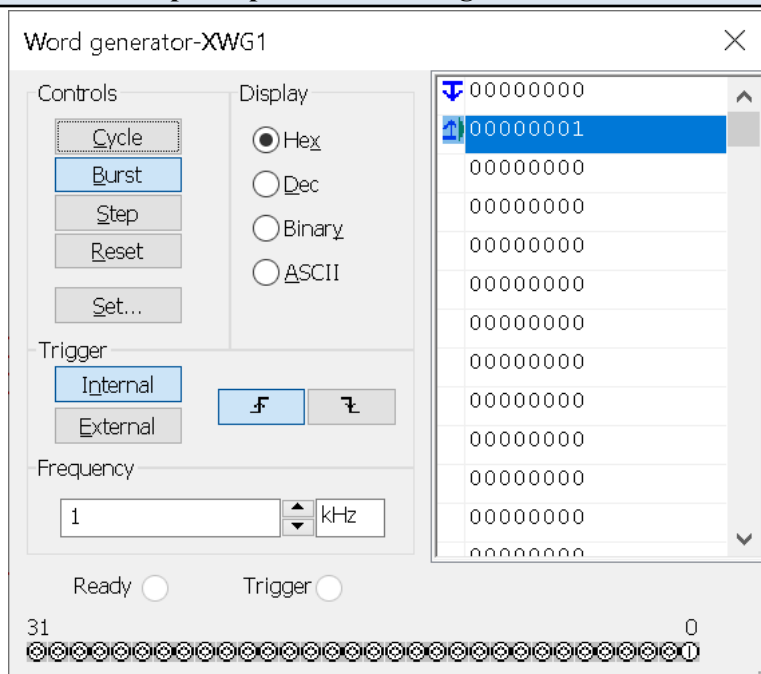
1. Технічна специфікація блоків

<p>U1</p> <p>CNTR_4SBIN</p>	<p>CNTR_4SBIN – 4-бітний синхронний двійковий лічильник із синхронним очищенням вмісту, де QA...QD – виходи для виведення поточного вмісту лічильника, RCO – вихід біту перенесення розряду, A...D – входи задання початкового значення вмісту лічильника, ENP – вхід сигналу дозволу на відлік, ENT – вхід біту перенесення розряду, ~LOAD – вхід сигналу дозволу на завантаження початкового значення у вміст лічильника, ~CLR – вхід очищення вмісту лічильника, CLK – вхід для лічильних імпульсів. <i>Розташування:</i> Master Database / Misc Digital / TIL / CNTR_4SBIN</p>
<p>U1</p> <p>NAND2</p>	<p>NAND2 – логічний елемент I-HE із двома входами. <i>Розташування:</i> Master Database / Misc Digital / TIL / NAND2</p>
<p>VCC</p> <p>5.0V</p>	<p>VCC – TTL шина живлення. <i>Розташування:</i> Master Database / Sources / POWER_SOURCES / VCC</p>
<p>VDD</p> <p>5.0V</p>	<p>VDD – CMOS шина живлення <i>Розташування:</i> Master Database / Sources / POWER_SOURCES / VDD</p>
<p> GND</p>	<p>DGND – цифрова спільна шина. <i>Розташування:</i> Master Database / Sources / POWER_SOURCES / DGND</p>

	<p>DCD_HEX – семисегментний дисплей із вбудованим декодером, де входи відповідають двійковим розрядам 2^3, 2^2, 2^1 та 2^0.</p> <p><i>Розташування:</i> Master Database / Indicators / HEX_DISPLAY / DCD_HEX</p>
<p>X1</p> 	<p>PROBE – індикатор. Параметром індикатора є значення порогової напруги, вище якого він спрацює.</p> <p><i>Розташування:</i> Master Database / Indicators / PROBE / PROBE</p>
<p>XWG1</p> 	<p>Word generator-XWG1 – генератор двійкових чисел (32-бітного слова).</p> <p><i>Розташування:</i> Instruments / Word generator</p> <p>Через внутрішнє меню блока можна задати:</p> <ul style="list-style-type: none"> • спосіб керування (циклічний, одноразовий, покроковий, користувацький); • спосіб синхронізації (внутрішня/зовнішня; передній/задній фронт); • вміст буфера; • спосіб відображення вмісту буфера генератора (шістнадцятковий, десятковий, двійковий, ASCII).
<p>2. Завдання згідно із варіантом</p>	
<p>69</p>	
<p>3. Модель у середовищі Multisim</p>	
<p>3.1. Схема каскадного лічильника</p>	



3.2. Вікно параметрів блока Word generator-XWG1



Висновок

Висновок має дати відповіді на питання «Що зроблено?», «Як зроблено?», «Що це дало?».

Я вивчив метод побудови каскадного лічильника для заданого коефіцієнта ділення із використанням прикладного пакету MultiSim.

Використано два бінарних синхронних лічильника, два дисплея та 5 елементів 2NAND

Реалізовано каскадний лічильник із коефіцієнтом ділення частоти **69**.