



Department of Computer Science and Information Engineering

National Cheng Kung University

LAB - 12

陳培殷老師

國立成功大學 資訊工程系

Digital Integrated Circuit Design Laboratory



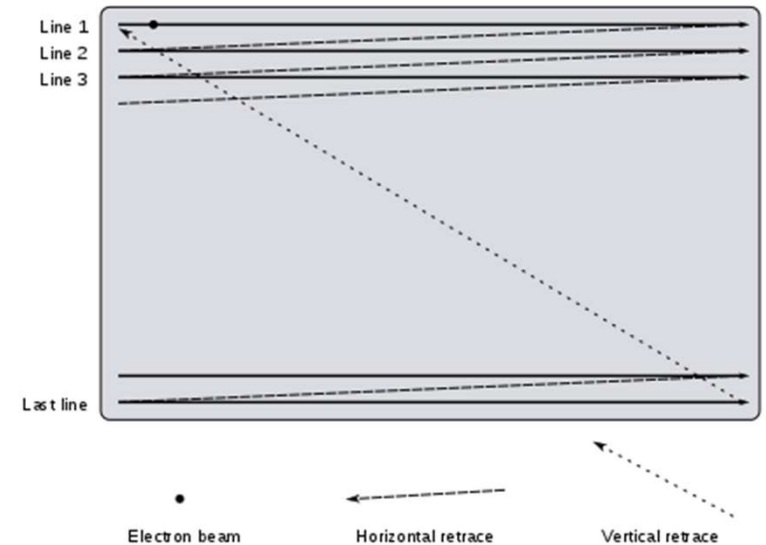
VGA介紹－端子



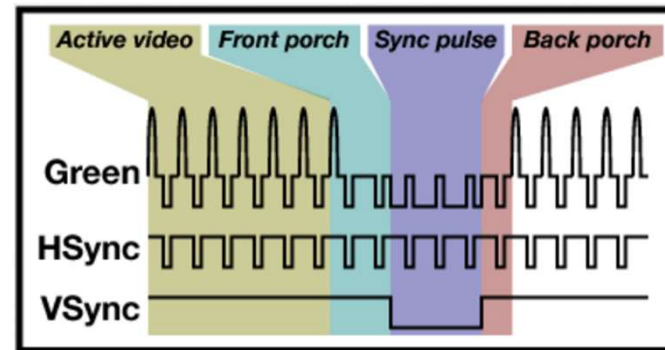
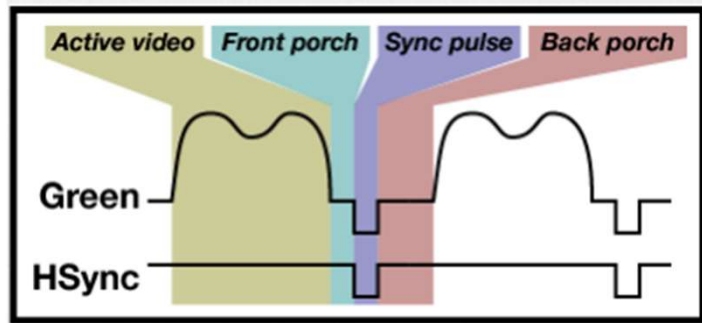
- VGA端子（英語：Video Graphics Array (VGA) connector），常見的名稱包括 RGB 端子，D-sub 15，或 mini D15，是一種 3 排共 15 針的 DE-15。
- 通常用在電腦的顯示卡、顯示器及其他裝置。
- 傳輸 R, G, B 訊號以及同步訊號（HSync, VSync），傳輸的訊號皆為類比信號。

VGA介紹－訊號

- 假定有一個 640 x 480 個像素點的螢幕，一秒顯示 60 幀 (60 fps)
- 每個像素點的顏色將由 R, G, B 三個訊號來決定，每個時脈正緣傳送
- 像素點訊號傳遞順序由左至右，由上至下，呈現一個 Z 字型，最終描繪完該幀後，由右下移動至左上繼續描繪下一幀



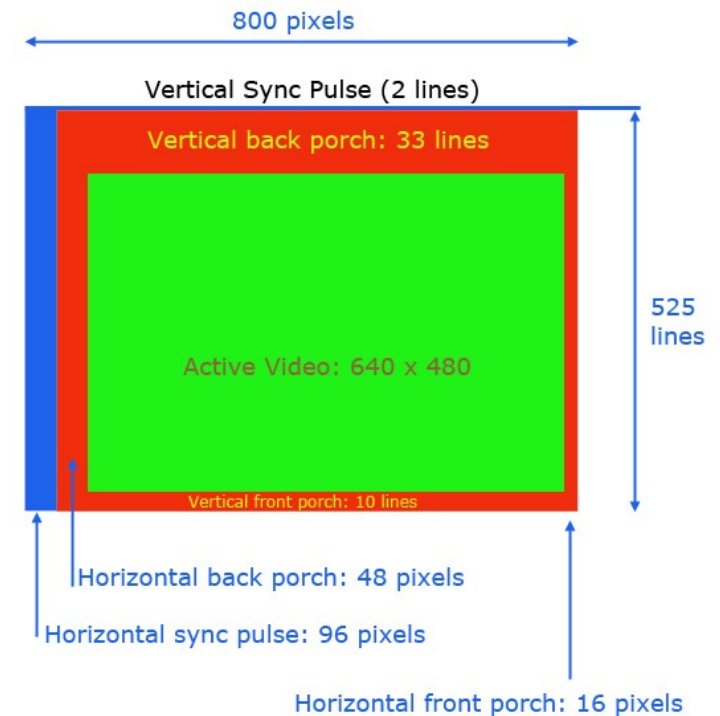
VGA 介紹 – 訊號



- HSync 訊號為 active low 訊號，用來告知換行
 - ▣ 假設目前傳輸的像素點位置為 (m, n) ，此時 $Hsync = 0$ ，下一個像素點將由位置 $(m+1, 0)$ 開始繼續向右描繪像素點
- VSync 訊號為 active low 訊號，用來告知換幀
 - ▣ 假設目前像素點已經走至 (m, n) ，此時 $Vsync = 0$ ，下一個像素點將回到 $(0, 0)$ 開始向右描繪像素點

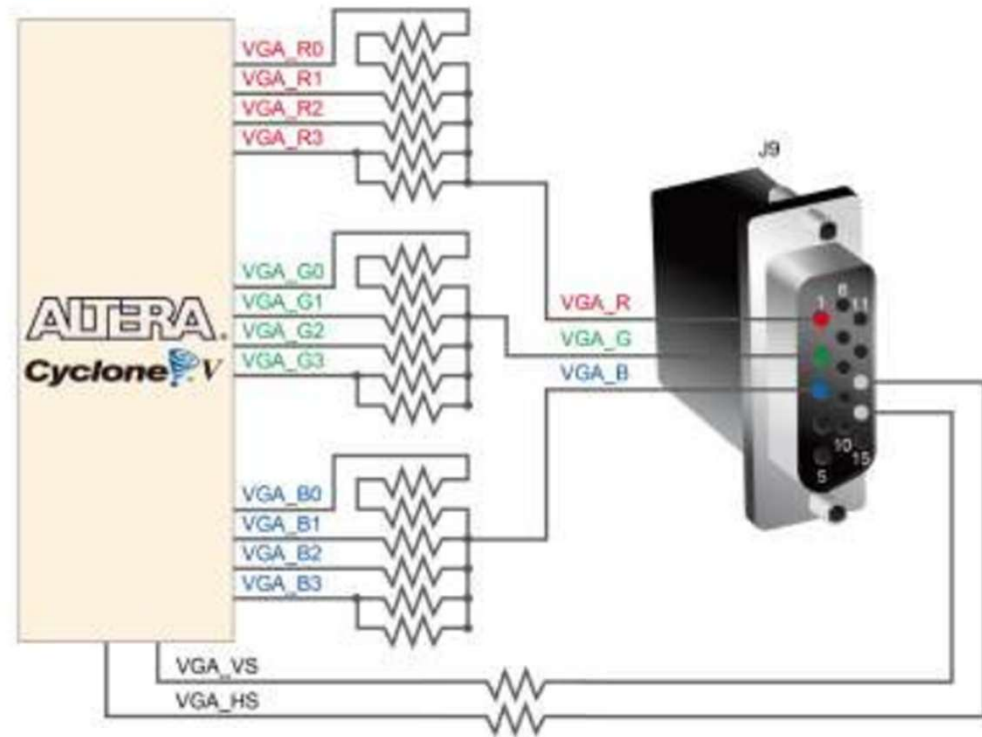
VGA介紹－訊號

- 水平空白間隙 (Horizontal blanking interval) : CRT 螢幕電子束由最右端換行移動至最左端的預備時間
 - Front porch : 表示一列的有效像素數據結束後到下一列同步脈衝開始前的時序
 - Sync pulse : 電子束快速的從最右邊移動到最左邊的時序
 - Back porch : 表示水平同步脈衝開始到一列的有效像素數據開始前的一段時序
- 垂直空白間隙 (Vertical blanking interval) 與上雷同



VGA in DE0-CV

VGA		
Signal Name	FPGA Pin No.	Description
VGA_R0	PIN_AA1	VGA Red[0]
VGA_R1	PIN_V1	VGA Red[1]
VGA_R2	PIN_Y2	VGA Red[2]
VGA_R3	PIN_Y1	VGA Red[3]
VGA_G0	PIN_W1	VGA Green[0]
VGA_G1	PIN_T2	VGA Green[1]
VGA_G2	PIN_R2	VGA Green[2]
VGA_G3	PIN_R1	VGA Green[3]
VGA_B0	PIN_P1	VGA Blue[0]
VGA_B1	PIN_T1	VGA Blue[1]
VGA_B2	PIN_P4	VGA Blue[2]
VGA_B3	PIN_N2	VGA Blue[3]
VGA_HS	PIN_N3	VGA H_SYNC
VHA_VS	PIN_N1	VGA V_SYNC



VGA in DE0-CV

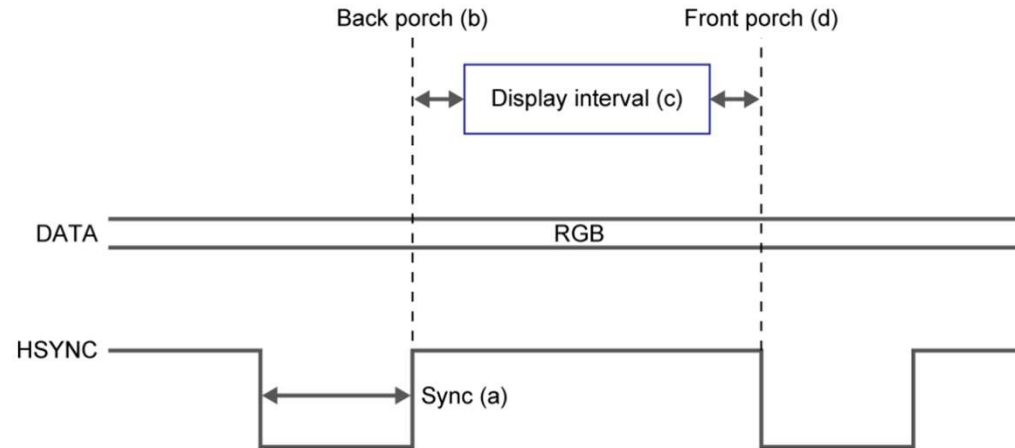


Table 3-8 VGA Horizontal Timing Specification

VGA mode		Horizontal Timing Spec				
Configuration	Resolution(HxV)	a(pixel clock cycle)	b(pixel clock cycle)	c(pixel clock cycle)	d(pixel clock cycle)	Pixel clock(MHz)
VGA(60Hz)	640x480	96	48	640	16	25

Table 3-9 VGA Vertical Timing Specification

VGA mode		Vertical Timing Spec				
Configuration	Resolution(HxV)	a(lines)	b(lines)	c(lines)	d(lines)	Pixel clock(MHz)
VGA(60Hz)	640x480	2	33	480	10	25

VGA in DE0-CV

- 一列有 $96 + 48 + 640 + 16 = 800$ 個 pixel，故需要 800 個 clock cycle 來完成一系列的掃描
- 一幀共需花費掃描 $2 + 33 + 480 + 10 = 525$ 行的cycle數
- 一秒總共需掃描 60 幀
- $800 \times 525 \times 60 = 25,200,000$ ，故需使用約 25 MHz 的 clock frequency
- 須注意在 horizontal back porch 期間，RGB 訊號輸出應為 4'd0

Lab – Adjustable RGB Screen

- 利用 DE0-CV 的 VGA 端子，連結至電腦螢幕上，產生一個 640 x 480 @ 60fps 的畫面
 - 必須利用除頻器，將 DE0-CV 提供的內部時脈 50 Mhz 降至 25Mhz
 - 利用三個按鈕，按下按鈕時，分別讓 R, G, B 的值 + 4'd1，不須處理 overflow (不管按住按鈕多久，按下一次只能增加值一次)
 - 利用 reset 按鈕將 R, G, B 的值歸零
-

Lab – Adjustable RGB Screen

■ Hint:

- ▣ 可以利用兩個 counter 來分別計算 HSync 跟 VSync 觸發的時間
 - ▣ 可以利用 finite-state machine 來處理該像素目前在哪個區間
-

Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (10M50DAF484C7G)
- Top module name & Project name 需要一致
- 在組合電路中，case、if...else...若沒有寫滿，合成後會產生latch