

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Departamento de Engenharia Elétrica

Laboratório de Circuitos Lógicos

Preparação do Experimento 5: Aritmética Binária com HDL (Verilog)

Objetivos

Este experimento consiste na realização de quatro partes específicas e possui como objetivo geral o estudo da aritmética binária, bem como do projeto e implementação dos circuitos lógicos que realizam essas operações, ou seja, soma e subtração, utilizando Verilog. Para tanto, é realizada a implementação e a verificação do funcionamento correspondente aos seguintes experimentos específicos:

- **Somador Binário de 4 bits;**
- **Seletor de função Igualdade/Complemento de 1;**
- **Detector de estouro de capacidade;**
- **Somador/Subtrator de 4 bits.**

1. Somador Binário de 4 bits

Objetivo Específico: Especificação e implementação de um Somador Binário, com o projeto realizado utilizando a linguagem Verilog.

Atividades:

- A. Realizar a especificação de um Somador Binário de 4 bits, por meio de: (i) apresentação do bloco lógico usado para representá-lo; (ii) descrição das entradas de dados recebidas e das saídas; (iii) projeto de um somador completo (tabela da verdade, expressões lógicas, diagrama lógico); (iii) diagrama lógico com a associação de quatro somadores completos para a implementação do Somador Binário de 4 bits. Projete um *module* com um somador completo de um bit, e outro *module* que utiliza o primeiro *module*, chamando-o quatro vezes.
- B. Realizar o projeto desse circuito como um *module* utilizando a linguagem Verilog e especificar as chaves e LEDs utilizados para teste no Mod_Teste. Escrever o programa utilizado para o projeto.
- C. Apresentar a tabela-verdade simplificada usada para realizar a verificação do funcionamento desse sistema, com os números testados e o resultado da operação, com pelo menos quatro exemplos de soma.

2. Seletor de função Igualdade/Complemento de 1

Objetivo Específico: Especificação e implementação de um Seletor de função Igualdade/Complemento de 1, com o projeto realizado utilizando a linguagem Verilog. O seletor é representado pelo bloco lógico apresentado na Fig. 1. A função realizada por esse circuito depende do valor da entrada de controle de seleção SEL:

- Se $SEL = 0$, a função selecionada é a IGUALDADE e então $Z = B$;
- Se $SEL = 1$, a função selecionada é o COMPLEMENTO DE 1 e então $Z = C_1(B)$;

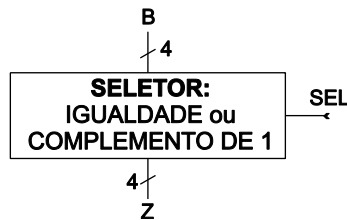


Fig. 1: Seletor de função Igualdade/Complemento de 1.

Atividades:

1. Realizar a especificação de um Seletor de função Igualdade/Complemento de 1 para números binários de 4 bits, por meio de: (i) apresentação do bloco lógico usado para representá-lo; (ii) descrição das entradas de dados recebidas e das saídas; (iii) tabela de funcionamento simplificada com um valor arbitrário $b_3b_2b_1b_0$ para B e apenas duas linhas: uma para $SEL = 0$ e outra para $SEL = 1$; (iv) dedução das expressões lógicas para cada bit B_i a partir da função XOR; e (v) diagrama lógico da implementação.
2. Realizar o projeto desse circuito como um **module** utilizando a linguagem Verilog e especificar as chaves e LEDs utilizados para teste no Mod_Teste. Escrever o programa utilizado para o projeto.
3. Apresentar uma tabela-verdade simplificada com quatro linhas, usada para realizar a verificação do funcionamento desse sistema, com os números testados e o resultado da operação.

3. Detector de estouro de capacidade

Objetivo Específico: Especificação e implementação de um Detector de estouro de capacidade para ser usado com um somador de números com sinal, codificados em Complemento de 2, com o projeto realizado utilizando a linguagem Verilog.

Atividades:

1. Realizar a especificação de um detector de estouro de capacidade, por meio de: (i) apresentação do bloco lógico usado para representá-lo (usar uma saída de nome E); (ii) descrição das entradas de dados recebidas e das saídas. Considerar que o teste de estouro da capacidade é realizado através da comparação do sinal do resultado com os sinais dos operandos. O estouro somente pode ocorrer nos casos onde os operandos possuem mesmo sinal. Assim, o estouro ocorre quando o sinal do resultado é diferente do sinal comum dos operandos.
2. Realizar o projeto desse circuito como um **module** utilizando a linguagem Verilog e especificar as chaves e LEDs utilizados para teste no Mod_Teste. Escrever o programa utilizado para o projeto.
3. Apresentar a tabela-verdade completa usada para realizar a verificação do funcionamento desse sistema.

4. Somador/Subtrator de 4 bits

Objetivo Específico: Especificação e implementação de um Somador/Subtrator Binário, com o projeto realizado utilizando a linguagem Verilog. Para a realização deste somador/subtrator completo observe que a subtração deve ser realizada pela soma do complemento de dois do segundo operando. Para obter o complemento de dois do segundo operando, utilize o complemento de 1 (item 3) somando 1 (utilizando o “vem um” do somador).

Atividades:

1. Realizar a especificação de um Somador/Subtrator Binário de 4 bits, por meio de: (i) apresentação do bloco lógico usado para representá-lo; (ii) descrição das entradas de dados recebidas e das saídas; (iii) apresentação do diagrama lógico com a associação dos blocos lógicos: Seletor de função Igualdade/Complemento de 1, Detector de estouro de capacidade, e Somador Binário de 4 bits.
2. Realizar o projeto desse circuito como um **module**, utilizando a linguagem Verilog e especificar as chaves e LEDs utilizados. Escrever o programa utilizado para o projeto.
3. Apresentar uma tabela-verdade simplificada com 6 exemplos de soma/subtração (em 6 linhas), usada para realizar a verificação do funcionamento desse sistema, com os números testados e o resultado da operação. Usar diferentes operandos, com sinais positivos e negativos.