

# Circuitos Aritméticos

Raimunda Lima Bacelar de Oliveira Neta  
Breno Pinheiro de Meneses  
Victor Hugo Brito Cantalice  
Glauco Fontgalland Filho  
Larissa Teixeira da Silva  
Bruno Silva Andrade

Universidade Federal de Campina Grande - UFCG  
Departamento de Engenharia Elétrica - DEE  
Lab. de Circuitos Lógicos - LCL  
Prof. Fernanda Cecília Correia Lima Loureiro

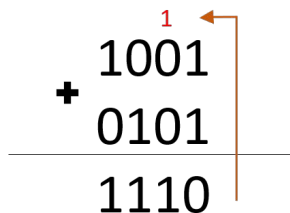
21 de Outubro de 2020

# Sumário

- Meio Somador (Half Adder)
- Somador Completo (Full Adder)
- Meio Subtrator (Half Subtractor)
- Subtrator Completo (Full Subtractor)
- Números Binários
- Igualdade e Complemento de 1
- Estouro de capacidade ( Overflow )
- Somador/Subtrator Completo

# Meio Somador (Half Adder)

- Adição Binária

$$\begin{array}{r} \phantom{+} 1001 \\ + 0101 \\ \hline 1110 \end{array}$$


- Expressão Lógica:

$$S = A \oplus B$$

$$Ts = AB$$

Entradas:

A e B

Saídas:

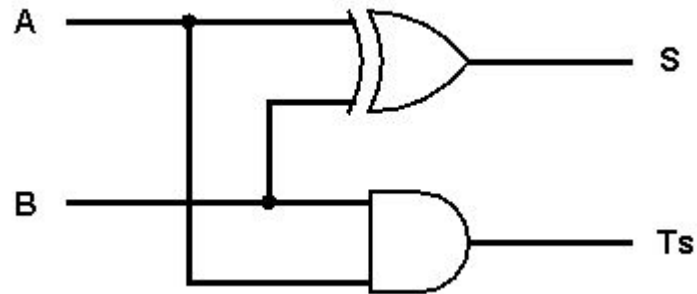
S = Resultado da operação

Ts = Transporte de saída (*carry out*)

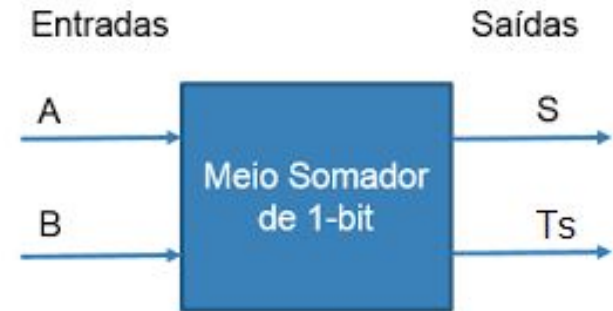
A	B	S	Ts
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

# Meio Somador (Half Adder)

- **Circuito:**



- **Bloco:**



# Somador Completo (Full Adder)

- Adição Binária

$0 + 0 + 0 = 0\ 0$  (0 e “vai” 0)

$0 + 0 + 1 = 0\ 1$  (1 e “vai” 0)

$0 + 1 + 0 = 0\ 1$  (1 e “vai” 0)

$0 + 1 + 1 = 1\ 0$  (0 e “vai” 1)

$1 + 0 + 0 = 0\ 1$  (1 e “vai” 0)

$1 + 0 + 1 = 1\ 0$  (0 e “vai” 1)

$1 + 1 + 0 = 1\ 0$  (0 e “vai” 1)

$1 + 1 + 1 = 1\ 1$  (1 e “vai” 1)

**Entradas:**

**A e B**

**Te** = Transporte de entrada (*carry in*)

**Saídas:**

**S** = Resultado da operação

**Ts** = Transporte de saída (*carry out*)

A	B	Te	S	Ts
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

# Somador Completo (Full Adder)

- Mapa de Veitch-Karnaugh:

**S**

A / B Te	0 0	0 1	1 1	1 0
0	0	1	0	1
1	1	0	1	0

**Ts**

A / B Te	0 0	0 1	1 1	1 0
0	0	0	1	0
1	0	1	1	1

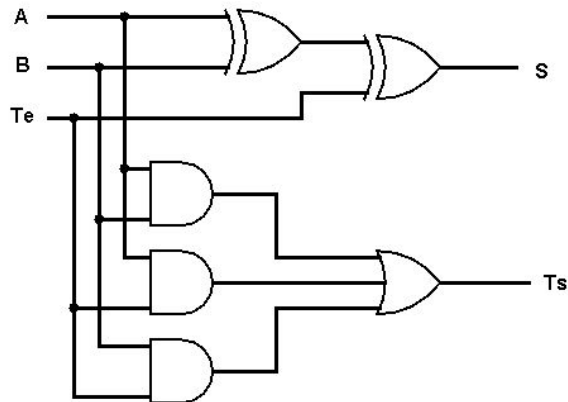
# Somador Completo (Full Adder)

- Expressão Lógica:

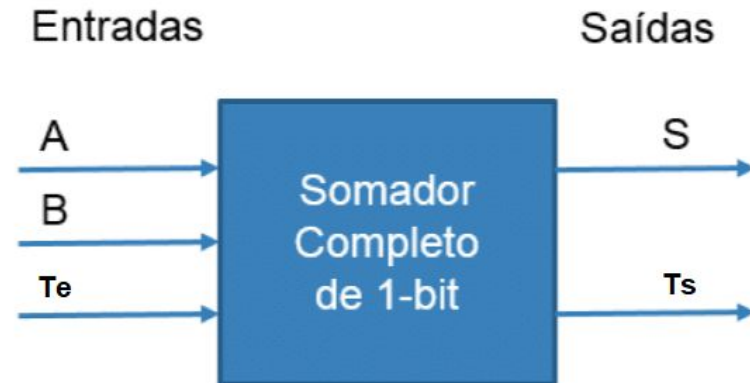
$$S = A \oplus B \oplus T_e$$

$$T_s = A T_e + B T_e + A B$$

- Circuito:

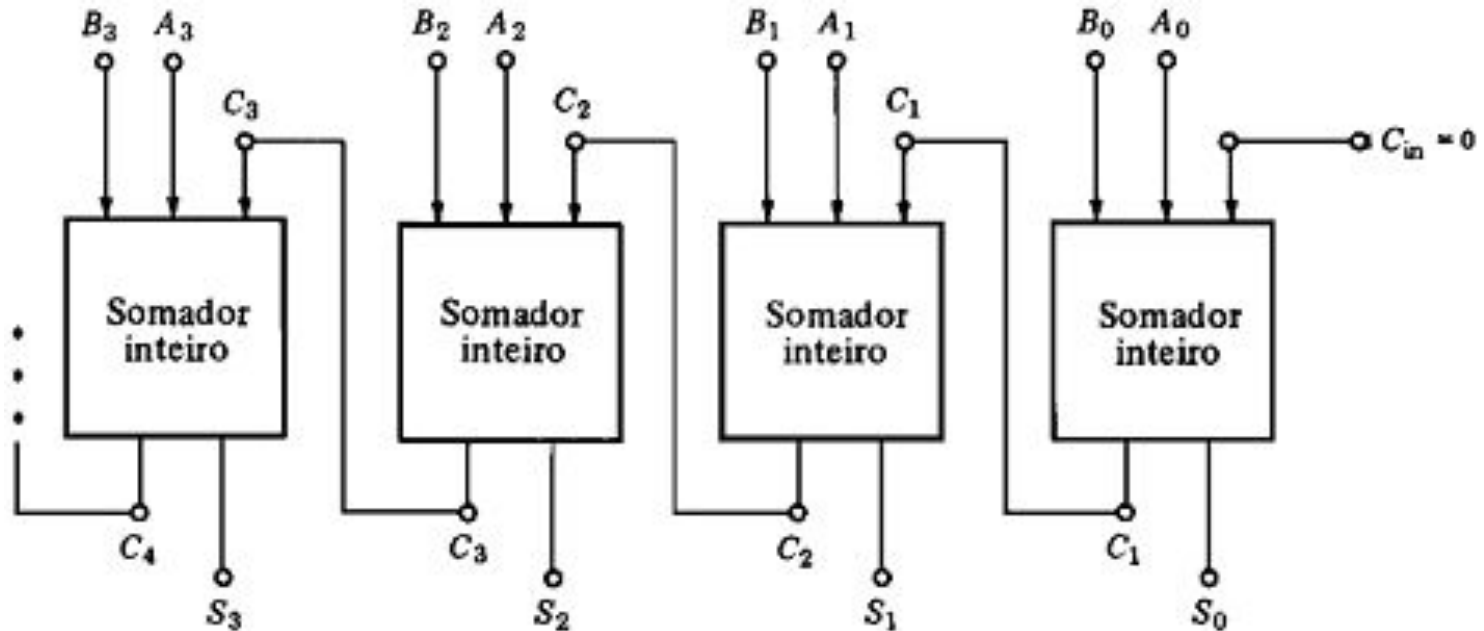


- Bloco:



# Somador Completo de N bits

- Bloco:





# Meio Subtrator (Half Subtractor)

- Subtração Binária

$$\begin{array}{r} \text{Borrow} \swarrow 1 \\ \cancel{1}0011 \phantom{00} - \\ \phantom{\cancel{1}}1001 \phantom{00} \\ \hline 1010 \end{array}$$

Expressão Lógica:

$$S = A \oplus B$$

$$Ts = (\sim A)B$$

Entradas:

A e B

Saídas:

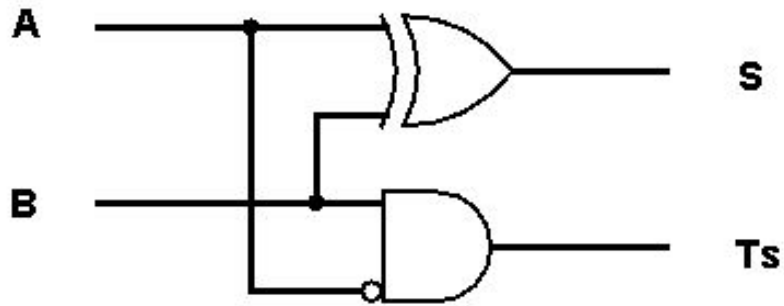
S = Resultado da operação

Ts = Transporte de saída (*carry out*)

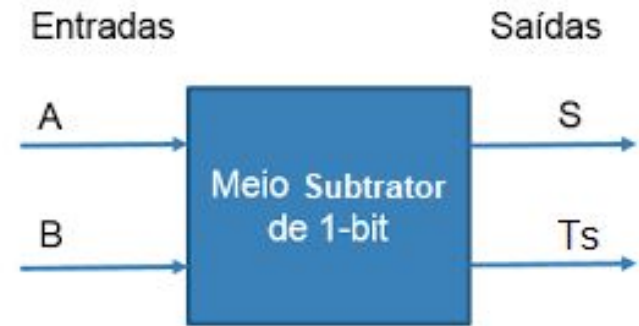
A	B	S	Ts
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

# Meio Subtrator (Half Subtractor)

- **Circuito:**



- **Bloco:**



# Subtrator Completo (Full Subtractor)

- Adição Binária

$0 - 0 - 0 = 0\ 0$  (0 e “pega emprestado” 0)

$0 - 0 - 1 = 1\ 1$  (1 e “pega emprestado” 1)

$0 - 1 - 0 = 1\ 1$  (1 e “pega emprestado” 1)

$0 - 1 - 1 = 0\ 1$  (0 e “pega emprestado” 1)

$1 - 0 - 0 = 1\ 0$  (1 e “pega emprestado” 0)

$1 - 0 - 1 = 0\ 0$  (0 e “pega emprestado” 0)

$1 - 1 - 0 = 0\ 0$  (0 e “pega emprestado” 0)

$1 - 1 - 1 = 1\ 1$  (1 e “pega emprestado” 1)

**Entradas:**

**A e B**

**Te** = Transporte de entrada (*carry in*)

**Saídas:**

**S** = Resultado da operação

**Ts** = Transporte de saída (*carry out*)

A	B	Te	S	Ts
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

# Subtrator Completo (Full Subtractor)

- Mapa de Veitch-Karnaugh:

**S**

A / B Te	0 0	0 1	1 1	1 0
0	0	1	0	1
1	1	0	1	0

**Ts**

A / B Te	0 0	0 1	1 1	1 0
0	0	1	1	1
1	0	0	1	0

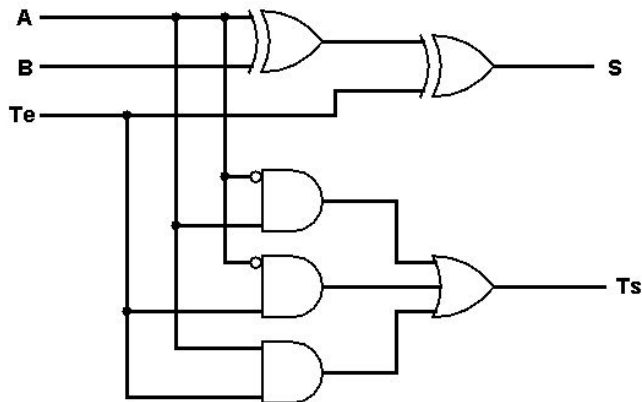
# Subtrator Completo (Full Subtractor)

- Expressão Lógica:

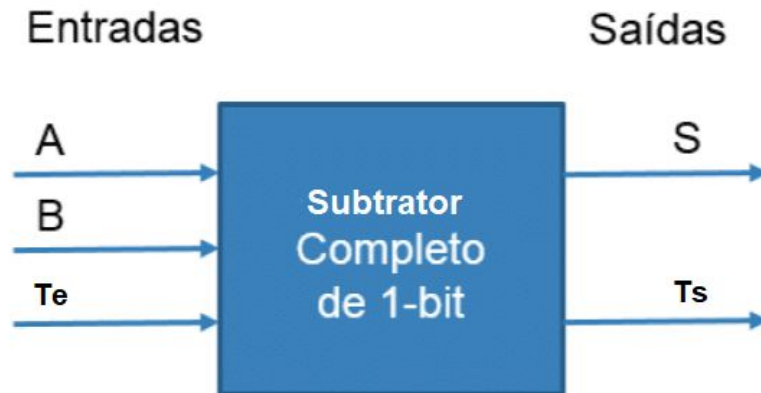
$$S = A \oplus B \oplus T_e$$

$$T_s = (\sim A)T_e + BT_e + (\sim A)B$$

- Circuito:



- Bloco:



# Números Binários

- **Sinal Módulo**

- Representação dos números utilizando um bit sinalizador, no qual o bit mais significativo representa o bit de sinal e o restante o módulo do número

A3	A2	A1	A0
0	1	0	1
+	6		

A3	A2	A1	A0
1	1	0	1
-	6		

- **Complemento de 1**

- Representação dos números sinalizados, onde cada número tem seus bits invertidos para formar o complemento. Equivalente a subtrair 1 de cada dígito

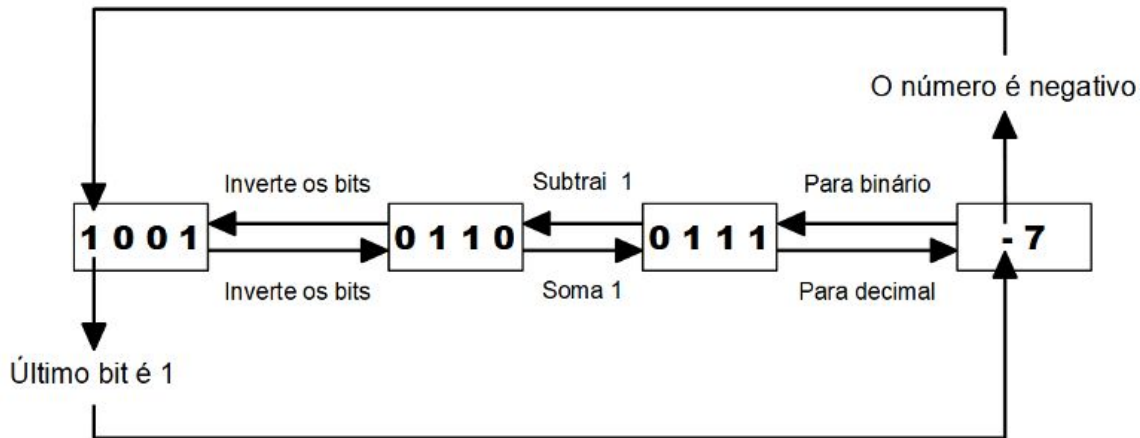
A3	A2	A1	A0
0	1	0	1
+	6		

A3	A2	A1	A0
1	0	1	0
-	6		

# Números Binários

- **Complemento de 2**

- Representação dos números sinalizado, no qual é realizado o complemento de 1 do número original e adicionado 1 ao resultado para formar o complemento de 2



# Igualdade e Complemento de 1

- Contagem em complemento de 1

$$\begin{array}{|c|c|c|c|c|c|} \hline 0 & 0 & 0 & 0 & 0 & 1 \\ \hline \end{array} = +1$$

- Expressão Lógica:

$$S = M \oplus A$$

**Entradas:**

**A**

**M** = Controle de modo de operação

- M = 0** (Igualdade)
- M = 1** (Complemento de 1)

**Saídas:**

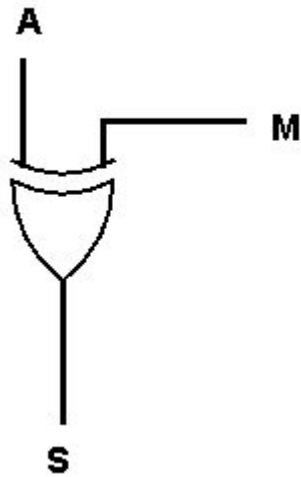
**S** = Resultado da operação

M	A	S
0	0	0
0	1	1
1	0	1
1	1	0

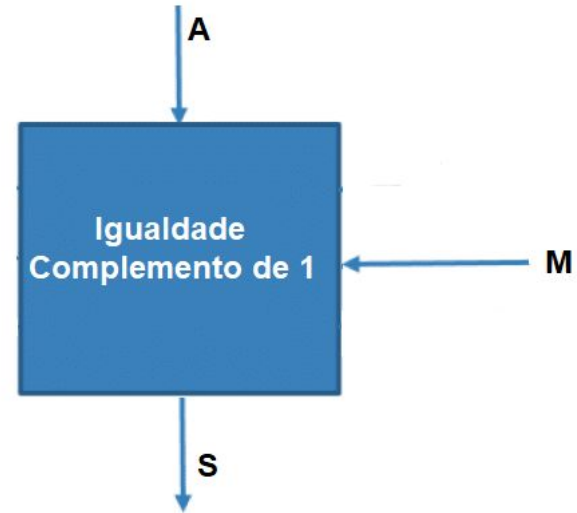


# Igualdade e Complemento de 1

- Circuito:



- Bloco:



# Estouro de capacidade ( Overflow )

- O overflow ocorre quando o resultado de uma operação supera a capacidade de registro usado para guardar este resultado
- O overflow ocorre caso o sinal do resultado não seja aquele que seria o esperado (por exemplo, um resultado negativo da soma de dois números positivos):

0	1	0	0	1
0	1	0	0	0
1	0	0	0	1

1	0	0	0	0
1	1	1	1	1
0	1	1	1	1

# Somador / Subtrator Completo

- Criar um sistema que soma e subtrai um número do outro, utilizando uma entrada de controle de operação.

## Entradas:

**M** = Seleção de Operação

- **M = 0** ( Soma )
- **M = 1** ( Subtração )

**A e B**

**Te** = Transporte de entrada  
(carry in)

## Saídas:

**S** = Resultado da operação

**Ts** = Transporte de saída  
(carry out)

M	A	B	Te	S	Ts
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	1

M	A	B	Te	S	Ts
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	0	1
1	1	0	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

# Somador / Subtrator Completo

- Mapa de Veitch-Karnaugh:

**S**

M A / B Te	0 0	0 1	1 1	1 0
0 0	0	1	0	1
0 1	1	0	1	0
1 1	1	0	1	0
1 0	0	1	0	1

**Ts**

M A / B Te	0 0	0 1	1 1	1 0
0 0	0	0	1	0
0 1	0	1	1	1
1 1	0	0	1	0
1 0	0	1	1	1

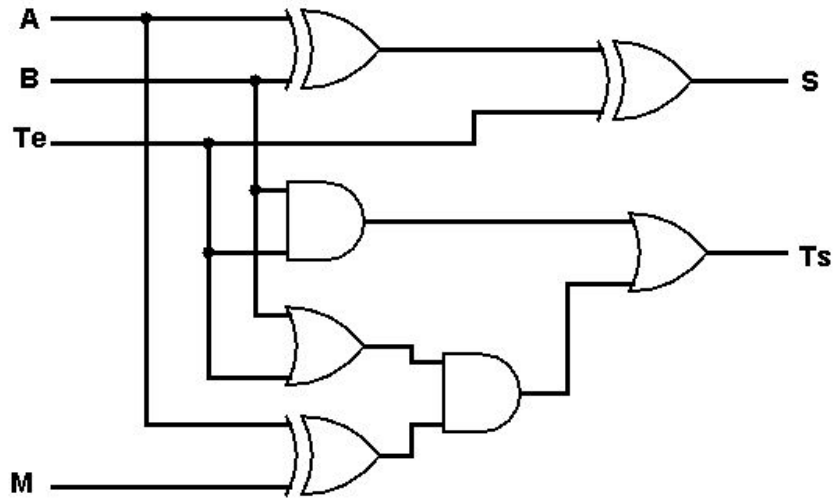
- Expressão Lógica:

$$S = A \oplus B \oplus Te$$

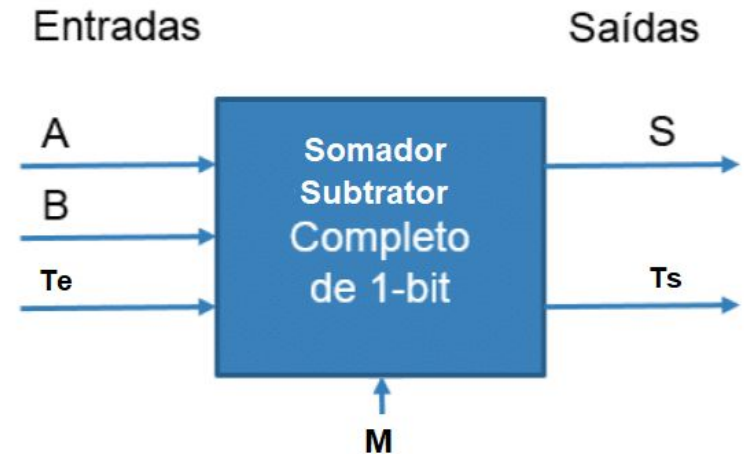
$$Ts = BTe + (B + Te)(M \oplus A)$$

# Somador / Subtrator Completo

- **Circuito:**



- **Bloco:**



# Obrigado!

Breno Pinheiro de Meneses  
Victor Hugo Brito Cantalice  
Glauco Fontgalland Filho  
Larissa Teixeira da Silva  
Bruno Silva Andrade

Universidade Federal de Campina Grande - UFCG  
Departamento de Engenharia Elétrica - DEE  
Lab. de Circuitos Lógicos - LCL  
Prof. Fernanda Cecília Correia Lima Loureiro

15 de Setembro de 2020