

**Universidade Federal de Campina Grande - UFCG**  
**Centro de Engenharia Elétrica e Informática - CEEI**  
**Departamento de Engenharia Elétrica - DEE**

**Nome:** Alysson Machado de Oliveira Barbosa

**Email:** alysson.barbosa@ee.ufcg.edu.br

**Disciplina:** Laboratório de Circuitos Lógicos

**Professora:** Fernanda Cecília Correia Lima Loureiro

**Experimento 02 - Codificação, Decodificação e Conversão de Códigos**

**Objetivo 1**

Especificação e projeto de um Codificador Binário 8:3, com os seguintes tipos de sinais: entradas de dados NAA (Nível Alto Ativo), e saídas de dados NAA (Nível Alto Ativo).

**Expressão Lógica 1**

Supondo que a função implementada é  $Z = f(X)$  (usar a ordem convencional de índices para os bits de entrada  $X = X_7 X_6 X_5 X_4 X_3 X_2 X_1 X_0$  e a ordem convencional de índices para os bits de saída  $Z = Z_2 Z_1 Z_0$ ).

Além disso, observe que na entrada do codificador teremos apenas 1 bit com nível alto ativo. Para esse problema, analisando corretamente as entradas e as saídas, teremos as seguintes expressões lógicas:

$$Z_2 = X_4 + X_5 + X_6 + X_7$$

$$Z_1 = X_2 + X_3 + X_6 + X_7$$

$$Z_0 = X_1 + X_3 + X_5 + X_7$$

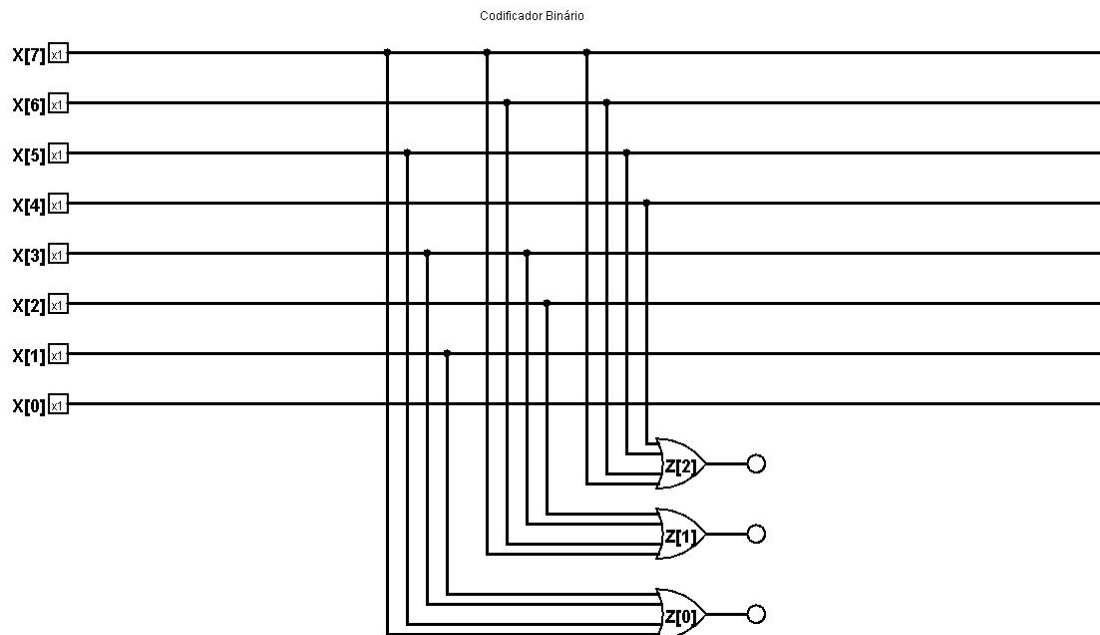
A construção dessas saídas múltiplas para o codificador feito se embasa na seguinte tabela verdade:

X7	X6	X5	X4	X3	X2	X1	X0	Z2	Z1	Z0
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

### Circuito 1

O circuito implementado, de forma que essa tabela verdade seja definida, é:

**Figura 01 - Codificador Binário 8:3**



Fonte: Imagem autoral

## Objetivo 2

Especificação e implementação de um Decodificador Binário 2:4, com os seguintes tipos de sinais: entradas de dados NAA (Nível Alto Ativo), entrada de controle de habilitação NAA (Nível Alto Ativo) e saídas de dados NAA (Nível Alto Ativo), com o projeto realizado a partir de inversores e de portas AND.

## Expressão Lógica 2

supondo que a função implementada é  $Z = f(H, A)$ , onde  $H$  é a entrada de controle de habilitação NAA,  $A = A1A0$  são as entradas de dados NAA, e  $Z = Z0Z1Z2Z3$  são saídas de dados NAA;

Além disso, sabendo que na saída teremos apenas 1 bit com nível ativo e a entrada de um habilitador/desabilitador, para esse problema, analisando corretamente as entradas e as saídas (juntamente com a realização dos mini termos), teremos as seguintes expressões lógicas:

$$Z0 = H(\sim A1)(\sim A0)$$

$$Z1 = H(\sim A1)(A0)$$

$$Z2 = H(A1)(\sim A0)$$

$$Z3 = H(A1)(A0)$$

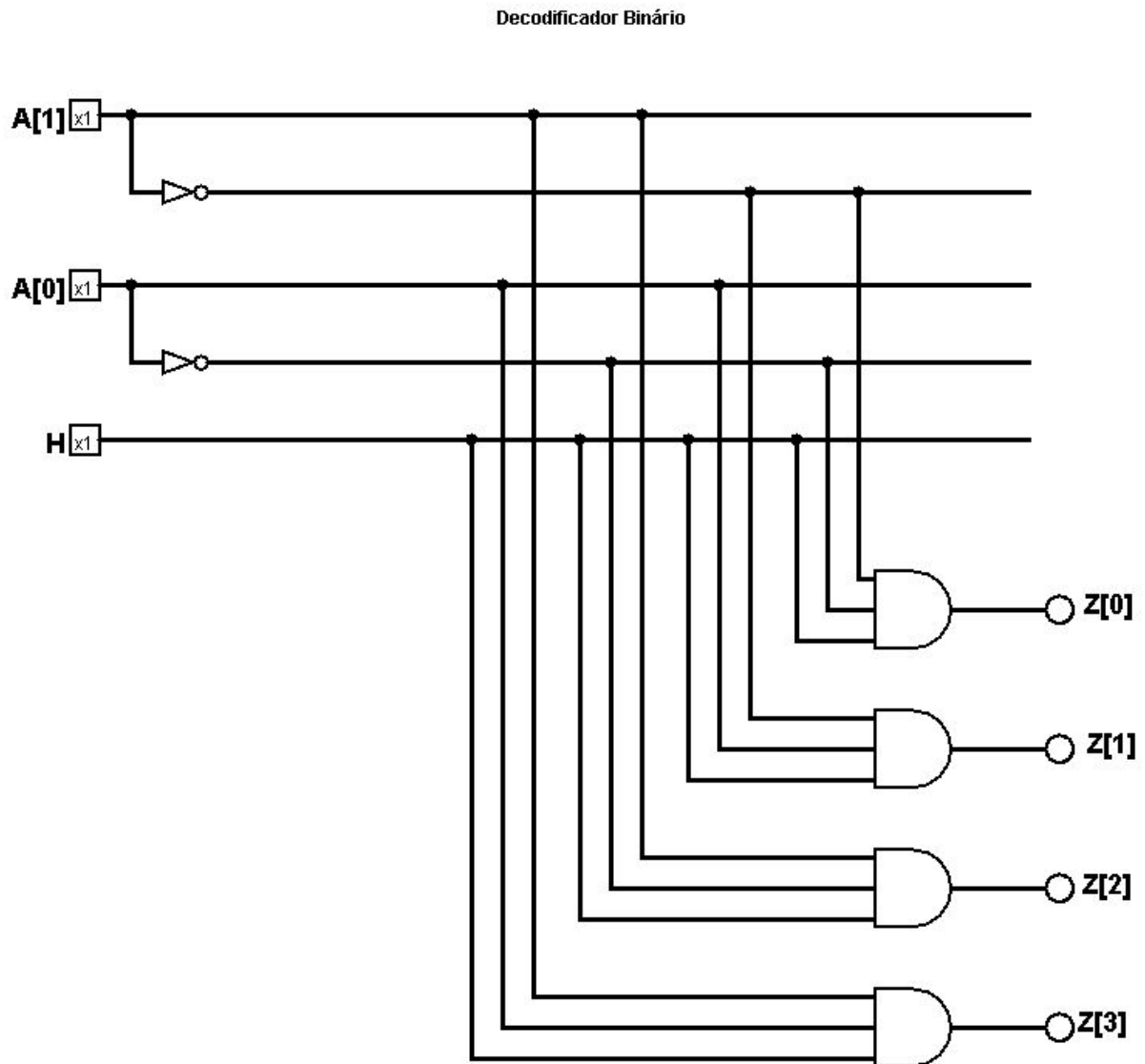
A construção dessas saídas múltiplas para o codificador feito se embasa na seguinte tabela verdade:

A1	A0	H	Z0	Z1	Z2	Z3
0	0	1	1	0	0	0
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

### Circuito 2

O circuito implementado, de forma que essa tabela verdade seja definida, é:

**Figura 2 - Decodificador Binário 2:4**



Fonte: Imagem Autoral

### Objetivo 3

Estudo, especificação e verificação do funcionamento do Conversor de código (BINÁRIO - JOHNSON) com entradas  $X = X_2 \ X_1 \ X_0$  e saídas  $Y = Y_3 \ Y_2 \ Y_1 \ Y_0$ , cuja relação é apresentada na tabela-verdade:

$X_2$	$X_1$	$X_0$	$Y_3$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0	0
0	0	1	0	0	0	1
0	1	0	0	0	1	1
0	1	1	0	1	1	1
1	0	0	1	1	1	1
1	0	1	1	1	1	0
1	1	0	1	1	0	0
1	1	1	1	0	0	0

### Expressão Lógica 3

Analisando a tabela verdade proposta no problema, podemos desenvolver as saídas múltiplas do circuito usando o método de Soma de Produtos (SOP) e sua posterior simplificação usando os teoremas dispostos na álgebra booleana, obteremos as seguintes expressões lógicas:

$$Y_3 = X_2$$

$$Y_2 = X_0(X_2 \wedge X_1) + X_2(\sim X_0)$$

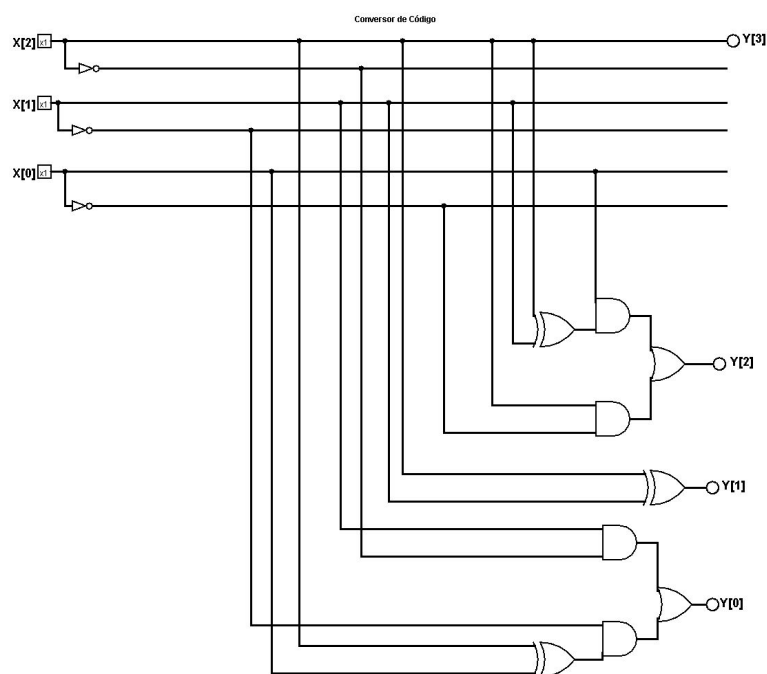
$$Y_1 = X_2 \wedge X_1$$

$$Y_0 = (\sim X_1)(X_2 \wedge X_0) + (\sim X_2)X_1$$

### Circuito 3

Analisando os recursos adotados, podemos montar o seguinte circuito lógico:

**Figura 3 - Comparador Binário de 3 bits**



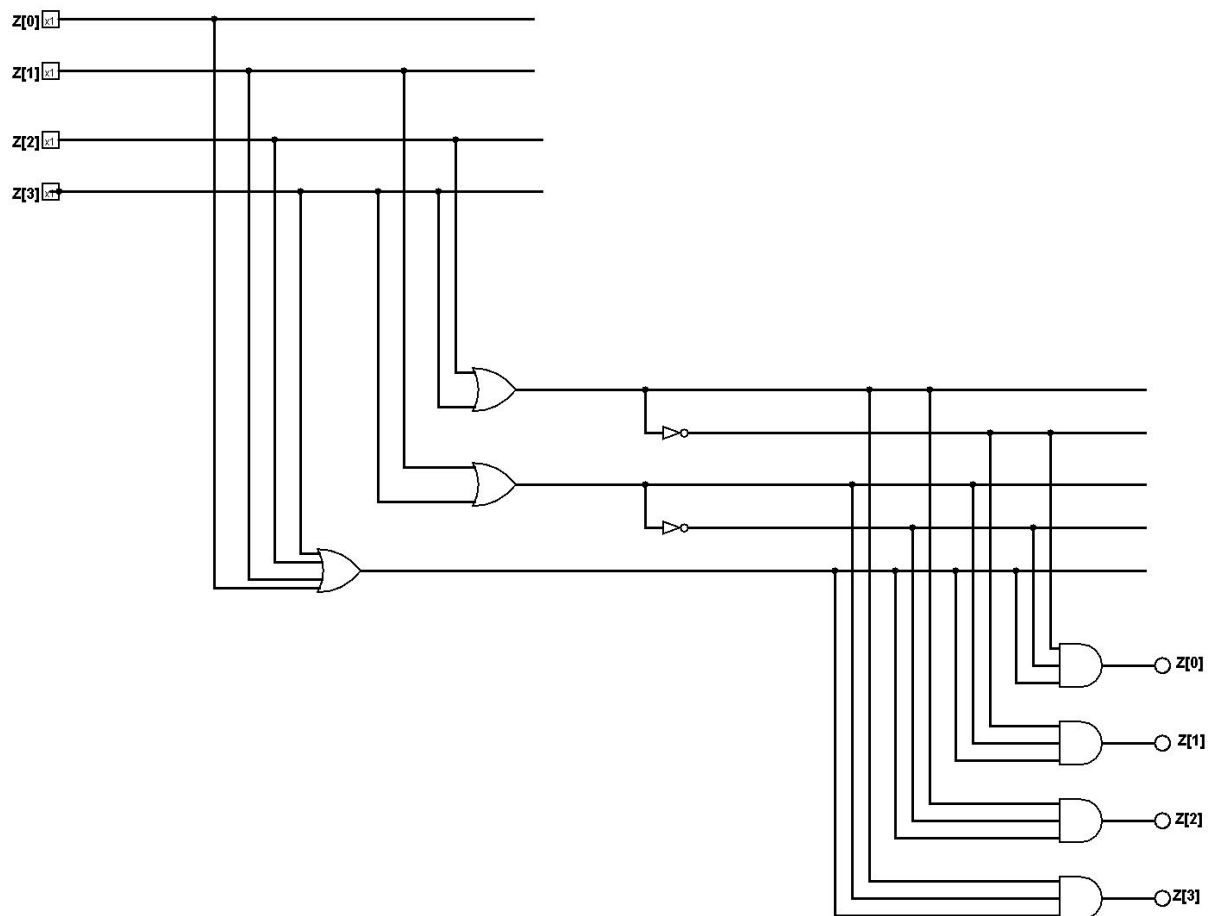
Fonte: Imagem Autoral

## Aplicação - Codificador e Decodificador

Seja o ponto A, um ponto responsável por receber uma determinada informação e o ponto B, o ponto de chegada dessa informação, é desejado que a informação passe do ponto A para o ponto B, de modo que ela seja criptografada através do canal em que ela é submetida. No ponto A poderia ser implementado um codificador, juntamente com a implementação do decodificador no ponto B, teremos um sistema em que a informação seja codificada e decodificada. Além disso, tanto na entrada e na saída teremos 1 bit ativo, estritamente. Observe abaixo o diagrama dessa aplicação.

**Figura 04 - Aplicação com Codificador e Decodificador**

Aplicação de Criptografia de Mensagem Bit a Bit



Fonte: Imagem Autoral