

Universidade Federal de Campina Grande
Centro de Engenharia Elétrica e Informática
Departamento de Engenharia Elétrica

Laboratório de Circuitos Lógicos – 2020.3

Guia do Experimento 3: Multiplexador e Demultiplexador e Bloco Lógico Universal

Objetivos

Este experimento consiste na realização de três montagens específicas e possui como objetivo geral o estudo das funções de multiplexação e demultiplexação, bem como, na utilização do multiplexador como um Bloco Lógico Universal - BLU. Para tanto, é realizada a implementação e a verificação do funcionamento de três circuitos lógicos correspondentes às seguintes montagens específicas:

- **Sistema de Multiplexação 8 : 1.**
- **Sistema de Demultiplexação 1:8.**
- **Bloco Lógico Universal.**

1. Sistema de Multiplexação

Objetivo Específico: implementação e verificação do funcionamento do Sistema de Multiplexação 8:1, projetado como um seletor de dados de oito canais distintos.

Preparação:

- A. Realizar a especificação de um MUX 8:1 que implementa a função $Z = f(S, I)$, em que Z é a saída, S representa as entradas de controle de seleção, e I são as entradas de dados, por meio de: (i) apresentação do BLOCO lógico utilizado para representá-lo (usando a convenção de índices apropriada para representar os bits de I e de S); (ii) descrição das entradas de dados recebidas e da utilização das entradas de controle para produzir a saída; e (iii) apresentação da tabela-verdade correspondente.
- B. O multiplexador deve ter uma entrada de habilitação S (NBA), três entradas (C, B, A) de controle de seleção, oito entradas de dados ($D0, D1, \dots, D7$), uma saída de dados Y nominal, e uma saída de dados W invertida, conforme representado na Fig.1.

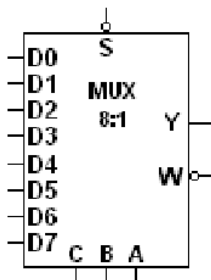


Fig. 1: Bloco lógico do MUX 8:1.

- C. Realizar o projeto desse circuito, deduzindo a expressão lógica para a saída, a partir da interpretação lógica da tabela-verdade. Apresente o **DIAGRAMA LÓGICO, usando portas lógicas**.
- D. Justifique como circuitos MUX 4:1, podem ser utilizados para implementar um MUX 16:1, apresentando o diagrama lógico da solução final.

Atividade:

Implementar o multiplexador 8:1, desenvolvido na Preparação, e testar esse circuito usando o Logisim.

2. Sistema de Demultiplexação

Objetivo Específico: Especificação e verificação do funcionamento de um demultiplexador 1:8.

Preparação:

- A. Realizar a especificação de um DEMUX **1:8** que implementa a função **$D = f(S,E)$** , em que **D** são as saídas de dados, **S** são as entradas de controle de seleção e **E** é a entrada de dados, por meio de: (i) apresentação do bloco lógico utilizado para representá-lo (usando a convenção de índices apropriada para representar os bits de D e S); (ii) descrição das saídas de dados produzidas e da utilização das entradas de controle para selecionar a saída; e (iii) apresentação da tabela-verdade correspondente.
- B. Realizar o projeto desse circuito, deduzindo a expressão lógica para a saída, a partir da interpretação lógica da tabela-verdade, e apresentando o diagrama lógico correspondente (considerar a utilização de CI's, com **inversores** e portas **AND** de três entradas).

Atividade

Implementar e testar o sistema demultiplexador 1:8 desenvolvido, usando o software Logisim.

3. Bloco Lógico Universal

Objetivo Específico: Especificação, implementação e verificação do funcionamento de uma função lógica de quatro variáveis, com o projeto realizado a partir de um multiplexador 8:1, utilizado como **Bloco Lógico Universal**.

Implemente um sistema **Detector de Paridade Par**, em função de quatro variáveis D,C,B,A.

Apresentar a tabela funcional, expressão lógica e diagrama lógico para a função do Detector, **$Y(D,C,B,A)$** . Usar um multiplexador 8:1, como bloco lógico universal, para implementar o Detector de Paridade Par.

Preparação:

- A. Realizar a especificação da função a ser implementada, **Y** apresentando a tabela-verdade e o bloco lógico utilizado para representá-la.
- B. Apresentar a expressão da função **Y** na forma da soma de produtos (minterms). Apresentar a expressão lógica da saída **Z** de um MUX 8:1 em função das entradas de dados **I₀, I₁, I₂, I₃, I₄, I₅, I₆, I₇** e das entradas de seleção do MUX- **S₂, S₁** e **S₀**.
- C. Comparar as expressões obtidas nos itens A e B, e apresentar as relações necessárias para que sejam equivalentes. Mostrar que é possível implementar a função **Y**, com um MUX 8:1, utilizado como Bloco Lógico Universal – BLU: estabelecer o que deve ser feito para obter a implementação desejada, com a finalidade de obter as expressões de cada entrada de dados **I_i** do MUX 8:1.
- D. Apresentar o diagrama lógico correspondente ao circuito que implementa essa função, representando o multiplexador por meio de seu bloco lógico.

Atividade:

Implementar o Sistema Detector de Paridade Par, usando o Mux 8:1 como Bloco Lógico Universal. Testar o sistema usando o Logisim.