

Introdução ao Quartus: Apresentação dos recursos do software de Síntese Quartus II

OBJETIVO

Este experimento tem por objetivo familiarizar o aluno com a técnica HDL de projeto de sistemas digitais e com suas ferramentas de projeto: a linguagem de descrição de hardware Verilog, a placa DE2 (por simulação) e o software de síntese Quartus II.

INTRODUÇÃO

A complexidade crescente dos sistemas digitais levou os projetistas a buscar alternativas para o processo de desenvolvimento destes sistemas uma vez que projetos no nível de portas lógicas tornaram-se inviáveis. Dentre as causas para a inviabilidade encontram-se: o atraso global introduzido pelas portas, o tamanho do layout físico, o elevado consumo do sistema e a necessidade de construir protótipos para testes. A solução encontrada foi a utilização da lógica programável. Esta é uma técnica que consiste em programar um dispositivo de caráter geral, que contém, internamente, milhares de portas lógicas, de modo a implementar uma funcionalidade. Existem vários tipos de dispositivos lógicos programáveis (PLD): PLA, PAL, CPLD e FPGA.

Tutorial de Instalação Quartus

Registro

Para poder efetuar o download do software será necessário o registro no site da Intel, acessando o [Registrar conta individual Intel](#), a seguinte aba será aberta.

Register for Intel® FPGA Program

Join the Intel® FPGA Program to get immediate access to online tools, technical content, and other resources. If you do business with Intel **as an individual**, you can request for basic access to Intel® FPGA Program tools and resources.

If you wish to register for a company account and be eligible for Intel® Premier Support, please [register for a premier account](#).

Personal Information

First Name	Last Name	
Business Email Address	Username	
Password	Confirm Password	
Country/Region		
Job Function		
Country/Region Code	Phone	Extension (optional)

[Próxima etapa](#)

Preencha todos os campos com os dados pessoais requeridos, como na imagem abaixo.

basic access to Intel® FPGA Program tools and resources.
If you wish to register for a company account and be eligible for Intel® Premier Support, please [register for a premier account](#).

Personal Information

First Name Breno	Last Name Meneses	
Business Email Address breno.meneses@ee.ufcg.edu.br	Username brenomeneses	
<input type="checkbox"/> Use my email as username		
Password *****	Confirm Password *****	
Must include a letter Must include a number Must include a special character Must be between 8 and 15 characters in length		
Country/Region Brazil		
Job Function Education and Training		
Country/Region Code +55	Phone 83987667380	Extension (optional)

[Próxima etapa](#) 

Clique Aqui

Preencha todos os campos com os dados pessoais requeridos, como na imagem abaixo, e prossiga clicando em “Próxima etapa”, destacado por um retângulo vermelho na imagem abaixo.

Perguntas de inscrição

Prazo do Projeto 0-6 Months	Indústria Education
Distribuidor Preferencial South America - Arrow Electronics	

Informações da Empresa

Nome da empresa Universidade Federal de Campina Grande	número de empregados 1-9
País / Região Brazil	Estado / Província Paraíba
Cidade Campina Grande	CEP / Código Postal 58428-205

Assinaturas de comunicação

Inscreve-se para receber atualizações por e-mail da Intel (opcional).

- Anúncios de produtos de lógica programável
- Boletins informativos de lógica programável
- System Design Journal

[Próxima etapa](#)

→ Clique Aqui

Aceite os termos de uso e clique em “Enviar”, destacado por um retângulo vermelho na imagem abaixo, para solicitar o registro.

[RODUTOS](#) [SUPORTE](#) [SOLUÇÕES](#) [DESENVOLVEDORES](#) [PARCEIROS](#)

  BRAZ

Registre-se no programa Intel® FPGA

Junte-se ao Programa Intel® FPGA para obter acesso imediato a ferramentas online, conteúdo técnico e outros recursos. Se você faz negócios com a Intel **individualmente**, pode solicitar acesso básico às ferramentas e recursos do programa Intel® FPGA.

Se você deseja se registrar para uma conta corporativa e se qualificar para o Suporte Intel® Premier, [registre-se para uma conta premier](#).

Informação pessoal

[Editar](#) 

Perguntas de inscrição

[Editar](#) 

Termos e Condições

Ao enviar este formulário, você confirma que é um adulto com 18 anos ou mais e concorda em compartilhar suas informações pessoais com a Intel para se manter conectado às mais recentes tecnologias da Intel e tendências do setor por e-mail e telefone. Você pode cancelar sua inscrição a qualquer momento. Os sites e comunicações da Intel estão sujeitos ao nosso [Aviso de privacidade](#) e [Termos de uso](#).

[Enviar](#)

→ Clique Aqui

Verifique a sua caixa de e-mail, o que foi informado no processo de registro, para verificar, caso necessário reenviar o e-mail de verificação preencha o captcha, destacado por um retângulo vermelho na imagem abaixo.

Obrigado por se registrar no Programa Intel® FPGA

Se esta for a primeira vez que você está criando uma conta Intel, um e-mail de verificação foi enviado para você. Verifique sua caixa de entrada e siga o link para concluir o processo de registro, o link enviado irá expirar em 45 dias.

Não recebeu o e-mail de verificação do Programa Intel® FPGA? Verifique sua pasta de spam ou lixo ou clique em reenviar e-mail abaixo.

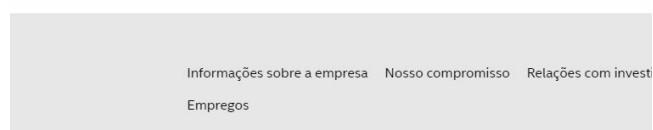
Antes de prosseguir com o reenvio do e-mail, preencha o captcha abaixo.

Não sou um robô  reCAPTCHA
Privacy - Terms

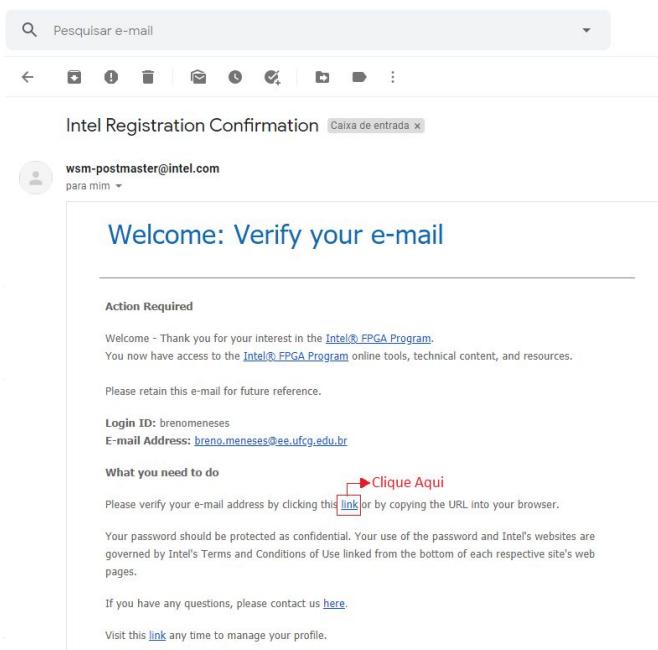
Resolva

Reenviar e-mail

Os usuários existentes da intel.com e os novos usuários que concluíram a etapa de verificação de e-mail podem prosseguir para [My Intel](#) e acessar as ferramentas e recursos do programa Intel® FPGA.



Abrindo seu e-mail encontre o e-mail com o assunto “Intel Registration Confirmation” e clique no nome “link”, destacado por um retângulo vermelho na imagem abaixo, para confirmar o e-mail cadastrado.



Verifique a área destacada por um retângulo vermelho na imagem abaixo, caso possua um ícone de um esboço de boneco com um círculo com um “v”, na parte inferior, a sua conta foi criado com sucesso.

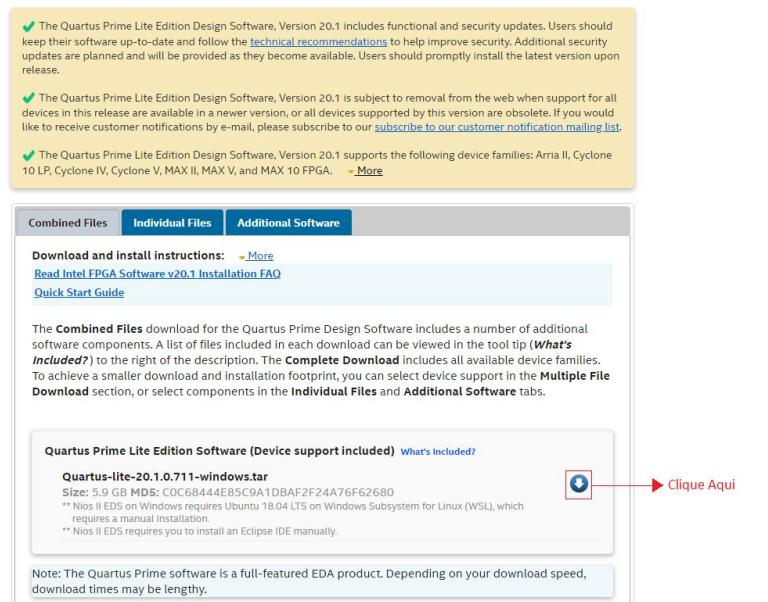
Download e Instalação

□ Windows

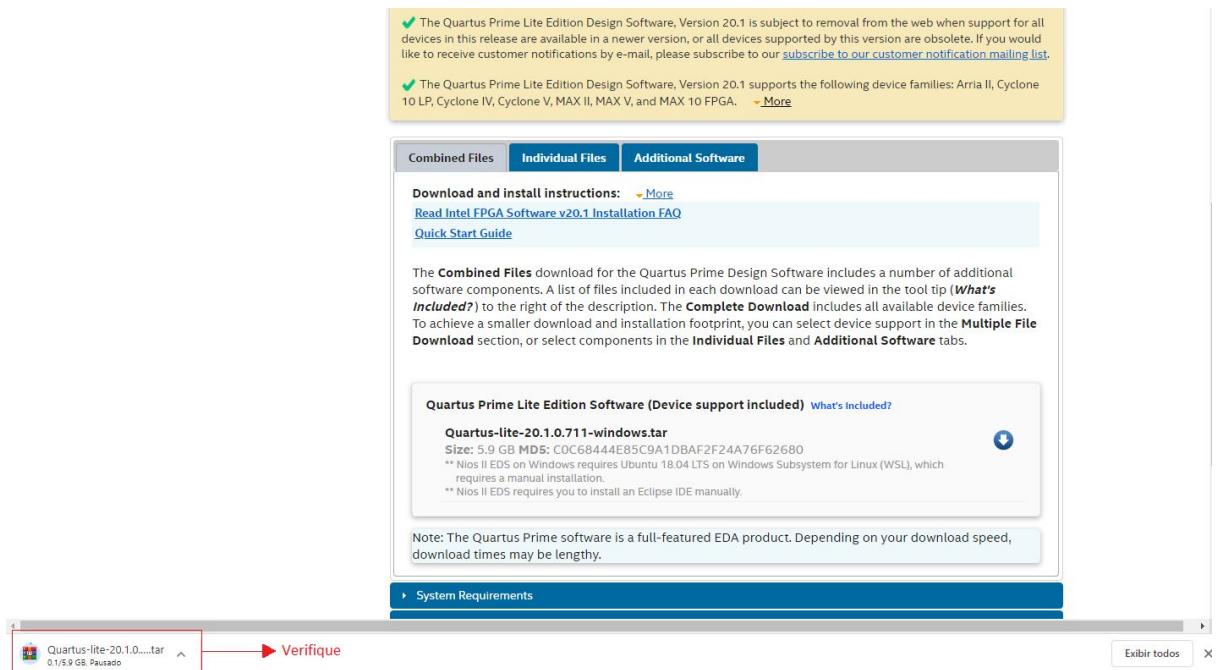
01º Passo: Download

Acesse o link [Download Quartus](#) para efetuar o download do software. Verifique a edição, versão e o sistema operacional, em seguida altere a forma de download clicando em “Combine Files”, destacado por um retângulo vermelho na imagem abaixo.

Para efetuar o download é necessário clicar no ícone circular com uma seta apontando para baixo, destacado por um retângulo vermelho na imagem abaixo.

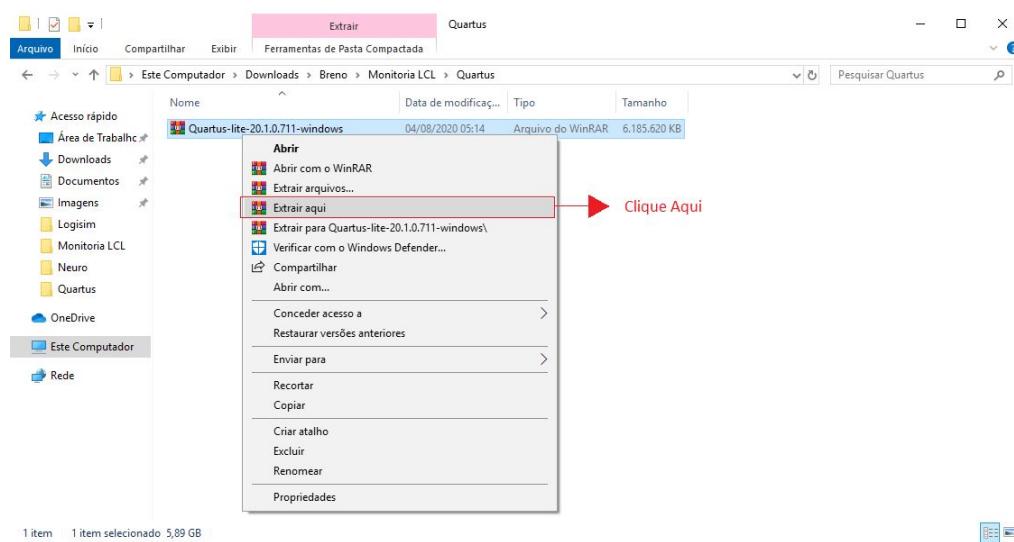


Após clicar no ícone deverá iniciar o download de um arquivo compactado, dependendo do navegador utilizado será exibido em algum local da tela, caso contrário verifique o histórico de downloads do navegador em questão. Por exemplo, a imagem abaixo foi feita utilizando o Google Chrome, destacado com um retângulo vermelho a exibição do início do download do arquivo.

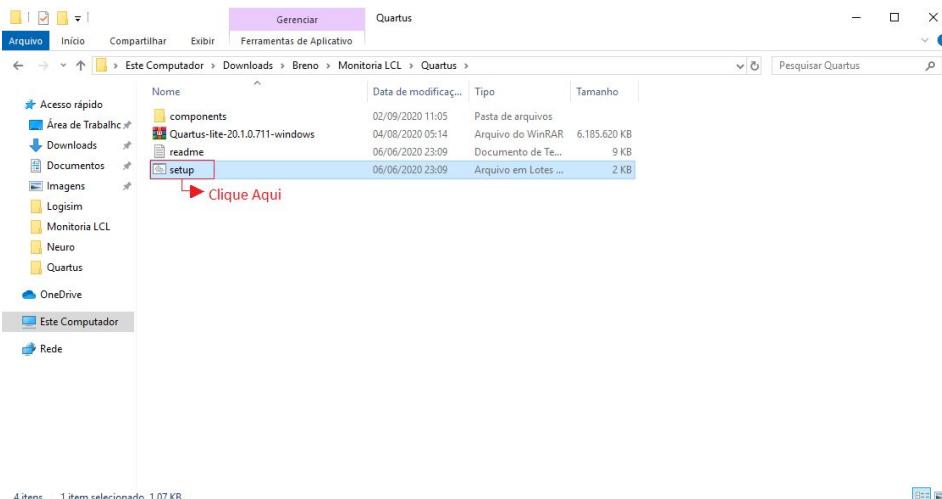


02º Passo: Instalação

Para a extração do instalador será necessário a utilização de um programa auxiliar, nesse tutorial é utilizado o winrar. Abra o local de destino do arquivo baixado clique com o botão direito do mouse e clique em “Extrair aqui”, os arquivos compactados serão descompactados e salvos na pasta em questão.



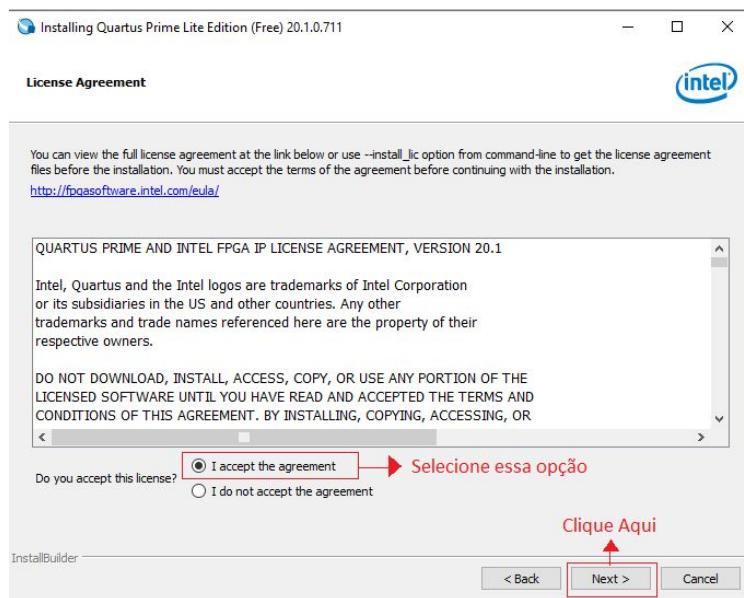
Após a extração execute o arquivo com nome “setup”, destacado por um retângulo vermelho na imagem abaixo, e permita o programa fazer alterações, clicando em “Sim” na nova janela que será aberta.



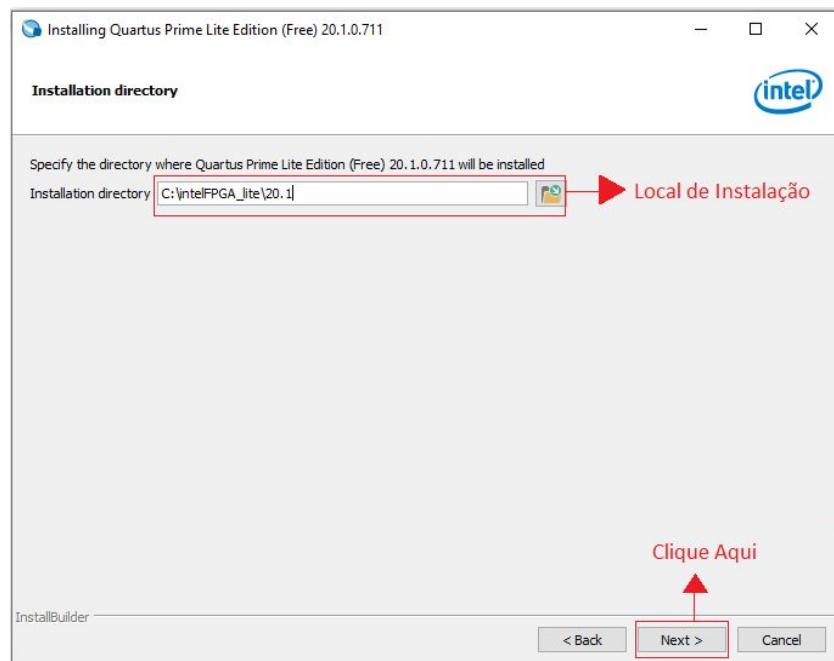
Iniciando o processo de instalação prossiga clicando em “Next >”, destacado com um retângulo vermelho na imagem.



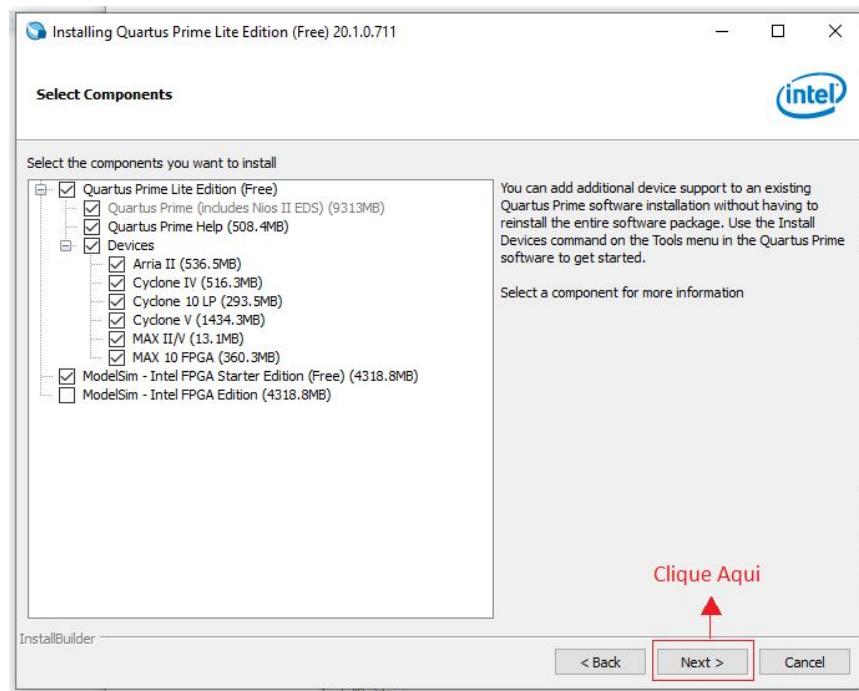
Para prosseguir a instalação será necessário aceitar os termos de uso selecionando a opção “I accept the agreement”, destacado com um retângulo vermelho na imagem. Além disso, prossiga a instalação clicando em “Next >”, destacado com um retângulo vermelho.



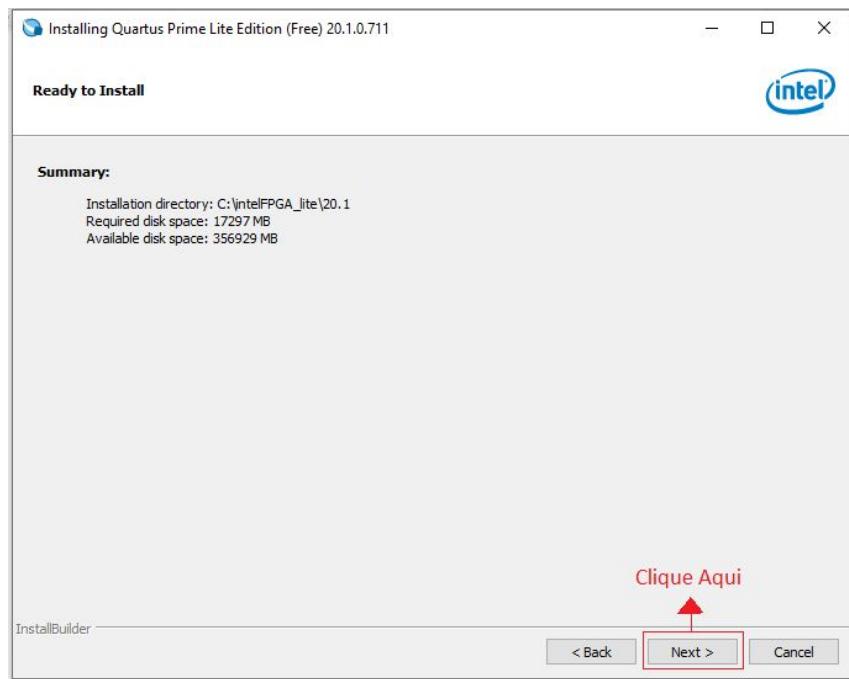
Caso prefira altere o local de instalação, destacado com um retângulo vermelho na imagem, e insira o local desejado. Prossiga a instalação clicando em “Next >”, destacado com um retângulo vermelho na imagem.



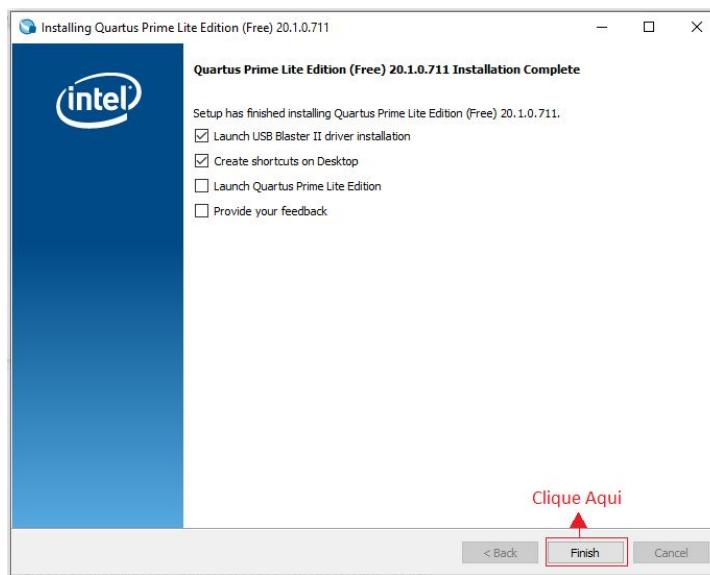
Prossiga a instalação clicando em “Next >”, destacado com um retângulo vermelho na imagem.



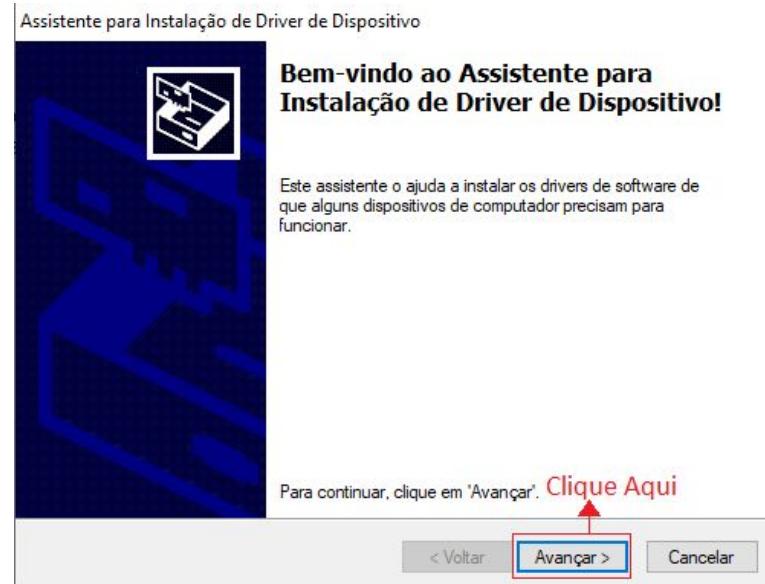
Prossiga a instalação clicando em “Next >”, destacado com um retângulo vermelho na imagem.



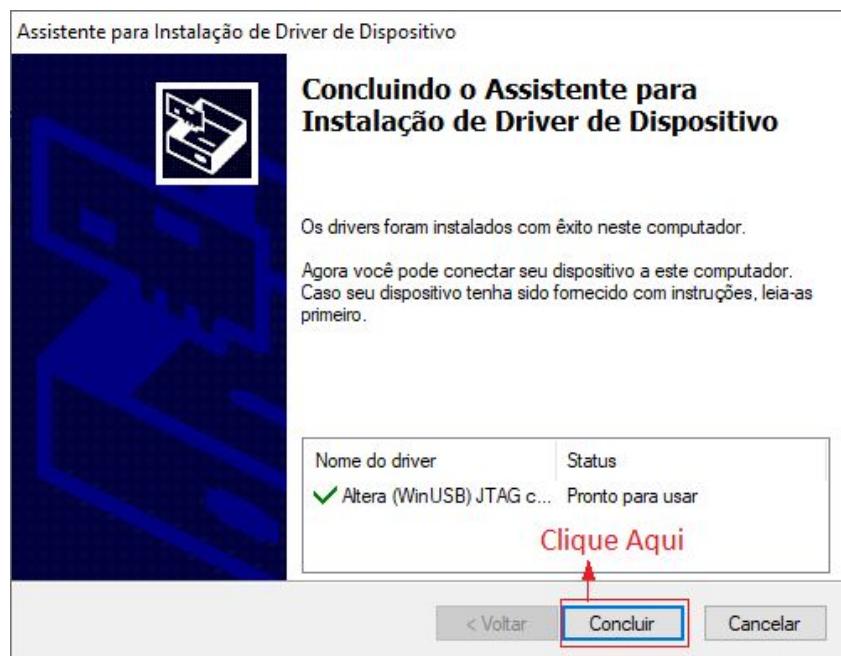
Nessa etapa será necessário esperar a instalação ser completa, pode demorar um tempo considerável. Ao finalizar a instalação clique em “Finish”, destacado com um retângulo vermelho na imagem, para finalizar, antes desmarque a opção “Launch Quartus Prime Lite Edition”.



Clique em “Avançar >”, destacado com um retângulo vermelho na imagem, para instalar o driver.



Concluindo a instalação do driver clique em "Concluir", destacado com um retângulo vermelho na imagem.



Depois desse processo para abrir o programa basta ir na sua área de trabalho e procurar o atalho de execução do Quartus (Quartus Prime 20.1) Lite Edition.

❑ Linux

Guia desenvolvido por Jefferson Lopes. Acesse o link abaixo:

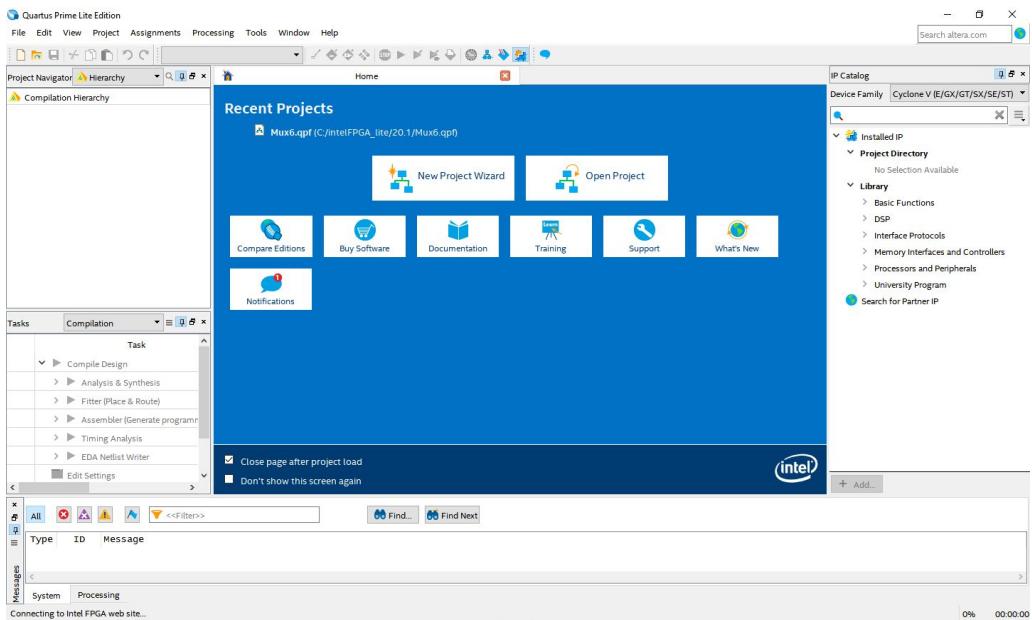
<https://github.com/Jefferson-Lopes/FPGA/tree/master/Installation>

Testando Quartus

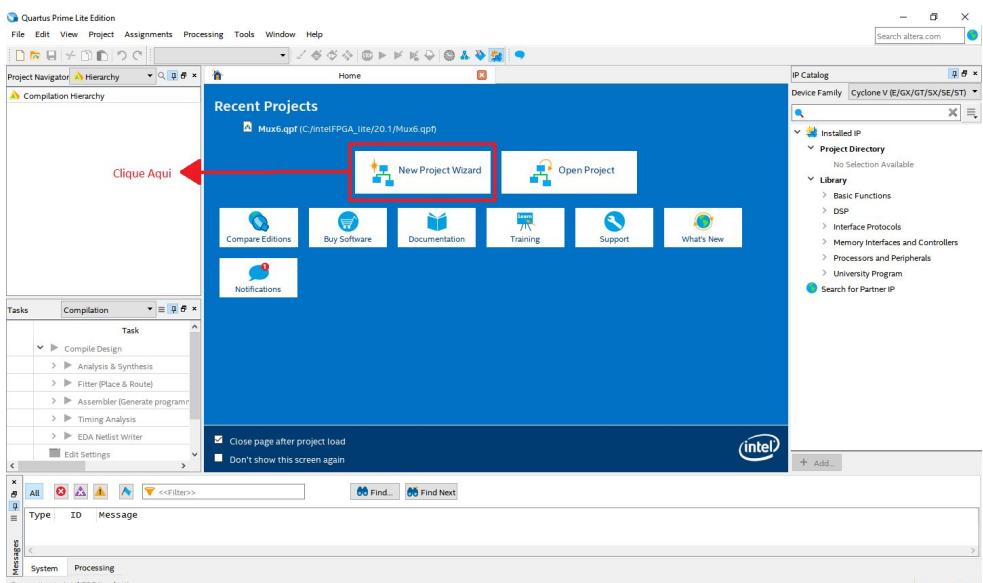
Tutorial utilizado como base: [Tutorial de Verilog – O primeiro Projeto com Quartus](#)

01º Passo: Criando Projeto Quartus

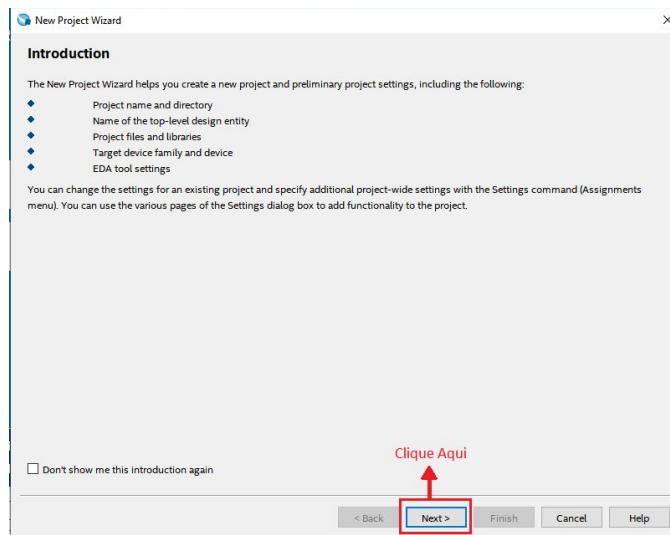
Com o software instalado, independente do sistema operacional, abra-o, em alguns casos no Windows é preciso executar como administrador. Abaixo é possível observar o ambiente de desenvolvimento padrão.



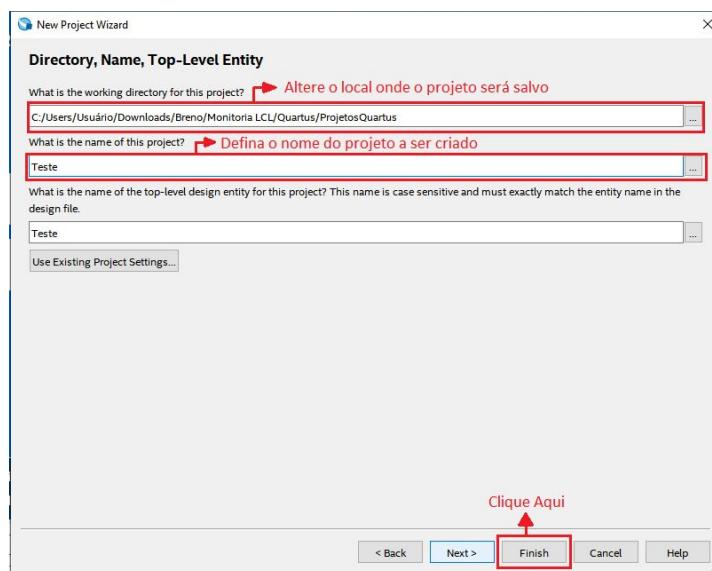
Crie um novo projeto clicando em “New Project Wizard”, destacado com um retângulo vermelho na imagem.



Prossiga na criação clicando em “Next >”, destacado com um retângulo vermelho na imagem.

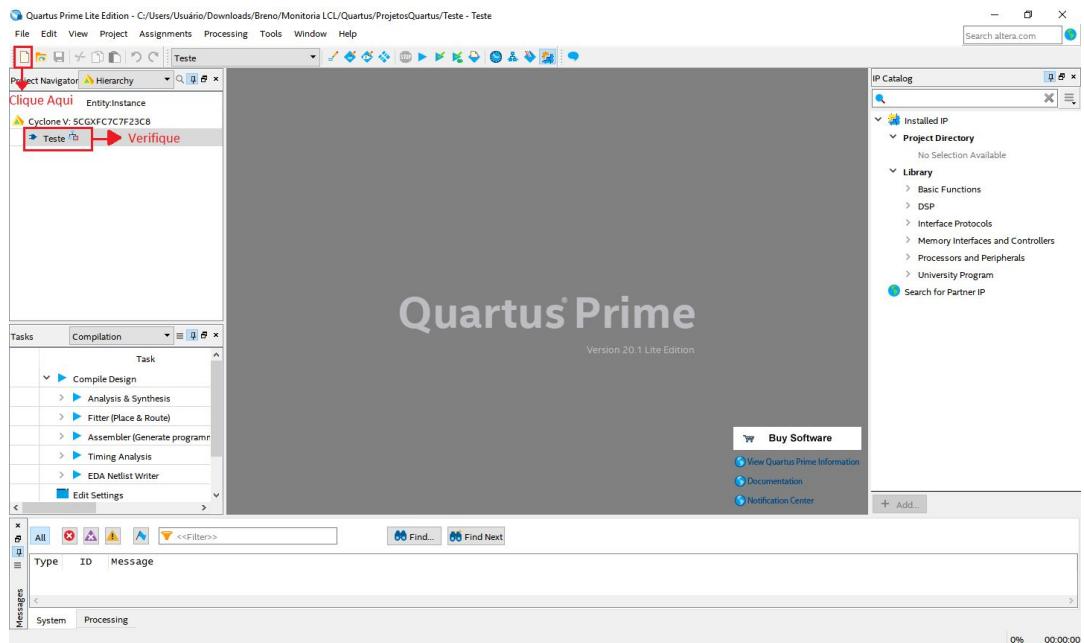


Na primeira área destacada é possível alterar o local em que o projeto será salvo em seu computador, recomendo ficar em um local próximo ao de instalação do programa para não correr o risco de ter problemas de permissão, sugere-se criar uma pasta para armazenar os programas logo em seguida ao local “C:\”. Na segunda é possível definir o nome do projeto. Após fazer as alterações desejadas finalize a criação clicando em “Finish”, destacado com um retângulo vermelho na imagem.

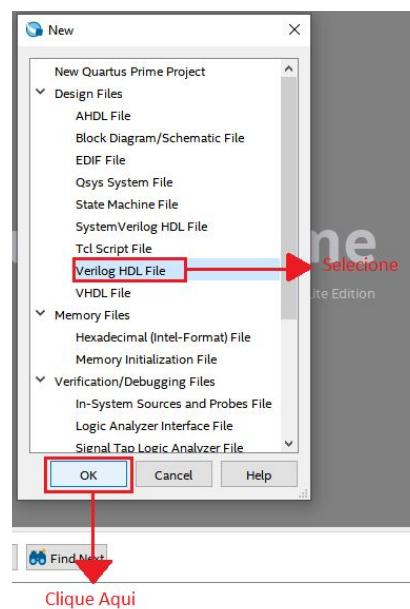


02º Passo: Criando Arquivo Verilog

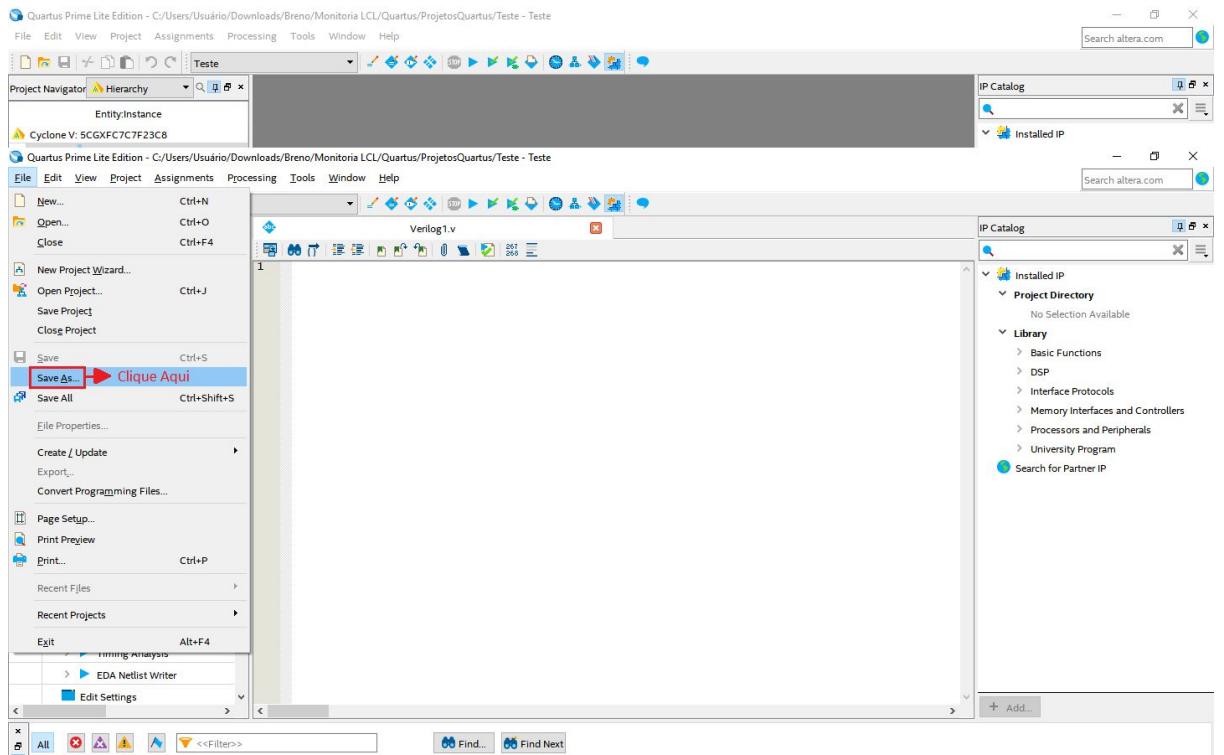
Verifique próximo ao canto superior esquerdo o nome do seu projeto, destacado com um retângulo vermelho na imagem, caso tenha sido criado com sucesso. Para criar um arquivo clique no ícone de uma folha de papel no canto superior esquerdo, destacado com um retângulo vermelho na imagem.



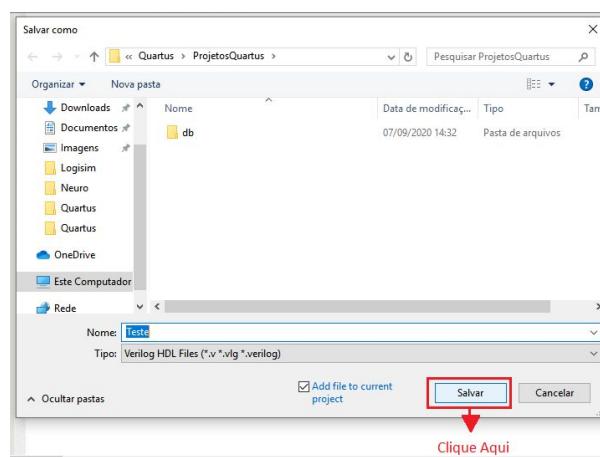
Selecione o arquivo do tipo Verilog HDL File, destacado com um retângulo vermelho na imagem, depois de selecionar prossiga clicando em “Ok”, destacado com um retângulo vermelho na imagem.



Clique em “File” no canto superior esquerdo abrirá opções, clique em “Save As...” para salvar os arquivos criados anteriormente no mesmo local do projeto, destacado com um retângulo vermelho na imagem.

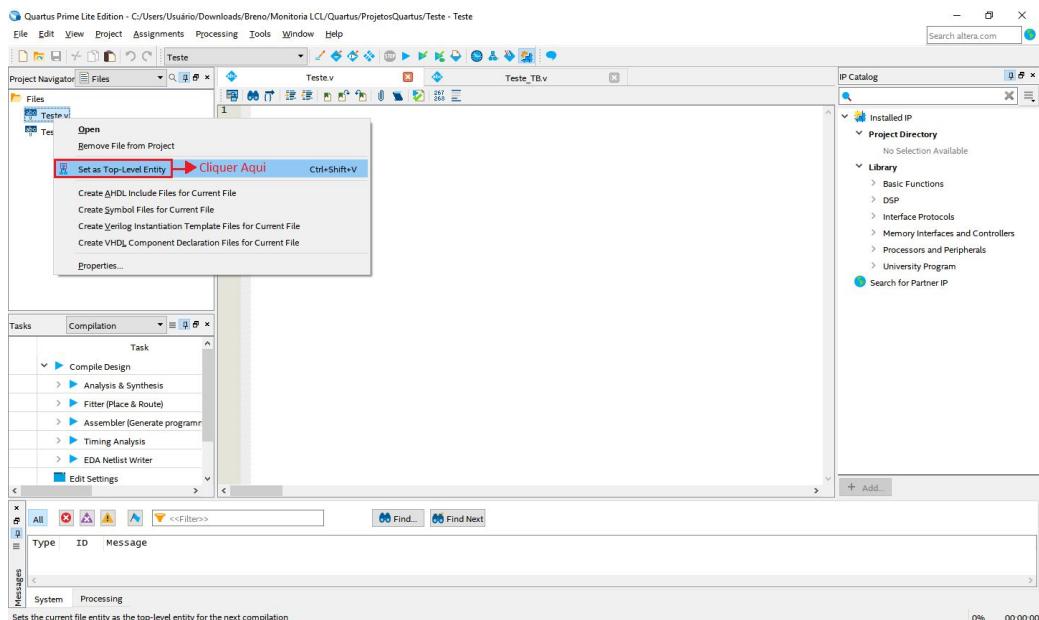


Verifique o local em que será salvo e defina o nome do arquivo, finalize clicando em “Salvar”, destacado com um retângulo vermelho na imagem. Repita o mesmo processo para criar o arquivo testbench, utilizado para testar o circuito que será criado, se preferir defina com o mesmo nome apenas acrescentando o sufixo “_TB” para referenciar.

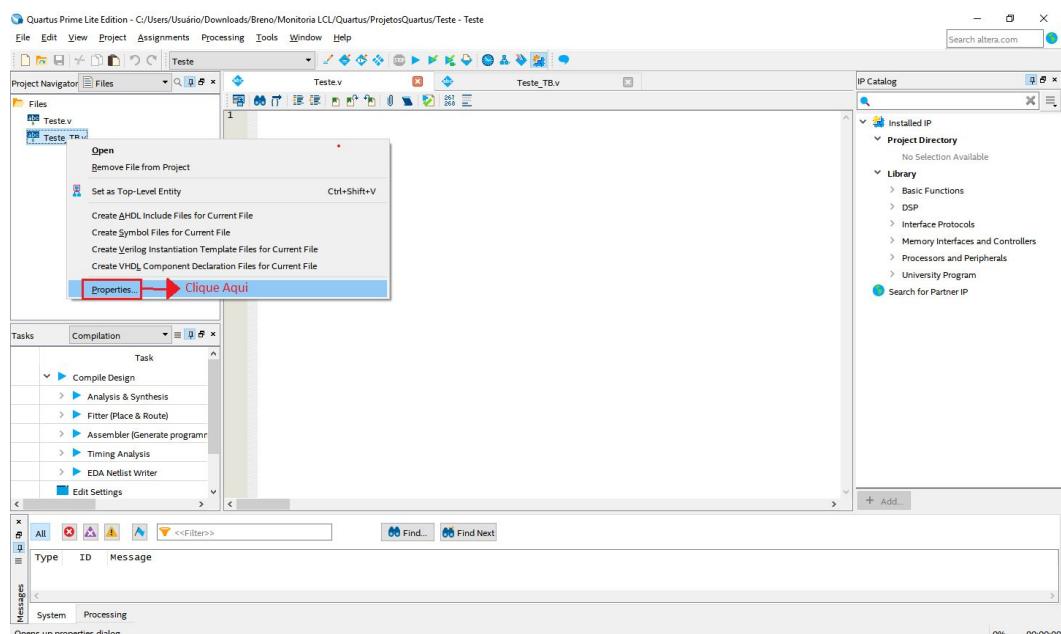


03º Passo: Configurando

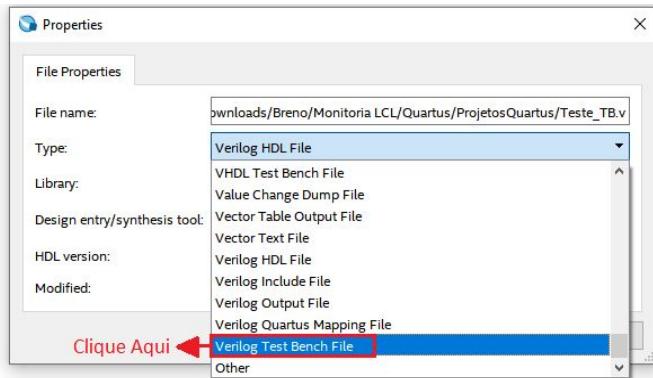
Após a criação do projeto e seus arquivos será necessário informar ao Quartus qual é o Testbench e qual é o arquivo principal. Selecione o arquivo que deseja ser o principal, clique com o botão direito do mouse sobre o nome do arquivo, nesse caso o “Teste”, e clique em “Set as Top-Level Entity” para definir, destacado com um retângulo vermelho na imagem.



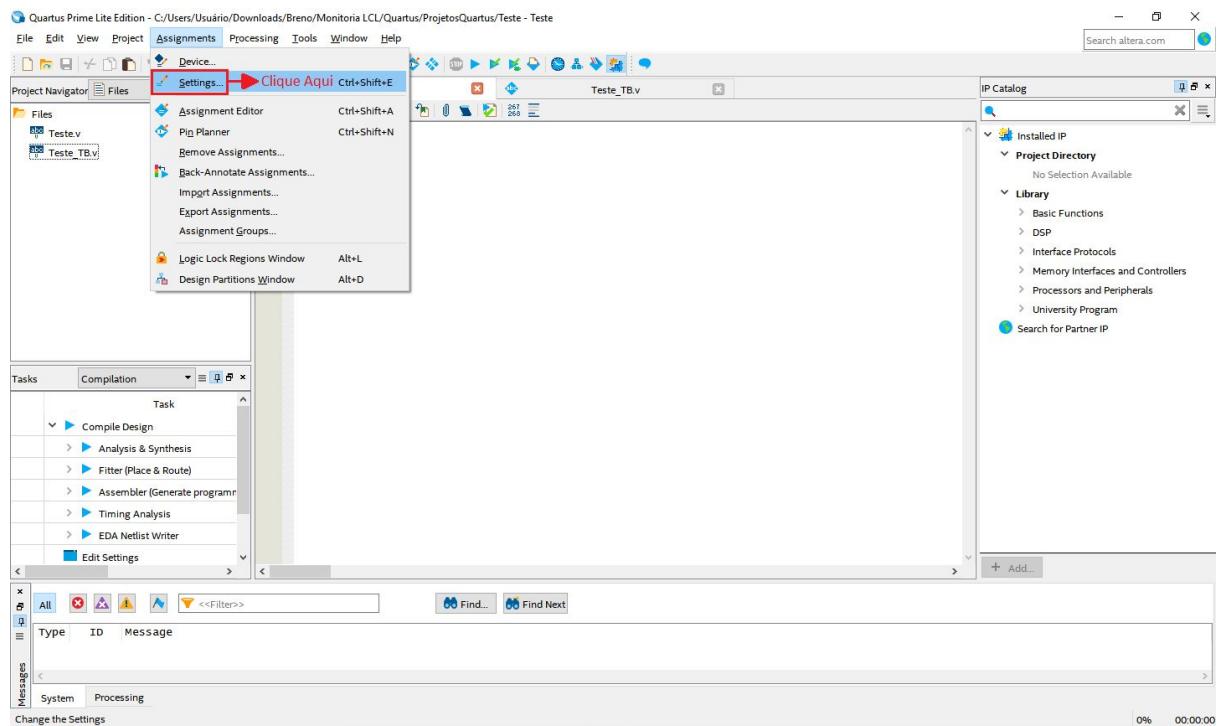
Selecione o arquivo que deseja ser o testbench, clique com o botão direito do mouse sobre o nome do arquivo, nesse caso o “Teste_TB”, e clique em “Properties”, destacado com um retângulo vermelho na imagem.



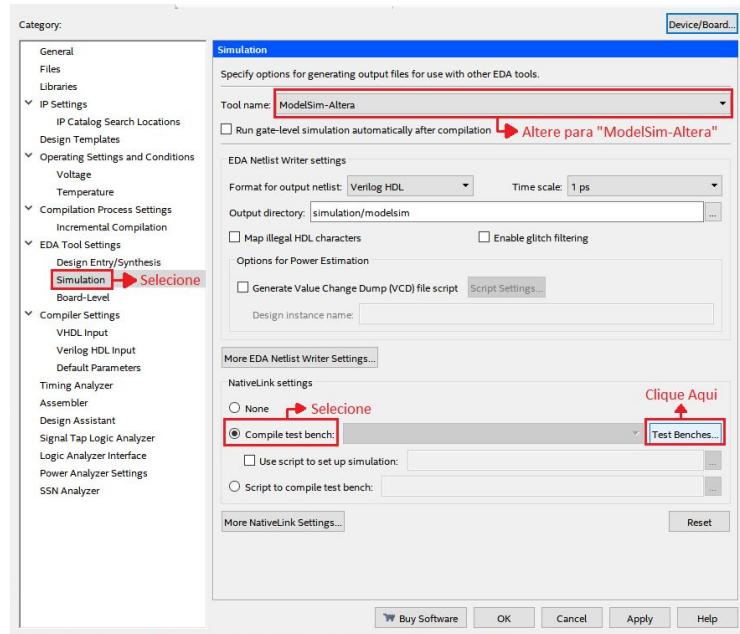
Informe o tipo de arquivo desejado selecione as opções de tipo, onde será exibido “Type: Verilog HDL File”, nesse caso defina o tipo como “Verilog TestBench File” selecionando o tipo com o mesmo nome, destacado com um retângulo vermelho na imagem, depois clique em “Ok”.



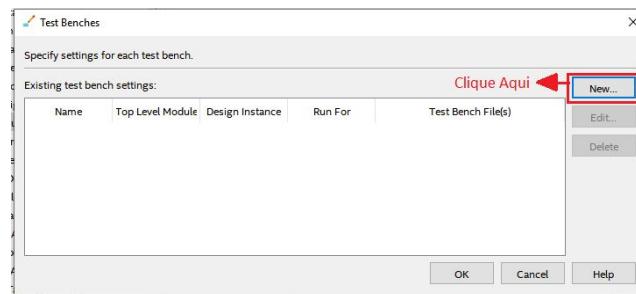
Em seguida também é necessário informar ao Quartus que o Testbench criado será utilizado para esse projeto. Para isso é necessário configurar clicando em “Assignment” e então “Settings”, destacado com um retângulo vermelho na imagem.



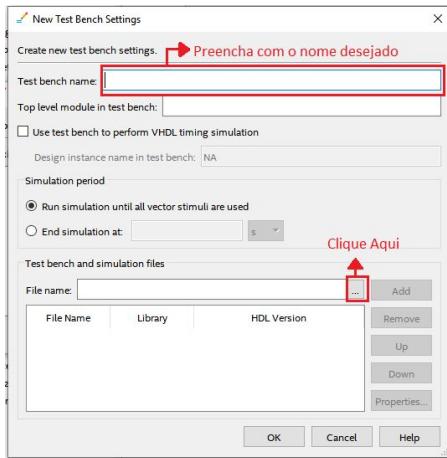
Selecione a área de configuração da simulação indicada por “Simulation”. Altere a “Tool name” para “ModelSim-Altera”. Selecione “Compile test bench” como o indicado e então, clique em “Test Benches”. Todas as áreas citadas foram destacadas por um retângulo vermelho na imagem abaixo.



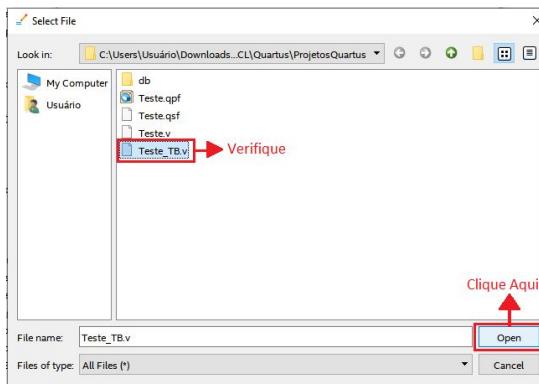
Para selecionar uma nova configuração de Test Benches clique em “New...”, destacado com um retângulo vermelho na imagem.



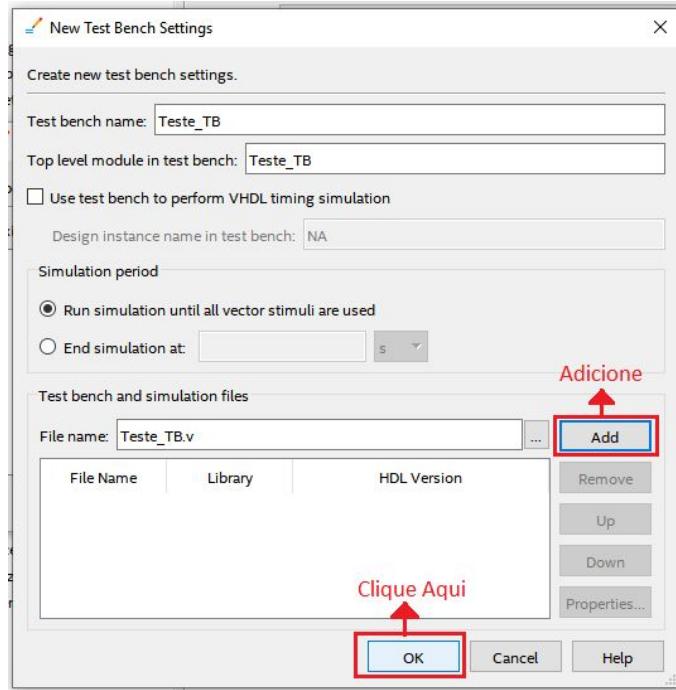
Preencha o espaço vazio do “Test bench name:”, recomendado utilizar o mesmo nome do arquivo que será utilizado. Além disso, para selecionar o arquivo que foi criado para ser o test bench clique nos três pontos indicado por “...”, destacado com um retângulo vermelho na imagem.



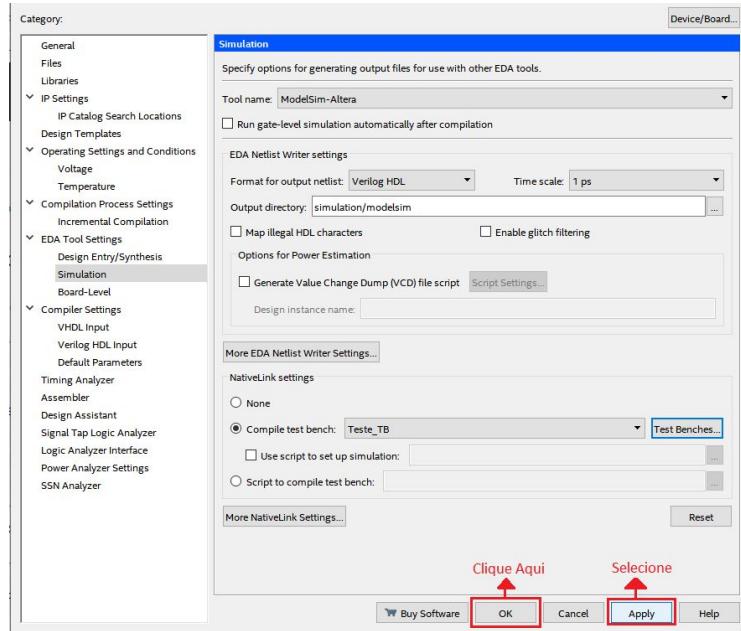
Selecione o arquivo reservado para ser tech bench, no exemplo em questão o “Teste_TB.v” e clique para abrir indicado por “Open”, destacado com um retângulo vermelho na imagem.



Com o arquivo selecionado será necessário confirmá-lo adicionando ele utilizando o botão “Add”, destacado com um retângulo vermelho na imagem. Finalize clicando em “Ok”, destacado com um retângulo vermelho na imagem.



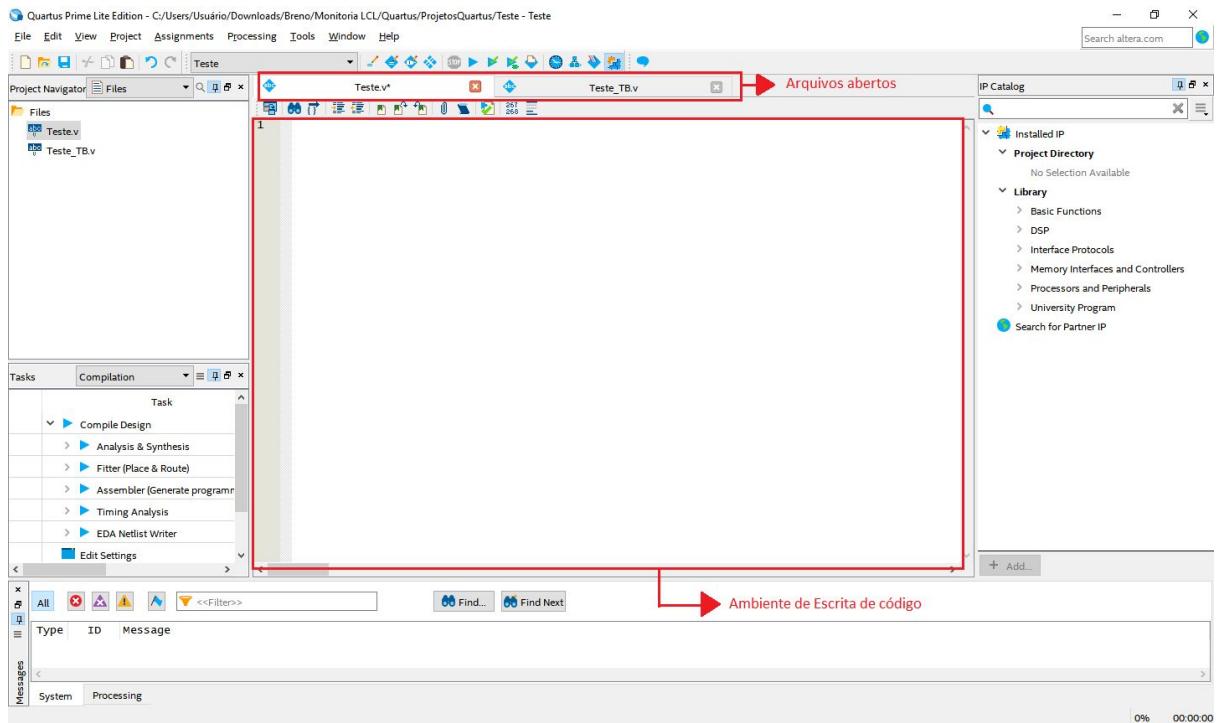
Com todas as alterações feitas, ou seja, tudo configurado deverá aplicar as alterações realizadas clicando em “Apply” e finalize clicando em “Ok”, ambos destacado com um retângulo vermelho na imagem.



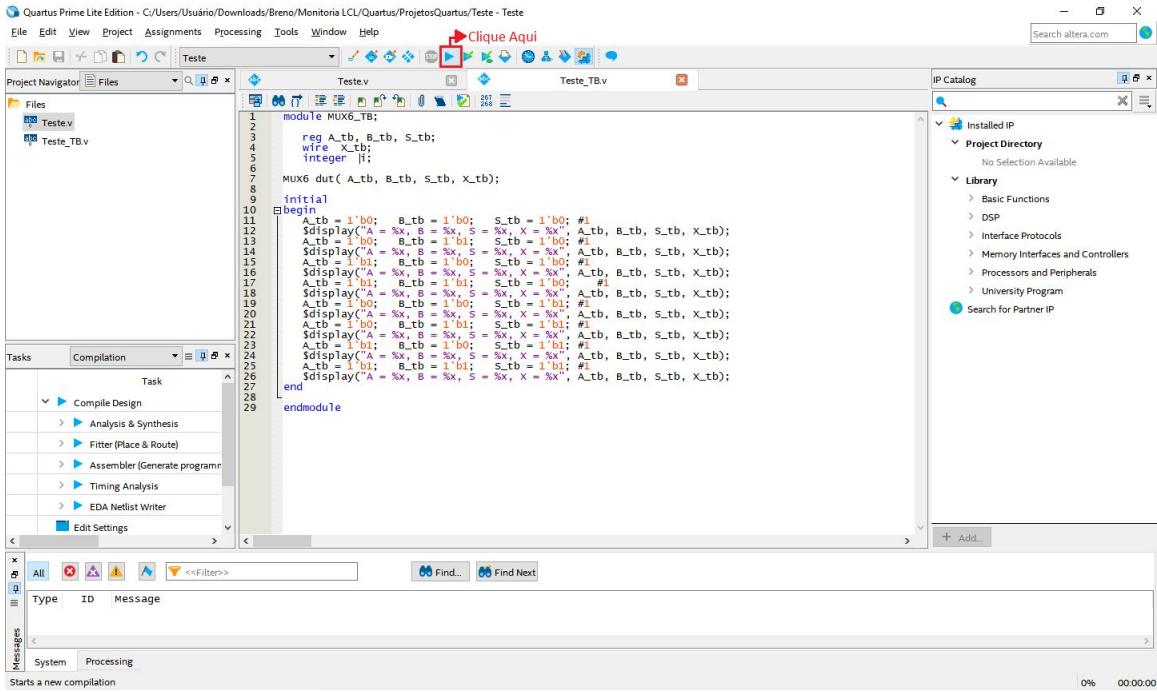
04º Passo: Escrevendo e Compilando o Código

Nesta etapa será disponibilizado um código para realizar um teste de simulação posteriormente. Copie o [Código Teste](#) e cole no arquivo “Teste” no ambiente de escrita de

código, destacado com um retângulo vermelho na imagem, e salve as alterações utilizando o atalho Ctrl+S, salvar apenas o arquivo em uso, ou o Ctrl+Shift+S, salvar todos os arquivos do projeto. Realize o mesmo procedimento alterando o arquivo aberto na parte superior, destacado com um retângulo vermelho na imagem, para o “Teste_TB” copiando o [Código Teste_TB](#) e colando no ambiente.



Após escrever os códigos e salvá-los para compilar o código clique em “Start Compilation”, um símbolo parecido com Play na barra superior, destacado com um retângulo vermelho na imagem. Espere até a finalização da compilação, pode demorar, é possível visualizar uma estimativa de porcentagem na parte inferior direita da tela.



```

Quartus Prime Lite Edition - C:/Users/Usuario/Downloads/Breno/Monitoria LCL/Quartus/ProjetosQuartus/Teste - Teste
File Edit View Project Assignments Processing Tools Window Help
Teste.v Teste_TB.v IP Catalog
Project Navigator Files Search altera.com
Clique Aqui
1 module MUX6_TB;
2
3   reg A_tb, B_tb, S_tb;
4   wire X_tb;
5   integer i;
6
7   MUX6 dut(A_tb, B_tb, S_tb, X_tb);
8
9   initial
10 begin
11     A_tb = 1'b0; B_tb = 1'b0; S_tb = 1'b0; #1
12     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
13     A_tb = 1'b0; B_tb = 1'b1; S_tb = 1'b0; #1
14     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
15     A_tb = 1'b1; B_tb = 1'b0; S_tb = 1'b0; #1
16     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
17     A_tb = 1'b1; B_tb = 1'b1; S_tb = 1'b0; #1
18     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
19     A_tb = 1'b0; B_tb = 1'b0; S_tb = 1'b1; #1
20     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
21     A_tb = 1'b0; B_tb = 1'b1; S_tb = 1'b1; #1
22     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
23     A_tb = 1'b1; B_tb = 1'b0; S_tb = 1'b1; #1
24     $display("A = %x, B = %x, S = %x, X = %x", A_tb, B_tb, S_tb, X_tb);
25     A_tb = 1'b1; B_tb = 1'b1; S_tb = 1'b1; #1
26   end
27 endmodule
28
29

```

Tasks Compilation

- Task
- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate program)
- Timing Analysis
- EDA Netlist Writer
- Edit Settings

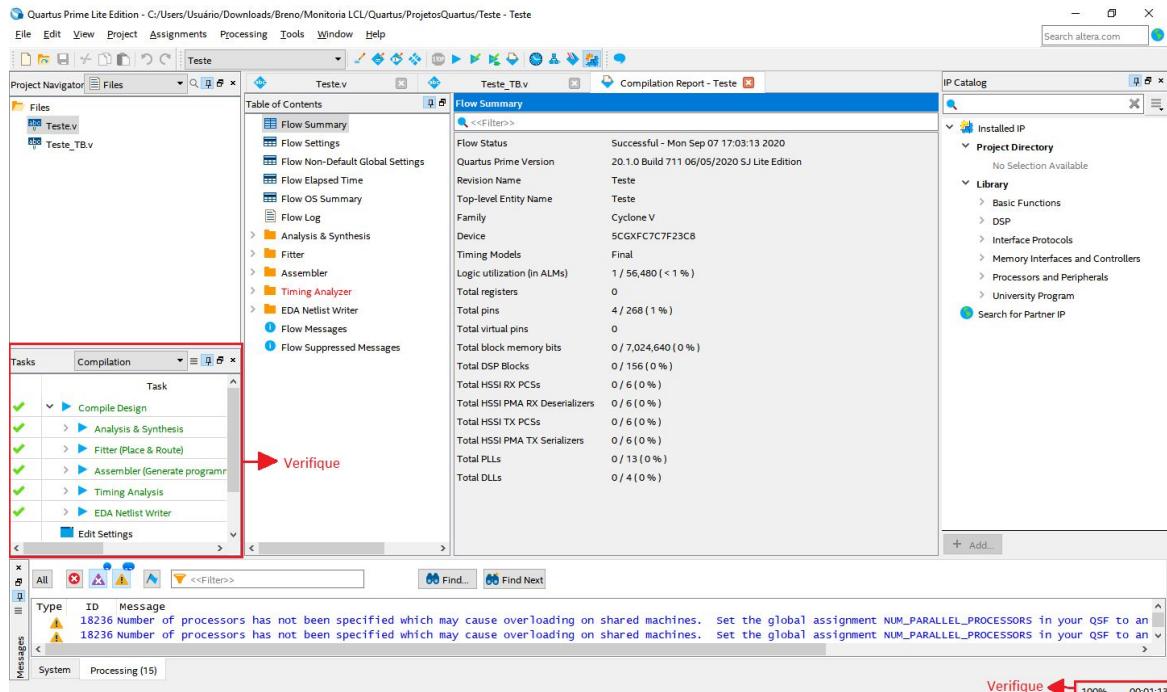
Messages

System Processing

Starts a new compilation

0% 00:00:00

Quando finalizado aparecerá como na imagem abaixo, caso o projeto tenha sido compilado com sucesso, podendo ser verificado a porcentagem em 100% e o símbolo de “V” em destaque verde nos processos de compilação.



Quartus Prime Lite Edition - C:/Users/Usuario/Downloads/Breno/Monitoria LCL/Quartus/ProjetosQuartus/Teste - Teste

File Edit View Project Assignments Processing Tools Window Help

Teste.v Teste_TB.v Compilation Report - Teste

Project Navigator Files IP Catalog

Clique Aqui

Flow Summary

Flow Status	Successful - Mon Sep 07 17:03:13 2020
Quartus Prime Version	20.1.0 Build 711 06/05/2020 SJ Lite Edition
Revision Name	Teste
Top-level Entity Name	Teste
Family	Cyclone V
Device	5CGXF7C7F23C8
Timing Models	Final
Logic utilization (in ALMs)	1 / 56,480 (< 1%)
Total registers	0
Total pins	4 / 268 (1 %)
Total virtual pins	0
Total block memory bits	0 / 7,024,640 (0 %)
Total DSP Blocks	0 / 156 (0 %)
Total HSSI RX PCSS	0 / 6 (0 %)
Total HSSI PMA RX Deserializers	0 / 6 (0 %)
Total HSSI TX PCSS	0 / 6 (0 %)
Total HSSI PMA TX Serializers	0 / 6 (0 %)
Total PLLs	0 / 13 (0 %)
Total DLLs	0 / 4 (0 %)

Tasks Compilation

- Task
- Compile Design
- Analysis & Synthesis
- Fitter (Place & Route)
- Assembler (Generate program)
- Timing Analysis
- EDA Netlist Writer
- Edit Settings

Messages

Type ID Message

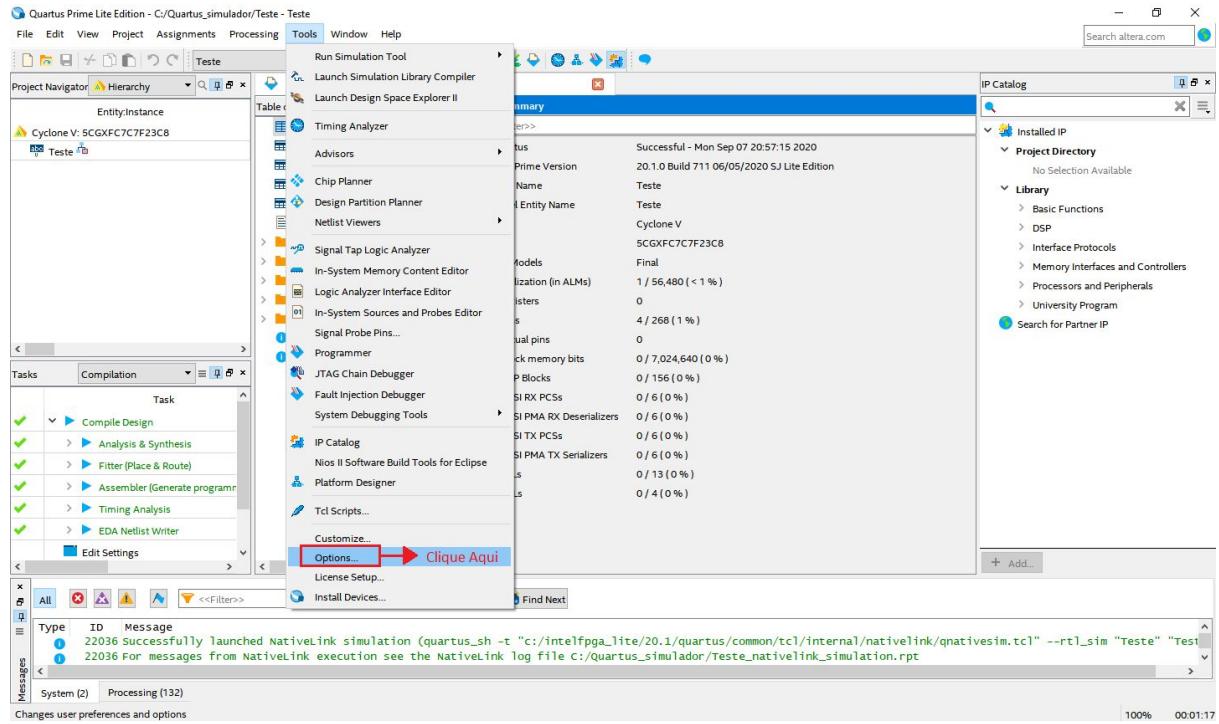
18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value.

18236 Number of processors has not been specified which may cause overloading on shared machines. Set the global assignment NUM_PARALLEL_PROCESSORS in your QSF to an appropriate value.

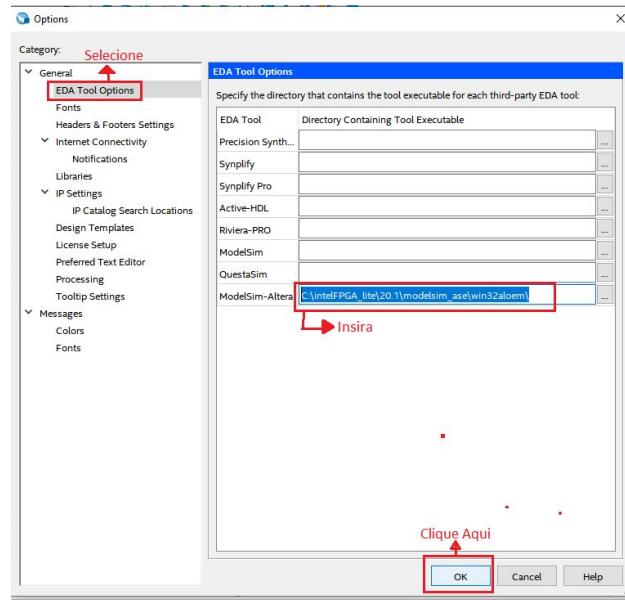
Verifique 100% 00:01:13

05º Passo: Simulação

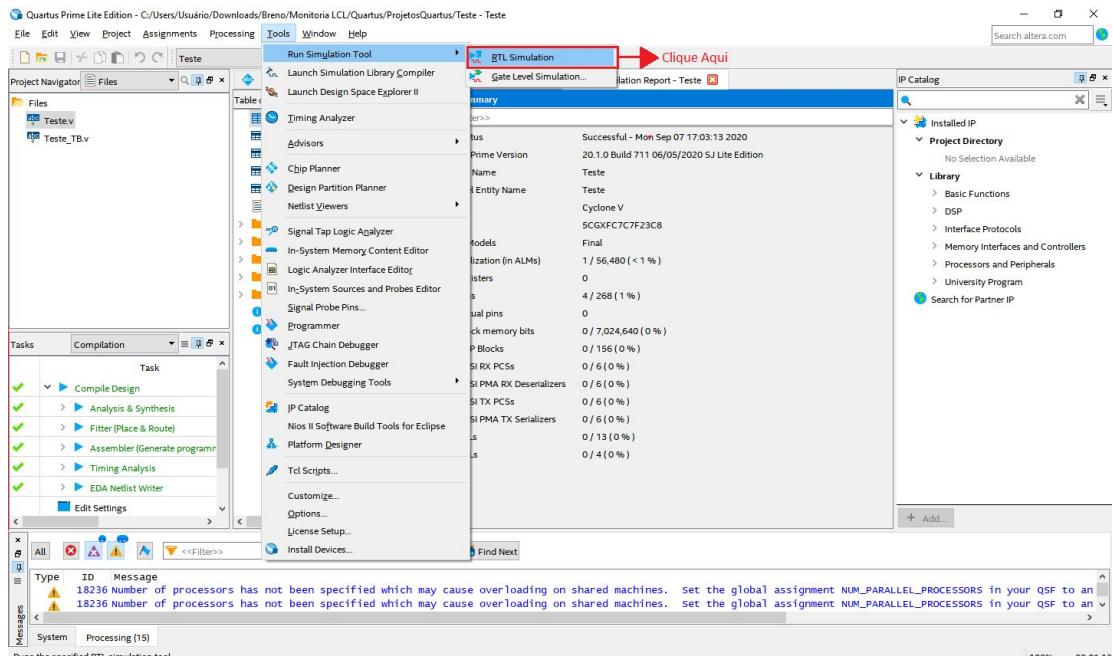
Verifique se o local onde foi instalado o simulador, já está embutido na versão instalada, está sendo referenciado. Para fazer isso será necessário clicar em “Tools” e clicar em “Options”, destacado com um retângulo vermelho na imagem.



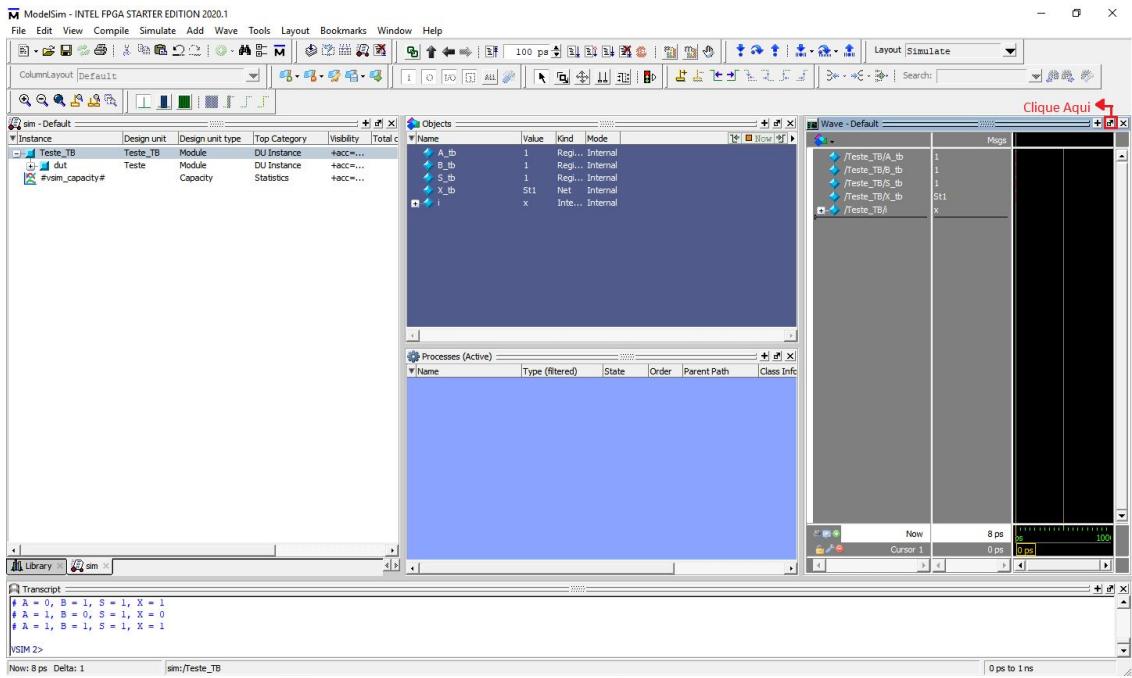
Logo será aberto uma janela selecione “EDA Tool Options”, provavelmente, no espaço ao lado de “ModelSim-Altera” estará em branco, insira o caminho até chegar na pasta “win32aloem”. Caso não tenha alterado no momento da instalação será “C:\intelFPGA_lite\20.1\modelsim_ase\win32aloem\”, copie e cole no espaço em branco, destacado com um retângulo vermelho na imagem. Finalize clicando em “Ok”, destacado com um retângulo vermelho na imagem.



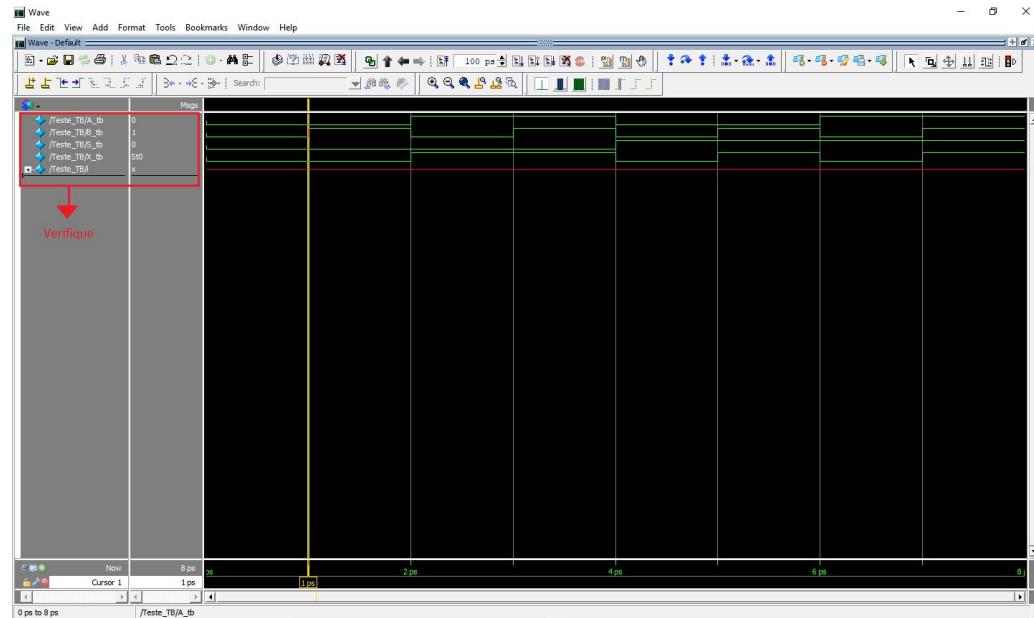
Para iniciar o processo de simulação selecione as ferramentas do programa na parte superior identificado com o nome “Tools”, em seguida selecione a opção “Run Simulation Tool”, finalmente para abrir a área de simulação clique em “RTL Simulation”, destacado com um retângulo vermelho na imagem.



Abaixo podemos observar o ambiente de simulação, o qual pode ser bastante personalizado, em vista que atualmente se encontra com bastante poluição visual, encontre a parte com o título Wave e clique no local indicado, destacado com um retângulo vermelho na imagem, para expandir a tela.



Com a tela expandida será mais fácil de identificar os pulsos e os valores, caso sua tela esteja como a exibida na imagem, o seu programa estará funcionando corretamente.



Caso as exibições em seu computador estão iguais às disponibilizadas neste tutorial, o programa instalado possui um funcionamento convencional. Caso contrário entre em contato com alguns dos monitores ou procure a solução na internet.

Tutorial desenvolvido pelos monitores

Breno Pinheiro de Meneses

Experimento 4: Introdução ao Quartus

Objetivo 1: Apresentar a forma de descrever a conexão de portas de entradas e portas de saída de um módulo.

- a) Botões de 0 a 3 conectados aos Led's verdes de 0 a 3. Os botões são referenciados no Quartus II pela palavra KEY; portanto a primeira linha será: assign LEDG[0] = KEY[0]. As outras 3 linhas serão semelhantes, mudando apenas o índice do LEDG e do KEY;
- b) Chaves de 0 a 10, conectadas aos Led's vermelhos (Red) de 0 a 10. As chaves são referenciadas com SW, portanto a primeira linha será: assign LEDR[0] = SW[0]. As outras 10 linhas irão mudar apenas os índices do LEDR e do SW;

Objetivo 2: Sabendo que os operadores lógicos para a porta AND é o & , OR é o | , e para inverter o resultado da operação é utilizado ~, elabore os módulos para as portas AND, NAND, OR e NOR por tabela-verdade.

Verifique os diagramas RTL gerados pelo Quartus II para vários níveis de hierarquia acessando o menu: Tools \ Netlist Viewers \ RTL Viewer

Objetivo 3: Utilizando o conceito de hierarquia, realize a implementação em Verilog de um circuito lógico com 2 variáveis de entrada que terá saída igual 1 sempre que a quantidade de indivíduos no ambiente seja menor que 2, essa saída será comparada com uma outra entrada e terão saídas iguais a 1 sempre os valores de entrada não forem iguais a 0. Implemente o circuito a seguir:

