

Universidade Federal de Campina Grande - UFCG
Centro de Engenharia Elétrica e Informática - CEEI
Departamento de Engenharia Elétrica - DEE

Nome: Alysson Machado de Oliveira Barbosa

Email: alysson.barbosa@ee.ufcg.edu.br

Disciplina: Laboratório de Circuitos Lógicos

Professora: Fernanda Cecília Correia Lima Loureiro

Experimento 01 - AND com três entradas, XNOR, Comparador de 3 bits

Objetivo 1

Especificação e projeto de uma AND com três entradas, com os seguintes tipos de sinais: entradas de dados NAA (Nível Alto Ativo), e saídas de dados NAA (Nível Alto Ativo).

Expressão Lógica 1

Para esse problema, teremos a seguinte expressão lógica:

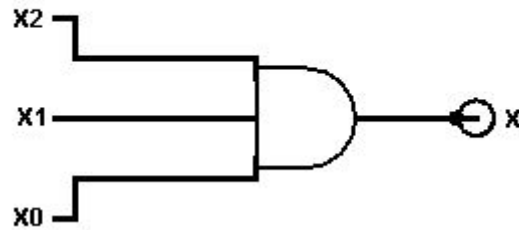
$$X = X_2 X_1 X_0$$

Além disso, podemos expressar a tabela verdade do seguinte modo:

X_2	X_1	X_0	X
1	1	1	1
1	0	0	0
0	1	0	0
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	0
0	0	0	0

Circuito 1

Figura 1 - Porta AND com três entradas



Fonte: Imagem autoral

Objetivo 2

Especificação e implementação de uma porta XNOR, com os seguintes tipos de sinais: entradas de dados NAA (Nível Alto Ativo) e saída de dados NAA (Nível Alto Ativo). Utilizar apenas portas NAND de duas entradas e inversores, usando a Equivalência de circuitos.

Expressão Lógica 2

A expressão lógica para o desenvolvimento de uma porta XNOR com portas NAND e inversores (Figura 2), através de equivalência de circuitos, pode ser expresso por:

$$Z = \sim(\sim(\sim(\sim AB)\sim(A\sim B)))$$

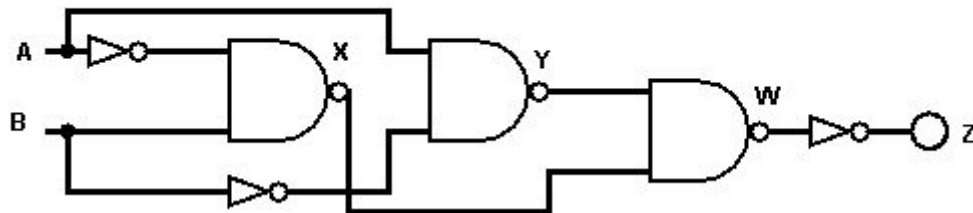
De mesmo modo, podemos expressar a tabela verdade da seguinte forma:

A	A'	B	X = (A'B)'	Y = (AB')'	W = (XY)'	Z = W'
0	1	0	1	1	0	1
1	0	0	1	0	1	0
0	1	1	0	1	1	0
1	0	1	1	1	0	1

Circuito 2

Abaixo (Figura 2) segue um esquema do diagrama lógico da porta XNOR implementada com a utilização de portas NAND e inversores.

Figura 2 - XNOR a partir de portas NAND e inversores



Fonte: Imagem Autoral

Aplicações

Essa porta lógica poderia ser aplicada na construção de dois interruptores em paralelo, em que uma lâmpada, por exemplo, será acionada quando ambos os interruptores estiverem ligados e, com a adição de algumas implementações no circuito, desligadas quando ambos forem apagadas.

Objetivo 3

Especificação e implementação de um Comparador de 3 bits, com os seguintes tipos de sinais: entradas de dados NAA (Nível Alto Ativo) e saída de dados NAA (Nível Alto Ativo).

Expressão Lógica 3

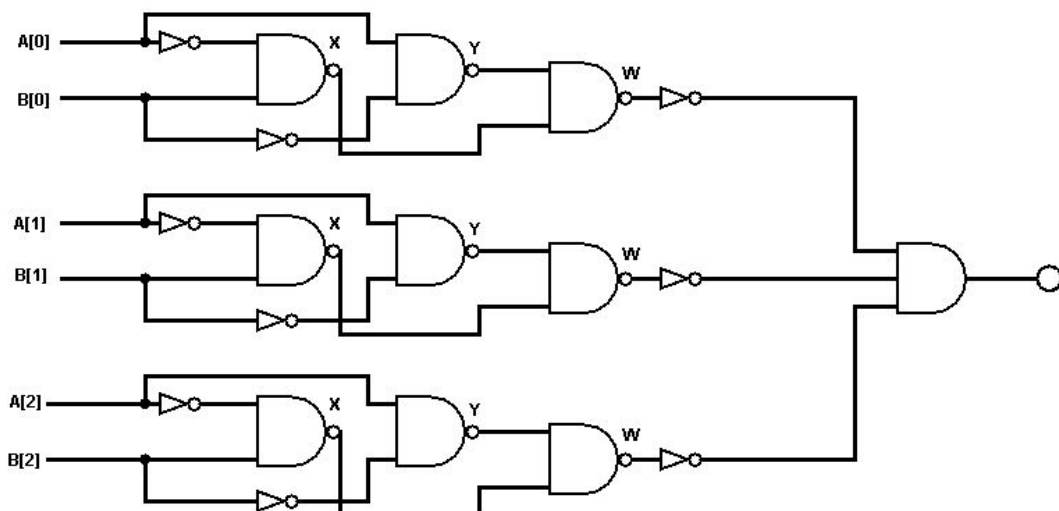
O funcionamento deste comparador binário visa analisar dois números em binário, cada um com 3 bits, de modo que, de bit a bit, seja verificado essa condição. Abaixo (Figura 3) foi montado um comparador binário usando os elementos esquematizados anteriormente (Figura 1 e Figura 2).

Segue abaixo um esquema da tabela verdade deste comparador, tomando como base algumas das inúmeras possíveis possibilidades.

A[0]	A[1]	A[2]	B[0]	B[1]	B[2]	X
0	0	0	0	0	0	1
0	1	1	0	1	1	1
1	0	1	1	1	1	0
1	1	1	1	0	1	0
0	0	0	1	1	1	0
1	0	1	1	0	1	1
0	1	1	1	1	1	0
1	0	1	1	0	1	1
0	1	0	1	0	1	0
1	1	1	1	1	1	1

Circuito 3

Figura 3 - Comparador Binário de 3 bits



Fonte: Imagem Autoral

Questionamentos

Analisando o funcionamento do comparador binário de 3 bits, podemos imaginar inúmeras aplicações para ele na vida real. Uma dessas aplicações seria uma fechadura de porta com senha, na qual o usuário teria que digitar uma sequência numérica para destravá-la.

Além disso, pensando na segurança do sistema, poderíamos aumentar a quantidade de bits a serem comparados, de modo a fortalecer a senha. Por fim, poderia ser implementado um sistema que recebe os dados do teclado em números decimais e converte-os para números em binário.