

Travaux dirigés : n° 3

Questions de cours:

Q1 : Dans un ordinateur, qu'est-ce qu'une barrette mémoire ?

Q2 : Quelles sont les principales différences entre la DRAM et la SRAM ?

Q3 : Où utilise-t-on de la DRAM? De la SRAM ?

Q4 : Quelles sont les principales différences entre la RAM et la ROM ?

Q5 : Où utilise-t-on de la ROM ?

Q6 : Classez les mémoires suivantes par taille et par rapidité :

RAM, registres, disques durs, cache L1, cache L2, cd-rom

Q7 : Expliquez le concept de localité de référence et indiquez son importance pour les systèmes de mémoire.

Q8 : Quelles sont les trois formes de localité ?

Q9 : Expliquez la différence entre la mémoire cache entièrement associative (fully associative cache) et la mémoire cache directement mappée (direct mapped cache).

Q10 : Expliquez comment la mémoire cache associative par ensembles (set associative) combine les deux concepts de la mémoire à correspondance directe (direct mapped cache) et de la mémoire cache totalement associative (fully associative cache).

Q11 : Expliquez les quatre algorithmes de remplacement des blocs de la mémoire cache.

Exercice 1 :

1. Une mémoire stocke des mots de 8 bits (1 octet) et possède 216 cases mémoires. Quelle est la taille totale de la mémoire en kilo-octets (Ko)?
2. Une mémoire stocke des mots de 16 bits (2 octets) et nécessite 8 bits pour les adresser. Quelle est la taille totale de la mémoire en octets?
3. Une mémoire possède une taille totale de 32 Mo et peut stocker des mots de 32 bits.
 - a. Combien de bits a-t-on besoin pour représenter les adresses dans cette mémoire?
 - b. Quelles sont les adresses minimales et maximales de cette mémoire exprimée en hexadécimal?

Exercice 2 :

Soit un ordinateur à architecture bus système, composé d'un processeur travaillant à une fréquence de 1000 MHz, d'une mémoire centrale avec le nombre de lignes de données = 16 et le nombre de lignes d'adresse = 32.

1. Donner le taux de transfert (théorique) d'un bus de données d'un processeur.

2. Donner la taille (en Bits) du RAM (Registre d'Adresse Mémoire), RIM (Registre d'Information Mémoire), CO (Compteur Ordinal) et ACC (Accumulateur).
3. Donner la capacité de cette mémoire en Méga Octets.
4. Donner la plage d'adressage de cette mémoire (en hexadécimal/base 16)
5. Si la taille du mot est égale à 32 bits, donner le nombre de mots adressables.

Exercice 3 :

Soit une machine avec un registre d'adresse mémoire (RAM) comporte 32 bits, calculer :

1. Le nombre de mots adressable si un mot = 1 octet, et si un mot = 16 bits.
2. La plus haute adresse possible dans les deux cas.
3. La capacité de la mémoire centrale dans les deux cas.
4. La taille des registres CO, RI, et ACC dans les deux cas.

Exercice 4 :

Une mémoire possède 13 lignes d'adresses et 8 lignes de données :

1. Combien de mots binaires peut-on emmagasiner dans cette mémoire et combien de bits possède ce mot?
2. Quelle est la capacité totale de cette mémoire (en bits)?
3. Donner l'architecture réduite de cette mémoire.

Lesquelles de ces organisations de mémoire sont plausibles ou envisageables ?

- Registre d'adresses de 10 bits, 1024 cellules, 08 bits par cellule
- Registre d'adresses de 10 bits, 1024 cellules, 12 bits par cellule
- Registre d'adresses de 9 bits, 1024 cellules, 10 bits par cellule
- Registre d'adresses de 11 bits, 1024 cellules, 10 bits par cellule
- Registre d'adresses de 10 bits, 10 cellules, 1024 bits par cellule

Exercice 5 :

Soit une machine dotée d'une mémoire centrale de 256 Méga bits et un registre de donnée 16bits.

1. Combien de valeur différente peut prendre un mot de cette mémoire ?
2. Donner la taille du bus d'adresse qui permet d'accéder à cette mémoire.
3. Est-ce que cette mémoire peut avoir un mot mémoire de 8 bits ? justifier votre réponse
4. Supposant que processeur travaillant à une fréquence de 2000 MHz, donner le taux de transfert (théorique) d'un bus de donnée d'un processeur en MOcts/s.
5. Donner l'architecture réduite de cette mémoire.

Exercice 6 :

Le chargement des données depuis le disque dur vers la mémoire centrale s'effectue via un bus de 64 bits et la capacité de cette mémoire est de 32 Giga-octets.

1. Donner le nombre de lignes de donnée.
2. Donner le nombre de ligne d'adresse.
3. Donner la taille des registres : RI (Registre d'instruction) et CO (Compteur Ordinal).
4. Donner l'adresse du dernier mot en Binaire et en Hexadécimal.
5. On veut stocker sur cette mémoire des nombres réels. Calculer en Hexadécimale l'adresse du dixième nombre sachant que le premier nombre est stocké à partir de l'adresse $1F_{(16)}$ et que chaque nombre est représenté sur 8 Octets.

Exercice 7 :

Soit une machine munie d'une mémoire ayant les caractéristiques suivantes :

- L'adresse maximale en hexadécimal pouvant être prise par un mot mémoire est « FFFFFFF »
 - La capacité mémoire est de 256 Méga bits
- 1- Calculer la taille du bus d'adresse qui permet d'accéder à cette mémoire.
 - 2- Calculer la taille d'un mot mémoire.
 - 3- Proposer une architecture réduite pour cette mémoire (nombre de lignes d'adresses ; nombre de lignes de données ; taille du registre de mémoire de données ; taille du registre de mémoire d'adresse)

Exercice 8 :

Supposons qu'un ordinateur utilisant une mémoire cache à correspondance directe (direct mapped cache) dispose de 2^{20} mots de mémoire principale et d'une mémoire cache de 32 blocs, où chaque bloc de cache contient 16 mots.

- 1- Combien de blocs contient la mémoire principale ?
- 2- Quel est le format d'une adresse mémoire vue par la mémoire cache, c'est-à-dire, quelles sont les tailles des champs "étiquette" (tag), "bloc", et "mot" ?
- 3- À quel bloc de cache l'adresse mémoire $0DB63_{16}$ sera-t-elle mappée ?

Exercice 9 :

Supposons qu'un ordinateur utilisant une mémoire cache à correspondance directe (direct mapped cache) dispose de 2^{32} mots de mémoire principale et d'une mémoire cache de 1024 blocs, où chaque bloc de cache contient 32 mots.

- 1- Combien de blocs contient la mémoire principale ?
- 2- Quel est le format d'une adresse mémoire vue par la mémoire cache, c'est-à-dire, quelles sont les tailles des champs "étiquette" (tag), "bloc", et "mot" ?
- 3- À quel bloc de cache l'adresse mémoire $000063FA_{16}$ sera-t-elle mappée ?

Exercice 10 :

Dans cet exercice, nous examinons les propriétés de localité mémoire dans le cadre du calcul matriciel. Le code suivant est écrit en C, où les éléments d'une même ligne sont stockés de manière contiguë :

a.	<pre>for (I = 0; I < 8; I++) for (J = 0; J < 8000; J++) A[I][J] = B[I][0] + A[J][I];</pre>
----	--

b.	<pre>for (J = 0; J < 8000; J++) for (I = 0; I < 8; I++) A[I][J] = B[I][0] + A[J][I];</pre>
----	--

- 1- Combien d'entiers de 32 bits peuvent être stockés dans une ligne de cache de 16 octets ?
- 2- Quelles variables montrent une localité temporelle ?
- 3- Quelles variables montrent une localité spatiale ?

Exercice 11 :

Les hiérarchies de mémoire pour différentes applications :

- a. Gestion des versions logicielles
 - b. Passer des appels téléphoniques.
- 1- En supposant que le client et le serveur participent au processus, identifiez d'abord les systèmes client et serveur. Où peut-on placer des caches pour accélérer le processus ?
 - 2- Concevez une hiérarchie de mémoire pour le système. Indiquez les tailles typiques et les latences aux différents niveaux de la hiérarchie. Quelle est la relation entre la taille du cache et sa latence d'accès ?
 - 3- Quelles sont les unités de transfert de données entre les niveaux de hiérarchie ? Quelle est la relation entre l'emplacement des données, la taille des données et la latence de transfert ?

Exercice 12 :

Supposons qu'un ordinateur utilisant une mémoire cache totalement associative (fully associative) dispose de 2^{16} mots de mémoire principale et d'une mémoire cache de 64 blocs, où chaque bloc de cache contient 32 mots.

- 1- Combien de blocs de la mémoire principale y a-t-il ?
- 2- Quel est le format d'une adresse mémoire vue par la mémoire cache, c'est-à-dire quelles sont les tailles des champs "étiquette" (tag) et "mot" (word) ?
- 3- À quel bloc de cache la référence mémoire 0xF8C9 sera-t-elle mappée ?

Exercice 13:

Un processeur dispose d'un espace d'adressage mémoire de 32 bits (c'est-à-dire des adresses de 32 bits). La mémoire est divisée en blocs de 32 octets chacun. L'ordinateur dispose également d'un cache capable de stocker 16K octets.

- 1- Combien de blocs le cache peut-il stocker ?
- 2- En supposant que le cache utilise un mappage direct (direct mapped cache), combien de bits y a-t-il dans chacun des champs "étiquette" (tag), "bloc", et "mot" de l'adresse ? Montrez vos calculs.
- 3- En supposant que le cache utilise un mappage associatif à 4 voies, combien de bits y a-t-il dans chacun des champs "étiquette" (tag), "bloc", et "mot" de l'adresse ? Montrez vos calculs.

Exercice 14 :

Supposons qu'un ordinateur utilisant une mémoire cache associatif par ensembles (set associative cache) dispose de 2^{16} mots de mémoire principale, d'une mémoire cache de 32 blocs, et que chaque bloc de cache contient 8 mots.

- 1- Si cette mémoire cache associatif par ensembles à 2 lignes (2-way set associative), quel est le format d'une adresse mémoire vue par le cache, c'est-à-dire quelles sont les tailles des champs "tag", "ensemble ou Set" et "mot" ?
- 2- Si cette mémoire cache associatif par ensembles à 4 lignes (4-way set associative), quel est le format d'une adresse mémoire vue par le cache ?

Exercice 15 :

Considérez un ordinateur adressable par octet avec des adresses de 24 bits, une mémoire cache capable de stocker un total de 64 Ko de données et des blocs de 32 octets. Montrez le format d'une adresse mémoire de 24 bits pour :

- 1- Correspondance directe (direct mapped cache)
- 2- Totalelement associatif (fully associative cache)
- 3- Associatif par ensembles à 4 lignes (4-way set associative)