

计算机组成原理2

第 1 页

上海大学 2007 ~ 2008 学年 春 季学期试卷 A

成绩

课程名: 计算机组成原理(二) 课程号: 08305074 学分: 3.0

应试人声明:

我保证遵守《上海大学学生手册》中的《上海大学考场规则》，如有考试违纪、作弊行为，愿意接受《上海大学学生考试违纪、作弊行为界定及处分规定》的纪律处分。

应试人 _____ 应试人学号 _____ 应试人所在院系 _____

题号	一	二	三	四	五	六	七	八	九
得分									

一、 选择题 (每空 1 分, 共 15 分)

- 静态存储器的存储单元采用_____的方式存储每位信息。
A、栅极电容
B、磁化单元
C、双稳态触发器
D、栅极电感
- 磁盘上不同盘面相同半径的同心圆所构成的磁记录轨迹集合称为_____。
A、扇区
B、磁道
C、磁带
D、园柱面
- 某一动态存储器 (DRAM) 芯片的行、列地址共线, 其容量为 64K*1 位, 则该芯片的地址与数据引脚数的和是_____。
A、9
B、14
C、10
D、17
- 在不断电的情况下, 其存储单元所存信息也会失去的存储器是_____。
A、EEPROM
B、DRAM
C、EPROM
D、SRAM
- 相联存储器是按_____进行寻址的存储器。
A、地址指定方式;
B、内容指定方式;
C、堆栈存取方式。
D. 地址指定方式与内容指定方式
- 计算机指令指定的访问主存储器所用的地址叫做_____。
A、逻辑地址
B、物理地址
C、真实地址
D、扇区地址

注: 教师应使用计算机处理试题的文字、公式、图表等; 学生应使用水笔或圆珠笔答题。

7、中断向量是_____。

- A、子程序入口地址
- B、中断服务程序入口地址
- C、中断服务程序入口地址的地址
- D、中断类型表首地址

8、下列编码中，没有自同步能力的编码是_____。

- A、PM
- B、NRZ
- C、FM
- D、PM 和 FM

9、活动头磁盘存储器的平均存取时间是指_____。

- A、平均找道时间
- B、平均找道时间减去平均等待时间
- C、平均等待时间
- D、平均找道时间加平均等待时间

10、计算机存储系统中，各存储器速度快慢关系正确的是_____。

- A、实存>CACHE>辅存
- B、辅存>实存>CACHE
- C、实存>辅存>CACHE
- D、CACHE>实存>辅存

11、采用 DMA 周期窃取方式传送数据时，每传送一个数据要占用 CPU_____ 的时间。

- A、一个指令周期
- B、一个 CPU 周期；
- C、一个存储周期。
- D.一个 T 周期

12、主机与外设采用_____传送数据时，所需的 CPU 时间最少。

- A、DMA 方式
- B、程序查询方式
- C、通道方式
- D、中断方式

13、中断允许触发器用于_____。

- A、指示有中断正在进行处理
- B、向 CPU 发中断请求
- C、禁止或允许某个中断源的中断请求
- D、开放或关闭整个中断系统

14、下列叙述中_____是正确的。

- A、程序中断方式和 DMA 方式中实现数据传送都需中断请求
- B、程序中断方式中有中断请求，DMA 方式中没有中断请求
- C、程序中断方式和 DMA 方式中都有中断请求，但目的不同

15、总线的同步通信方式_____。

- A、既不采用时钟信号，也不采用握手信号
- B、既采用时钟信号，也采用握手信号
- C、不采用时钟信号，只采用握手信号
- D、只采用时钟信号，不采用握手信号

二、填空题、(每空 1 分, 共 15 分)

- 1、可一次性写入的只读存储器的英文简称是_____。
- 2、CPU 访问 CACHE 时, 经过主存块地址与 CACHE 中的标志进行比较, 判断出访问的内容在 CACHE 中, 这种情况称为_____。
- 3、为了保持 CACHE 与主存储器的一致性, 通常有二种写入方式是: _____和 _____。
- 4、根据主存-辅存间信息传输单位的不同, 虚拟存储器分为_____, _____和 _____三种。
- 5、I/O 设备的编址方式有_____和_____二种, 后者需要专用_____实现 I/O 操作。
- 6、当主存储器字块需要调入 CACHE 存储器时, 但其可用位置又被占满时, 就产生替换算法问题, 常用的替换算法有_____和_____两种。
- 7、按通道的工作方式分有_____通道、_____通道和_____通道三种类型。

三、简答题 (共 20 分)

- 1、(共 10 分) 在总线结构计算机中
 - (1) 总线判优要解决什么问题? (2 分)
 - (2) 总线判优控制有哪几种方法? (2 分)
 - (3) 常用的总线判优电路采用什么电路? (2 分)
 - (4) 总线通信有哪几种方式? (2 分)
- (5) 在不同的总线通信方式中如何实现控制数据传送? (2 分)

2、(共 10 分) 在采用程序中断方式和 DMA 方式实现数据传送控制时, 问

- (1) 哪种方式是采用硬件完成数据传送? (2 分)
- (2) 哪种方式需要完成保护断点, 保护现场等操作? (2 分)
- (3) 两种方式的请求分别在什么时间响应? (2 分)
- (4) 两种方式的请求其优先级哪个高? (2 分)
- (5) 哪种方式可以用于其他异常情况的处理? (2 分)

四、计算题 (共 20 分)

1、(共 12 分) 有一个 $1024K \times 32$ 的动态存储器, 其内部结构阵列为 1024×1024 , 请计算:

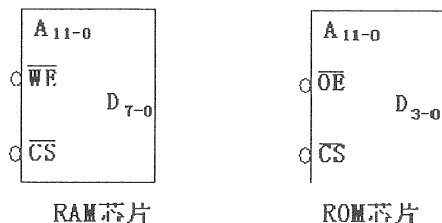
- (1) 采用分散刷新方式, 如单元刷新间隔不超过 $2ms$, 则刷新的周期是多少? (6 分)
- (2) 如采用集中式刷新, 设读/写周期 $T=0.05\mu s$, 存储器刷新一遍需要多少时间? (6 分)

2. (共 8 分) 假定设备 B 向 CPU 传送数据的最高频率为 40000 次/秒, 而相应的中断服务程序的执行时间为 $40\mu s$, 设备 B 能否采用中断方式工作? (4 分), 并说明理由。(4 分)

五、综合题 (共 30 分)

1. (共 17 分) 已知某 CPU 字长 8 位, 地址 16 位。

- (1). CPU 所能访问的最大主存空间是多少? (3 分)
- (2). 若使用 $4K \times 8$ 的 RAM 芯片和 $4K \times 4$ 的 ROM 芯片来组成 $8K \times 8$ 的存储器. 其中 ROM 为低 $4K$, 最低地址为 0。
 - ①该 $8K \times 8$ 的存储器需多少根地址线和数据线? (2 分)
 - ②RAM 和 ROM 地址范围分别是多少? (写出十六进制形式) (2 分)
 - ③RAM 芯片和 ROM 芯片各需多少片? (2 分)
 - ④画出存储器与 CPU 的连接逻辑图. (CPU 上须连接的线为地址总线, 数据总线, MREQ 及 WR) (8 分)



2、(共 13 分) 在采用直接映像的 Cache-主存结构中, 已知主存为 $128M$, cache 存储器为 $256K$, 每块大小为 $1K$, 问:

- (1) 该 CACHE 可容纳多少个块? (3 分)
- (2) 该主存可容纳多少个块? (3 分)
- (3) 写出 cache 与主存间的直接映像函数。(4 分)
- (4) 进行地址映射时, 存储器地址分成哪几段? 各段分别有多少位? (3 分)

计算机组成原理(二)2007-2008 试卷 A 答案

此答案不是标准答案，是我自己做的，只做参考。如有错误，请联系我，谢谢~~

吕圣卿

一、选择题

1. C
2. D
3. A
4. B
5. B
6. A
7. B
8. B
9. D
10. D
11. B
12. B
13. D
14. C
15. D

二、填空题

1. PROM
2. 命中
3. 写回法 和 写直达法
4. 段、页和段页
5. 独立编址方式 和 统一编址方式 I/O 指令
6. 新进新出算法 和 近期最少使用算法
7. 字节多路通道 、 数组多路通道 和 选择通道

三、简答题

1. 总线

(1) 由于可能同时存在多个设备或部件对总线申请使用权，为了保证在同一时间只能有一个申请者使用总线，就采用了总线判优机制。

(2) 集中式控制和分布式控制

(3) 串行链式判优电路

(4) 同步和异步

(5) 同步：根据时钟信号实现控制数据传送 异步：根据握手信号实现控制数据传送

2. 中断和 DMA

(1) DMA

(2) 中断

(3) 中断：一条指令结束以后 DMA：一个 CPU 周期后

(4) DMA

(5) 中断

四、计算题

1. 动态存储器

$$(1) T_s = \frac{\Delta t}{1024} = \frac{2ms}{1024} = 1.95\mu s$$

$$(2) t = T \times 1024 = 0.05\mu s \times 1024 = 51.2\mu s$$

2. 设备 B 向 CPU 传送数据的周期为 $t = \frac{1}{40000} s = 25\mu s$ ，由于 $25\mu s < 40\mu s$ ，所以在 $25\mu s$ 内 CPU 不能执行完这一条指令，而后一条指令已经发送，所以会导致数据的丢失。所以不能采用中断方式工作。

五、综合题

1. CPU

(1) $2^{16} = 64K$ CPU 所能访问的最大主存空间为 64KB

(2) 主存的字位扩展

① $8K = 2^{13}$ 所以存储器需要 13 根地址线

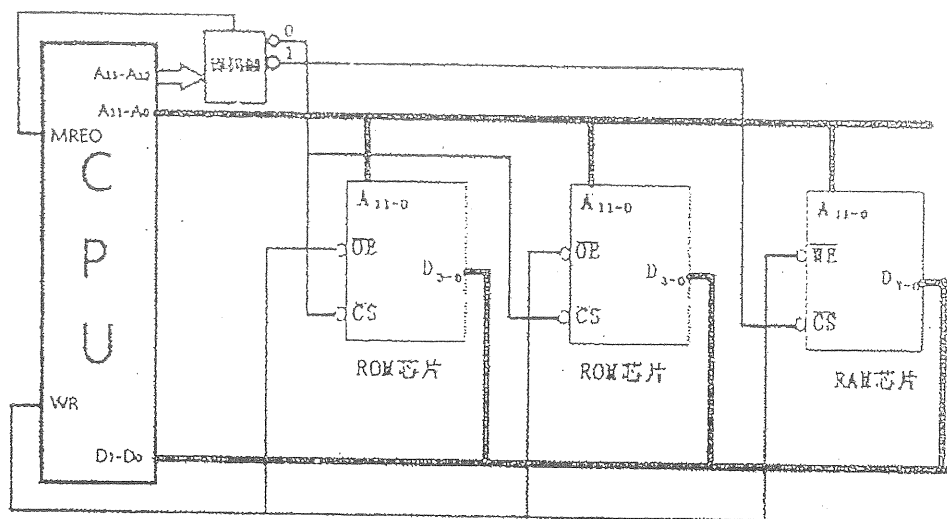
一个字为 8 位，所以需要 8 根数据线

② ROM 地址范围：0H~0FFFH

RAM 地址范围：1000H~1FFFH

③ RAM 芯片需要 1 片，ROM 芯片需要 2 片

④ 如图所示



2. Cache-主存

$$(1) \frac{256K}{1K} = 256 \text{ 块}$$

$$(2) \frac{128M}{1K} = 128 \times 2^{10} = 2^{17} \text{ 块}$$

$$(3) j = i \bmod 256$$

主存字块标记	cache字块地址	字块内地址
9位	8位	10位

(4)

计组原理 2 题库

一、选择题

5、动态 RAM 的刷新是以 行 为单位的。

20、系统总线中地址总线的作用是 用于选择指定的存储单元或外设。

28、在下列存储器中，半导体存储器 可以作为主存储器。

31、EPROM 是指 光擦除可编程的只读存储器。

EPROM (Erasable Programmable Read-Only Memory, 可擦除可编程 ROM) 芯片可重复擦除和写入, 解决了 PROM 芯片只能写入一次的弊端。EPROM 芯片有一个很明显的特征, 在其正面的陶瓷封装上, 开有一个玻璃窗口, 透过该窗口, 可以看到其内部的集成电路, 紫外线透过该孔照射内部芯片就可以擦除其内的数据, 完成芯片擦除的操作要用到 EPROM 擦除器。EPROM 内资料的写入要用专用的编程器, 并且往芯片中写内容时必须加一定的编程电压 ($V_{PP}=12-24V$, 随不同的芯片型号而定)。EPROM 的型号是以 27 开头的, 如 27C020(8*256K) 是一片 2M Bits 容量的 EPROM 芯片。EPROM 芯片在写入资料后, 还要以不透光的贴纸或胶布把窗口封住, 以免受到周围的紫外线照射而使资料受损。EPROM 芯片在空白状态时 (用紫外光线擦除后), 内部的每一个存储单元的数据都为 1 (高电平)。

33、CPU 主要包括 控制器、运算器 (不含主存)。

36、存储器是计算机系统的记忆设备, 主要用于 存放程序和数据。

45、存储单元是指 存放一个机器字的所有存储元。

50、指令周期是指 CPU 从主存取出一条指令加上执行这条指令的时间

71、采用 DMA 方式传送数据时, 每传送一个数据就要占用 CPU 一个存储周期 的时间。

73、中断响应时, 保存 PC 并更新 PC 的内容, 主要是为了 能进入中断处理程序并能正确返回原程。

81、Cache 是 为提高存储系统的速度。

83、对组合逻辑的控制器, 指令不同的执行步骤是用 节拍发生器 给出的

95、PROM 是指 可编程的只读存储器。

二、填空题

- 2、DMA 方式中，周期窃取是指窃取一个 存储周期。
- 3、计算机系统总线根据传送的信息不同，可分为 地址总线，控制总线，数据总线。
- 6、动态半导体存储器的刷新一般有 集中刷新、分散刷新、异步刷新 三种方式，之所以要刷新是因为 动态存储器依靠电容电荷存储信息，时间一长，电荷可能泄放。
- 10、主存和 Cache 的地址映射方法有很多，常用的有 全相联映射、直接相联映射 和 组相联映射 三种，其中灵活性最强的是 全相联映射，成本最高的是 全相联映射。
- 12、Cache 中数据块常用的替换算法有 先进先出 (FIFO) 和 最近最少使用 (LRU) 两种。
- 13、按照总线仲裁电路的位置不同，可分为 集中式 仲裁和 分布式 仲裁。
- 20、主存储器容量通常以 KB 表示，其中 $K=2$ 的 10 次方；硬盘容量通常以 GB 表示，其中 $G=2$ 的 30 次方。
- 21、存储器和 CPU 连接时，要完成 地址线 的连接；数据线 的连接和 控制线 的连接，方能正常工作。
- 23、常见的集中式仲裁控制方式有 链式查询、计数器定时查询 和 独立请求 三种，其中链式查询 对电路故障最敏感。
- 25、存储器的技术指标有 存储容量 和 存取时间。
- 31、直接内存访问 (DMA) 方式中，DMA 控制器从 CPU 完全接管对 总线 的控制，数据交换不经过 CPU,而直接在内存和 I/O 设备 之间进行。
- 32、外围设备主要可以分为 输入设备 和 输出设备。
- 外围设备
- 计算机系统中除主机外的其他设备。包括输入和输出设备、外存储器、模数转换器、数模转换器、外围处理机等。是计算机与外界进行通信的工具。——例如打印机、磁盘驱动器或键盘。
- 33、CPU 能直接访问 cache 和 主存，但不能直接访问磁盘和光盘。
- 35、为了解决多个 主设备 同时竞争总线 控制权，必须具有 总线仲裁部件 部件。
- 36、在计算机系统中，多个系统部件之间信息传送的公共通路称为 总线。就其所传送信息的性质而言，在公共通路上传送的信息包括数据、地址、控制 信息。
- 39、DMA 技术的出现使得 外围设备 可以通过 DMA 控制器 直接访问 内存；与此同时，CPU 可以继续执行其它任务。

三、问答题

5、在寄存器—寄存器型，寄存器—存储器型和存储器—存储器型三类指令中，哪类指令的执行时间最长？哪类指令的执行时间最短？为什么？

5. 寄存器-寄存器型执行速度最快,存储器-存储器型执行速度最慢。因为前者操作数在寄存器中,后者操作数在存储器中,而访问一次存储器所需的时间一般比访问一次寄存器所需时间长。

8、中断处理过程包括哪些操作步骤？

8. 解：中断处理过程如下：

- (1) 设备提出中断请求
- (2) 当一条指令执行结束时 CPU 响应中断
- (3) CPU 设置“中断屏蔽”标志，不再响应其它中断请求
- (4) 保存程序断点 (PC)
- (5) 硬件识别中断源 (转移到中断服务子程序入口地址)
- (6) 用软件方法保存 CPU 现场
- (7) 为设备服务
- (8) 恢复 CPU 现场
- (9) “中断屏蔽”标志复位，以便接收其它设备中断请求
- (10) 返回主程序

10、说明总线结构对计算机系统性能的影响。

10. 解：

(1) 最大存储容量

单总线系统中，最大内存容量必须小于由计算机字长所决定的可能的地址总线。

双总线系统中，存储容量不会受到外围设备数量的影响

(2) 指令系统

双总线系统，必须有专门的 I/O 指令系统

单总线系统，访问内存和 I/O 使用相同指令

(3) 吞吐量

总线数量越多，吞吐能力越大

16、简要描述外设进行 DMA 操作的过程及 DMA 方式的主要优点。

16. (1) 外设发出 DMA 请求；

(2) CPU 响应请求，DMA 控制器从 CPU 接管总线的控制；

(3) 由 DMA 控制器执行数据传送操作；

(4) 向 CPU 报告 DMA 操作结束。

主要优点是数据数据速度快

17、试比较 RAM 和 ROM，以及静态 RAM 和动态 RAM？

书 p87

解：两种 RAM 列成表以作比较

比较内容	静态 RAM	动态 RAM
存储容量	较大	存储容量更大
功耗	较大	更小
存取速度	快	更快

25、解释概念：Cache 高速缓冲存储器，SRAM，DRAM，ROM，PROM

ROM：只读存储器

随机存储器(RAM)

随机存储器分为静态与动态：

静态随机存储器 (SRAM)

动态随机存储器 (DRAM)

可编程只读存储器 (PROM)

可擦可编程只读存储器 (EPROM)

可擦可编程只读存储器 (EEPROM)

26、什么叫刷新？为什么要刷新？说明刷新有几种方法。

解：刷新：对 DRAM 定期进行的全部重写过程；

刷新原因：因电容泄漏而引起的 DRAM 所存信息的衰减需要及时补充，因此安排了定期刷

新操作;

常用的刷新方法有三种: 集中式、分散式、异步式。

集中式: 在最大刷新闻隔时间内, 集中安排一段时间进行刷新, 存在 CPU 访存死时间。

分散式: 在每个读/写周期之后插入一个刷新周期, 无 CPU 访存死时间。

异步式: 是集中式和分散式的折衷。

存储单元

存储单元一般应具有存储数据和读写数据的功能, 一般以 8 位二进制作为一个存储单元, 也就是一个字节。每个单元有一个地址, 是一个整数编码, 可以表示为二进制整数。程序中的变量和主存储器的存储单元相对应。变量的名字对应着存储单元的地址, 变量内容对应着单元所存储的数据。

存储元件

计算机中主存储器包括存储体 M, 各种逻辑部件及控制电路等, 存储体由许多存储单元组成, 每个存储单元又包含若干个存储元件, 每个存储元件能寄存一位二进制代码“0”或“1”, 存储元件又称为存储基元、存储元。一个存储单元存储一串二进制代码(存储字), 这串二进制代码的位数称为存储字长, 存储字长可以是 8 位、16 位、32 位等, 如果把一个存储体看做是一幢大楼, 存储单元看做是大楼里的每个房间, 那么每个存储元件就可以看做是每间房间里的一张床位, 床位有人相当于“1”, 无人相当于“0”, 每间房间里的床的位数就相当于存储字长, 而房间的编号可看做是存储单元的地址号。

存储字长:

一个存储单元存储一串二进制代码(存储字), 这串二进制代码的位数称为存储字长, 存储字长可以是 8 位、16 位、32 位等。

早期计算机的存储字长一般和机器的指令字长与数据字长相等, 故访问一次主存便可取一条指令或一个数据。随着计算机的应用范围的不断扩大, 解题精度的不断提高, 往往要求指令字长是可变的, 数据字长也要求可变。为了适应指令和数据字长的可变性, 其长度不由存储字长来确定, 而且字节的个数来表示。1 个字节(Byte)被定义为由 8 位(Bit)二进制代码组成。

机器字长

机器字长是指计算机进行一次整数运算所能处理的二进制数据的位数（整数运算即定点整数运算）。机器字长也就是运算器进行定点数运算的字长，通常也是 CPU 内部数据通路的宽度。即字长越长，数的表示范围也越大，精度也越高。机器的字长也会影响机器的运算速度。倘若 CPU 字长较短，又要运算位数较多的数据，那么需要经过两次或多次的运算才能完成，这样势必影响整机的运行速度。

机器字长与主存储器字长通常是相同的，但也可以不同。不同的情况下，一般是主存储器字长小于机器字长，例如机器字长是 32 位，主存储器字长可以是 32 位，也可以是 16 位，当然，两者都会影响 CPU 的工作效率。

机器字长对硬件的造价也有较大的影响。它将直接影响加法器（或 ALU），数据总线以及存储字长的位数。所以机器字长的确不能单从精度和数的表示范围来考虑。

49、什么是总线？总线传输有何特点？为了减轻总线负载，总线上的部件应具备什么特点？

答：P41.总线是一种能由多个部件分时共享的公共信息传送线路。

总线传输的特点是：某一时刻只允许有一个部件向总线发送信息，但多个部件可以同时从总线上接收相同的信息。

为了减轻总线负载，总线上的部件应通过三态驱动缓冲电路与总线连通。

65、什么是 I/O 接口，与端口有何区别？为什么要设置 I/O 接口？将 I/O 接口按数据传送方式和控制方式分别进行分类？

解：I/O 接口一般指 CPU 和 I/O 设备间的连接部件，而端口是指 I/O 接口内 CPU 能够访问的寄存器，端口加上相应的控制逻辑即构成 I/O 接口。

I/O 接口分类方法很多，主要有：

(1) 按数据传送方式分有并行接口和串行接口两种；

(2) 按数据传送的控制方式分有程序控制接口、程序中断接口、DMA 接口三种

66、一个容量为 $16K \times 32$ 位的存储器，其地址线和数据线的总和是多少？当选用下列不同规格的存储芯片时，各需要多少片？ $1K \times 4$ 位， $2K \times 8$ 位， $4K \times 4$ 位， $16K \times 1$ 位， $4K \times 8$ 位， $8K \times 8$ 位

解：地址线和数据线的总和 $= 14 + 32 = 46$ 根；

选择不同的芯片时，各需要的片数为：

$$1K \times 4: (16K \times 32) / (1K \times 4) = 16 \times 8 = 128 \text{ 片}$$

$$2K \times 8: (16K \times 32) / (2K \times 8) = 8 \times 4 = 32 \text{ 片}$$

$$4K \times 4: (16K \times 32) / (4K \times 4) = 4 \times 8 = 32 \text{ 片}$$

$$16K \times 1: (16K \times 32) / (16K \times 1) = 1 \times 32 = 32 \text{ 片}$$

$$4K \times 8: (16K \times 32) / (4K \times 8) = 4 \times 4 = 16 \text{ 片}$$

$$8K \times 8: (16K \times 32) / (8K \times 8) = 2 \times 4 = 8 \text{ 片}$$

67、为什么要设置总线判优控制？常见的集中式总线控制有几种？各有何特点？哪种方式响应时间最快？哪种方式对电路故障最敏感？

解：总线判优控制解决多个部件同时申请总线时的使用权分配问题；

常见的集中式总线控制有三种：

链式查询、计数器查询、独立请求；

特点：

链式查询方式连线简单，易于扩充，对电路故障最敏感；

计数器查询方式优先级设置较灵活，对故障不敏感，连线及控制过程较复杂；

独立请求方式判优速度最快，但硬件器件用量大，连线多，成本较高。

73、设有一个具有 20 位地址和 32 位字长的存储器，问：(1)该存储器能存储多少个字节的信息？(2)如果存储器由 512K×8 位的 RAM 芯片组成，需多少片？(3)需多少位地址作芯片选择？

解：(1) $\because 2^{20} = 1M, \therefore$ 该存储器能存储的信息为： $1M \times 32 / 8 = 4MB$

(2) $(1024K / 512K) \times (32 / 8) = 8$ (片)

(3) 需要 1 位地址作为芯片选择。(选择两个 512K×32 位的存储体)

计算部分

2、机器字长 32 位，其存储容量为 4MB，若按字编址，它的寻址范围是 1M。

容量是 4MB，字长 32 位时，容量就等于 1M 字。

按字编址的寻址范围是：00000~FFFFFH。

32、 机器字长 64 位，其存储容量为 8MB，若按字编址，它的寻址范围是_____。

- A、 1M B、 1MB C、 4M D、 4MB

42、 机器字长 16 位，其存储容量为 8MB，若按字编址，它的寻址范围是_____。

- A、 1M B、 1MB
C、 4M D、 4MB

52、 机器字长 64 位，其存储容量为 64MB，若按字编址，它的寻址范围是_____。

- A、 8M B、 8MB
C、 16M D、 16MB

62、 机器字长 32 位，其存储容量为 64MB，若按字编址，它的寻址范围是_____。

- A、 8M B、 8MB
C、 16M D、 16MB

72、 机器字长 128 位，其存储容量为 128MB，若按字编址，它的寻址范围是_____。

- A、 2048M B、 2048MB
C、 1024M D、 1024MB

34、 某一 RAM 芯片，其容量为 512×8 位，考虑电源端和接地端，该芯片引出线的最小数目应为_____。

- A、 21 B、 522
C、 17 D、 19

44、 某一 RAM 芯片，其容量为 128×16 位，考虑电源端和接地端，该芯片引出线的最小数目应为_____。

- A、 25 B、 23
C、 27 D、 24

70、 某一 RAM 芯片，其容量为 64×8 位，考虑电源端和接地端，该芯片引出线的最小数目应为_____。

- A、 16 B、 20
C、 17 D、 19

- 19、某存储器容量为 $64K \times 32$ 位，则 地址线为 16 根，数据线为 32 根。
- 63、某存储器容量为 $128K \times 64$ 位，则 地址线为 17 根，数据线为 64 根。
- 100、某存储器容量为 $4K \times 16$ 位，则 地址线为 12 根，数据线为 16 根。
- 49、 某主存储器按字节编址，地址线数目为 16，这个存储器的容量为 $64K \times 8$ 位。
- 74、 某主存储器按字节编址，地址线数目为 32，这个存储器的容量为 $4G \times 8$ 位。

4、欲组成一个 $64K \times 16$ 位的存储器，当分别选用 $2K \times 4$ 位、 $4K \times 8$ 位两种不同规格的芯片进行扩充，各需_____和_____片。

16、欲组成一个 $16K \times 16$ 位的存储器，当分别选用 $2K \times 4$ 位、 $4K \times 8$ 位两种不同规格的芯片进行扩充，各需_____和_____片。

27、设总线的时钟频率为 8MHZ，一个总线周期等于一个时钟周期。如果一个总线周期中并行传送 16 位数据，试问总线的带宽是多少？

解：由于： $f=8\text{MHz}$, $T=1/f=1/8\text{M}$ 秒，一个总线周期等于一个时钟周期

所以：总线带宽= $16 / (1/8\text{M}) = 128\text{Mbps}$

34、试述总线带宽的概念。设总线的时钟频率为 16MHZ，一个总线周期等于一个时钟周期。如果一个总线周期中并行传送 32 位数据，试问总线的带宽是多少？

58、设总线的时钟频率为 64MHZ，一个总线周期等于 4 个时钟周期。如果一个总线周期中并行传送 8 位数据，试问总线的带宽是多少？

6、用 $16k \times 4$ 位的 RAM 芯片构成 $16K \times 16$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

14、用 $16k \times 16$ 位的 SRAM 芯片构成 $64K \times 16$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

22、用 $16k \times 8$ 位的 SRAM 芯片构成 $16K \times 32$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

30、用 $1k \times 4$ 位的 RAM 芯片构成 $4K \times 8$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

38、用 $32k \times 64$ 位的 RAM 芯片构成 $128K \times 128$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

46、用 $2k \times 8$ 位的 RAM 芯片构成 $8K \times 16$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

56、用 $128k \times 8$ 位的 RAM 芯片构成 $512K \times 8$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

62、用 $16k \times 64$ 位的 RAM 芯片构成 $64K \times 128$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

70、用 $2k \times 4$ 位的 RAM 芯片构成 $8K \times 8$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

80、用 $8k \times 8$ 位的 RAM 芯片构成 $32K \times 16$ 位的存储器，分析需要多少片，并画出该存储器的组成逻辑框图。

54、设主存容量为 $512K$ 字，Cache 容量为 $4K$ 字，块长为 8 。

(1) 设计 Cache 地址格式，Cache 中可装入多少块数据？

(2) 在直接映射方式下，设计主存地址格式。

(3) 在四路组相联映射方式下，设计主存地址格式。

(4) 在全相联映射方式下，设计主存地址格式。

72、设主存容量为 $2M$ 字，Cache 容量为 $16K$ 字，块长为 4 。

(1) 设计 Cache 地址格式，Cache 中可装入多少块数据？

(2) 在直接映射方式下，设计主存地址格式。

(3) 在四路组相联映射方式下，设计主存地址格式。

(4) 在全相联映射方式下，设计主存地址格式。

79、设主存容量为 $256K$ 字，Cache 容量为 $2K$ 字，块长为 4 。

(1) 设计 Cache 地址格式，Cache 中可装入多少块数据？

(2) 在直接映射方式下，设计主存地址格式。

(3) 在四路组相联映射方式下，设计主存地址格式。

(4) 在全相联映射方式下，设计主存地址格式。

解：

(1) Cache 容量为 2K 字，块长为 4，Cache 共有 $2K/4=2^{11}/2^2=2^9=512$ 块，

Cache 字地址 9 位，字块内地址为 2 位

因此，Cache 地址格式设计如下：

Cache 字块地址 (9 位)	字块内地址 (2 位)
------------------	-------------

(2) 主存容量为 256K 字= 2^{18} 字，主存地址共 18 位，共分 $256K/4=2^{16}$ 块，

主存字块标记为 $18-9-2=7$ 位。

直接映射方式下主存地址格式如下：

主存字块标记 (7 位)	Cache 字块地址 (9 位)	字块内地址 (2 位)
--------------	------------------	-------------

(3) 根据四路组相联的条件，一组内共有 4 块，得 Cache 共分为 $512/4=128=2^7$ 组，

主存字块标记为 $18-7-2=9$ 位，主存地址格式设计如下：

主存字块标记 (9 位)	组地址 (7 位)	字块内地址 (2 位)
--------------	-----------	-------------

(4) 在全相联映射方式下，主存字块标记为 $18-2=16$ 位，其地址格式如下：

主存字块标记 (16 位)	字块内地址 (2 位)
---------------	-------------

(5) 若存储字长为 32 位，存储器按字节寻址，则主存容量为 $256K*32/4=2^{21}B$ ，

Cache 容量为 $2K*32/4=2^{14}B$ ，块长为 $4*32/4=32B=2^5B$ ，字块内地址为 5 位，

在直接映射方式下，主存字块标记为 $21-9-5=7$ 位，主存地址格式为：

主存字块标记 (7 位)	Cache 字块地址 (9 位)	字块内地址 (5 位)
--------------	------------------	-------------

在四路组相联映射方式下，主存字块标记为 $21-7-5=9$ 位，主存地址格式为：

主存字块标记 (9 位)	组地址 (7 位)	字块内地址 (5 位)
--------------	-----------	-------------

在全相联映射方式下，主存字块标记为 $21-5=16$ 位，主存地址格式为：

主存字块标记（16 位）	字块内地址（5 位）
--------------	------------

接下来两页没有答案

6、 以下叙述正确的是_____。

- A、主存的存取速度可以和 CPU 匹配。
- B、主存由 RAM 构成，不包括 ROM。
- C、辅存中的程序需要调入主存中才能运行。
- D、若指令的地址为 20 位，则主存容量一定是 1MB。

53、 以下说法错误的是_____。

- A、中断服务程序一般是操作系统模块
- B、中断向量方法可提高中断源的识别速度
- C、中断向量就是中断服务程序的入口地址
- D、重叠处理中断的现象称为中断嵌套

76、在微程序控制器中，指令运行所需的控制信号存储在_____中。

- A、存储器
- B、寄存器
- C、控制存储器
- D、微指令寄存器

7、若 $[X]_{\text{反}} = 0.1100011$ ，则 $[-X]_{\text{补}} = \underline{\hspace{2cm}}$ ，设 $|X|$ 为 X 的绝对值，则 $[-|X|]_{\text{补}} = \underline{\hspace{2cm}}$ 。

8、已知某指令系统采用扩展操作码技术，有四种地址格式（零地址、一地址、二地址和三地址），其中三地址格式指令各字

OP (6)	A1 (6)	A2 (6)	A3 (6)
--------	--------	--------	--------

段的长度如右图所示，那么该指令系统最多有 64 条三地址指令，三地址指令每减少一种可增加_____种二地址指令。

11、在《计算机组成原理》课程设计中，通过_____实现各条指令的译码分支，在所有的微程序中每条指令都要用到的两条微指令实现的是_____和_____功能。

28、总线仲裁判优的方式有_____, _____, _____. 其中_____方式线路最为复杂。

34、CPU 响应中断时, 保护现场两个关键的硬件状态是_____、_____。

三、简答题

1、静态存储器 SRAM 和动态存储器 DRAM 各用什么来存储二进制信息? 为什么称为“动态”存储器? 分别分析他们的优缺点

2、总线的概念, 并简述主要的总线结构

18、试叙述计算机发展过程中总线结构的演化(分散连接→单总线结构→双总线结构→三总线结构→多总线结构)有何意义?

23、简要描述中断处理过程及中断方式相较程序查询方式的主要优点。

24、为了提高计算机的整体性能, 计算机存储系统有哪两层结构, 详加说明。

35、说明 DRAM 存储器刷新的方法有哪几种, 并分析各种方法的“死区”大小。

四、计算题和应用题

1、设 CPU 共有 16 根地址线, 8 根数据线, 并用 \overline{M}/IO 来作为访存控制信号, 用 \overline{WR} 作为读写控制信号。现有下列存储芯片: $1K \times 4$ 位 RAM, $4K \times 8$ 位 RAM, $2K \times 8$ 位 ROM 以及 74138 译码器和各种门电路(任选), 画出 CPU 与存储芯片的连接图, 要求:

(1) 主存地址空间: $7000H-77FFH$ 为系统程序区; $7800H-7FFFH$ 为用户程序区。

(2) 合理选用上述存储芯片, 说明各选几片, 每片的二进制地址范围。

(3) 详细画出存储芯片的片选逻辑, 并给出具体解题步骤。

