

计组大题汇总

汪斐然

一、 OpenMP

编写完整OpenMP程序：（1）实现初始化整数数组A[],B[],其中B数组下标为偶数的数值为1，数组A和B各有20480个元素。（2）计算 $A=A*B$ ，即A数组和B数组相同下标元素相乘并保存到A数组。注意优化程序性能，并说明优化方法

```
#include <iostream>
#include <omp.h>
#define N 20480

void init(int *a, int *b){
    srand(time(NULL));
    for (int i = 0; i < N; ++i){
        a[i]=rand();
        b[i] = i % 2 == 0 ? 1 : rand();
    }
}

void mul(int *a, int *b){
    #pragma omp parallel for schedule
    for(int i = 1; i < N; i+=2){
        a[i] = a[i] * b[i];
    }
}

int main(){
    int *A = new int[N];
```

```

int *B = new int[N];
init(A,B);
int p = omp_get_num_procs(); 获取线程数
omp_set_num_threads(p);      设置线程数
mul(A,B);
free(A);
free(B);
return 0;
}

```

1.通过ompgetnumprocs获取核数，并根据核数设置线程数 2.通过计算采用静态调度方式，每个线程负责 (N / 线程总数) 次循环 3.开辟数组c，解决a[i] = a[i] * b[i]的数据依赖关系，使编译器可以向量化 4.只计算奇数部分，偶数部分为1

二、 流水线分析

1、 设有 $k=4$ 段指令流水线，它们是取指令、译码、执行、存结果，各流水段持续时间均为 Δt 。

①连续输入 $n=8$ 条指令，请画出指令流水线时空图。

②推导流水线实际吞吐率的公式 P ，它定义为单位时间中输出的指令数。

③推导流水线的加速比公式 S ，它定义为顺序执行几条指令所用的时间与流水执行几条指令所用的时间之比。

【解】

① 设 $k=4$ 个，流水段为取指 (s1)、译码 (s2)、执行 (s3)、存结果 (s4)。

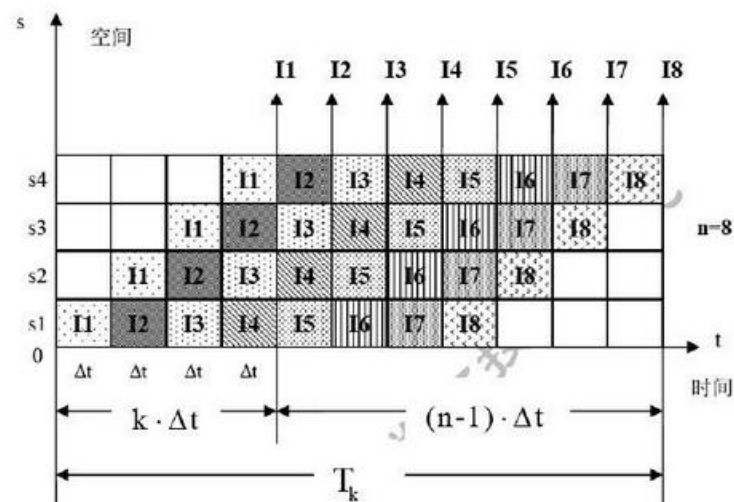


图 11.2 $n=8$ 条指令流水时空图

- ② 从图 11.2 看出, 用 $k=4$ 个时钟周期 (Δt) 完成第 1 条指令, 其余 $n-1$ 个时钟周期完成 $n-1$ 条指令。因此流水线完成 n 条指令所需的总时间为

$$T_k = (k+n-1)\Delta t$$

根据定义, 吞吐率 P 为

$$P = \frac{n}{T_k} = \frac{n}{(k+n-1)\Delta t}$$

- ③ 顺序执行 n 条指令所用的总时间 T_0 为

$$T_0 = (k \cdot \Delta t) \cdot n$$

根据定义, 加速比的公式为

$$S_e = \frac{T_0}{T_k} = \frac{nk\Delta t}{(k+n-1)\Delta t} = \frac{nk}{k+n-1}$$

- 2、指令流水线有取指 (IF)、译码 (ID)、执行 (EX)、写回寄存器堆 (WB) 四个过程段, 共有 12 条指令连续输入此流水线。要求:

- ① 画出流水处理的时空图, 假设时钟周期 100ns。
- ② 求流水线的实际吞吐率 (单位时间里执行完毕的指令数)。
- ③ 求流水 CPU 的加速比。

$$\textcircled{2} H = \frac{n}{(K+n-1)\tau} = \frac{12}{(4+12-1) \times 100 \times 10^{-9}} = 8 \times 10^6 \text{ 条/s}$$

$$\textcircled{3} S = \frac{T_0}{T_k} = \frac{n \cdot K}{(K+n-1)\tau} = \frac{12 \cdot 4}{4+12-1} = 3.2$$

(每个模块128个字)

- 3、设存储器容量为 64M 字, 字长为 64 位, 模块数 $m=8$, 分别用顺序和交叉方式进行组织。存储周期 $T=100\text{ns}$, 数据总线宽度为 64 位, 总线传送周期 $=50\text{ns}$ 。

求: 顺序存储器和交叉存储器的带宽各是多少?

解: 顺序存储器和交叉存储器连续读出 $m=8$ 个字的 ^{信息总量都是} $Q=64 \times 8=512\text{b}$

顺序存储器和交叉存储器连续读出 8 个字所需的时间分别是:

$$t_2 = mT = 8 \times 100\text{ns} = 8 \times 10^{-7}\text{s}$$

$$t_1 = T + (m-1)t = 100\text{ns} + 7 \times 50\text{ns} = 4.5 \times 10^{-7}\text{s}$$

顺序存储器和交叉存储器的带宽分别是:

$$W_2 = Q/t_2 = 512\text{b} / (8 \times 10^{-7}\text{s}) = 640\text{Mb/s}$$

$$W_1 = Q/t_1 = 512\text{b} / (4.5 \times 10^{-7}\text{s}) = 1137.8\text{Mb/s}$$

- 4、判断以下三组指令中各存在哪种类型的数据相关?

(1) I1 LDA R1, A ; $M(A) \rightarrow R1$, $M(A)$ 是存储器单元

I2 ADD R2, R1 ; $(R2) + (R1) \rightarrow R2$

(2) I3 ADD R3, R4 ; (R3) + (R4) → R3
 I4 MUL R4, R5 ; (R4) × (R5) → R4
 (3) I5 LDA R6, B ; M(B) → R6, M(B) 是存储器单元
 I6 MUL R6, R7 ; (R6) × (R7) → R6

该组指令中，I1 指令应先将 M(A) 中内容写入 R1，然后在 I2 指令中读出 R1 内容，由于 I2 指令进入流水线，变成 I2 指令在 I1 指令写入 R1 前读出 R1 内容，发生写后读相关。

该组指令中，I3 指令应先读取 R4 中内容，然后在 I4 指令中将运算结果写入 R4，由于 I4 指令进入流水线，变成 I4 指令先于 I3 指令将运算结果写入 R4，发生读后写相关。

该组指令中，如果 I6 指令的乘法运算完成时间早于 I5 指令，则变成指令 I6 在指令 I5 写入 R6 前就写入 R6，导致 R6 的内容错误，发生写后写相关。

5、并行计算：

假设使用 100 台多处理机系统获得加速比 75，求原计算机程序中串行部分所占的比例是多少？

$$75 = \frac{1}{(1 - Fe) + Fe/100}$$

并行

并行比例 Fe=99.66%

串行比例 1-Fe=0.34% (2 分)

三、运算器

1、已知 $x = -0.01111$, $y = +0.11001$, 求：

- ① $[x]_{补}$, $[-x]_{补}$, $[y]_{补}$, $[-y]_{补}$;
- ② $x+y$, $x-y$, 判断加减运算是否溢出。

解：

$$[x]_{补} = 11.10001 \quad [-x]_{补} = 00.01111$$

$$[y]_{补} = 00.11001 \quad [-y]_{补} = 11.00111$$

② $x+y$, $x-y$, 判断加减运算是否溢出。

$$[x]_{补} + [y]_{补} = 11.10001 + 00.11001 = 00.01010$$

$$[x]_{补} + [-y]_{补} = 11.10001 + 11.00111 = 10.11000$$

$x+y$ 结果的两个符号没有出现“01”，所以不溢出

$x-y$ 结果的两个符号出现“10”，所以溢出。

2、有两个浮点数 $N_1=2^{j_1} \times S_1$, $N_2=2^{j_2} \times S_2$, 其中阶码用 4 位移码、尾数用 8 位原码表示 (含 1 位符号位)。设 $j_1=(11)_{10}$, $S_1=(+0.0110011)_2$, $j_2=(-10)_{10}$, $S_2=(+0.1101101)_2$, 求 N_1+N_2 , 写出运算步骤及结果。

$[j_1]$ 移码=1011, $[S_1]$ 原码=0.0110011

$[j_2]$ 移码=0110, $[S_2]$ 原码=0.1101101

对阶 $\left\{ \begin{array}{l} \Delta e = j_1 - j_2 = [j_1]_{\text{补码}} - [j_2]_{\text{补码}} = 0101 \\ [j_2]_{\text{移码}} = 1011, [S_2]_{\text{原码}} = 0.\underline{0000011} \end{array} \right.$

尾数运算

0.0110011

+ 0.0000011

= 0.0110110

最终结果

$[S]$ 原码=0.1101100

$[j]$ 移码=1010 $\leftarrow 1011 - 1$

四、 存储设计

1、 机器字长 32 位, 常规设计的物理存储空间 $\leq 32\text{M}$, 若将物理存储空间扩展到 256M, 请提出一种设计方案。

解决方案:

使用 $256/32=8$ 个该常规存储器。

使用 18 条地址线, 原有的 15 条地址线分别与 8 个存储器相应的 15 个地址线接口相连, 另 3 条连接一个 3:8 译码器, 8 条输出线取反后分别和 8 个存储器的使能端相连。

2、存储器扩容

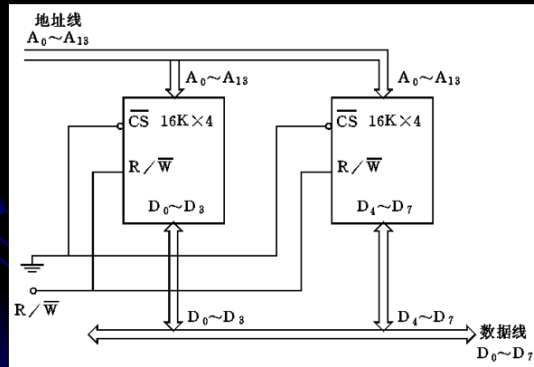
[illegible]

- ### 接地、 $\overline{R/W}$ 并联各片

16k 14条地址线并联

位扩展连接方式

$16K \times 4\text{位} \rightarrow 16K \times 8\text{位}$



► 字扩展

增加存储器中字数量，字串联
字向扩充位数不变。

由片选信号来区分各片地址

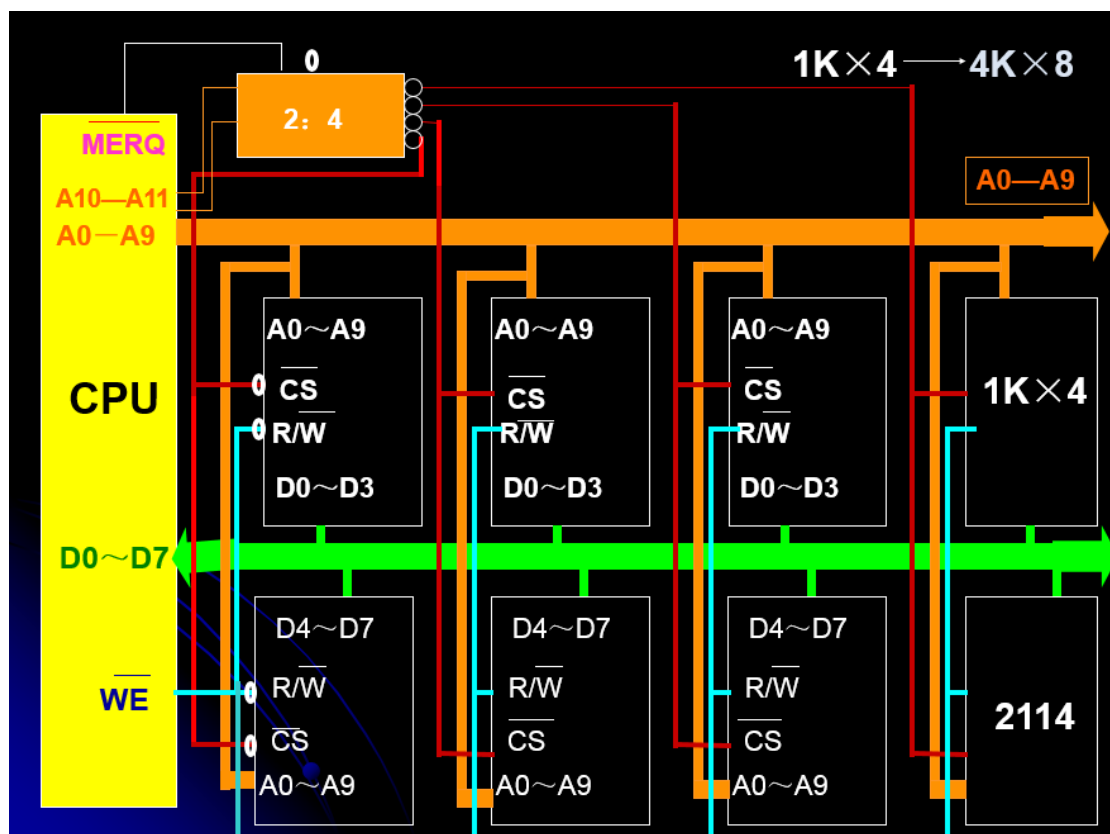
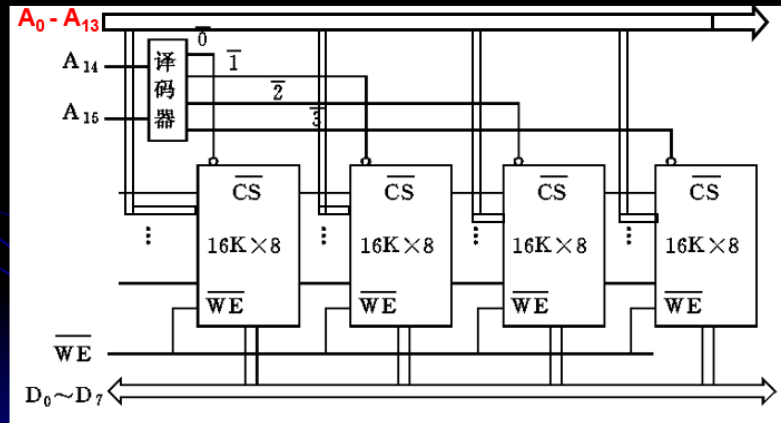
$16K \times 8b$ 字扩展法 $64K \times 8b$

设计步骤

1. 计算片数
2. 安排芯片布局
3. 与CPU连线
 - a. 地址线 ($A_0 \sim A_{13}$ 并联)
 - b. 数据线 ($D_0 \sim D_7$ 并联)
 - c. 读写控制线 (并联)
 - d. 片选线
(分时选择，四选一，片间地址线 A_{14} , A_{15})

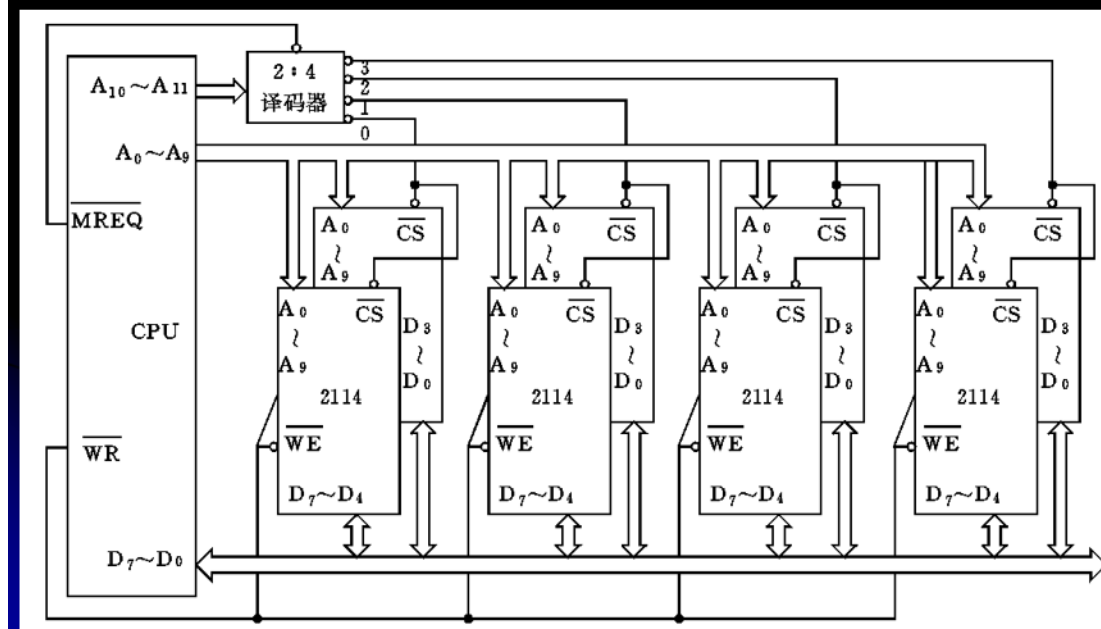
字扩展连接方式

$16K \times 8b \longrightarrow 64K \times 8b$



字位扩展连接方式

$1K \times 4 \rightarrow 4K \times 8$



五、 硬件组成

六、 指令系统设计

(一) 指令流程图

1、 图 2 所示为双总线结构机器的数据通路，IR 为指令寄存器，PC 为程序计数器（具有自增功能），M 为主存（受 R/W#信号控制），AR 为地址寄存器，DR 为数据缓冲寄存器，ALU 由加、减控制信号决定完成何种操作，控制信号 G 控制的是一个门电路。另外，在线标注有小圈表示有控制信号，例中 y_i 表示 y 寄存器的输入控制信号， R_i 为寄存器 R_i 的输出控制信号，未标字符的线为直通线，不受控制。

① “ADD R2, R0” 指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作，画出其指令周期流程图，假设该指令的地址已放入 PC 中。并在流程图每一个 CPU 周期右边列出相应的微操作控制信号序列。

② 若将（取指周期）缩短为一个 CPU 周期，请先画出修改数据通路，然后画出指令周期流程图。

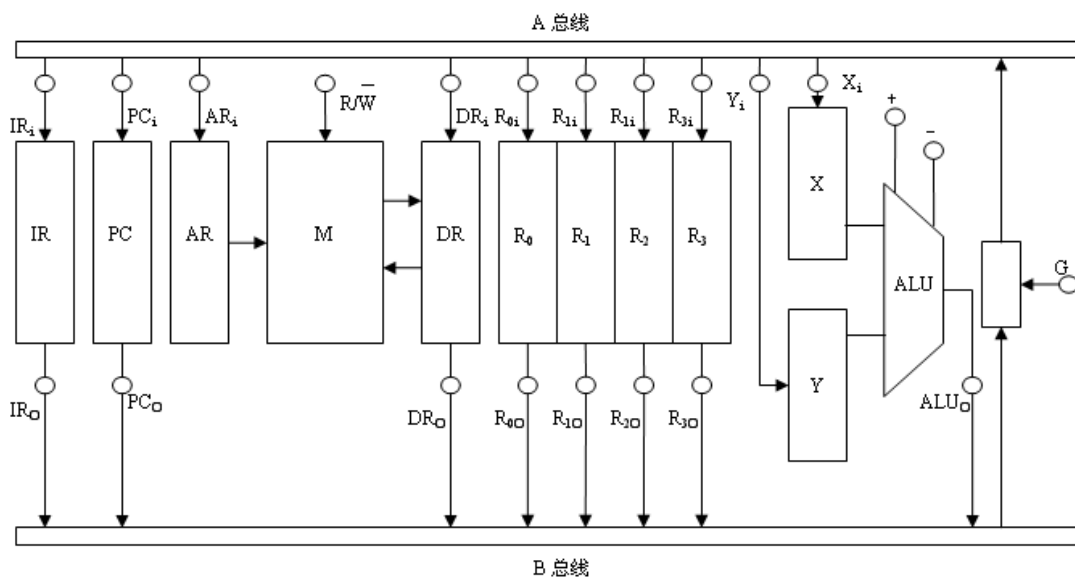
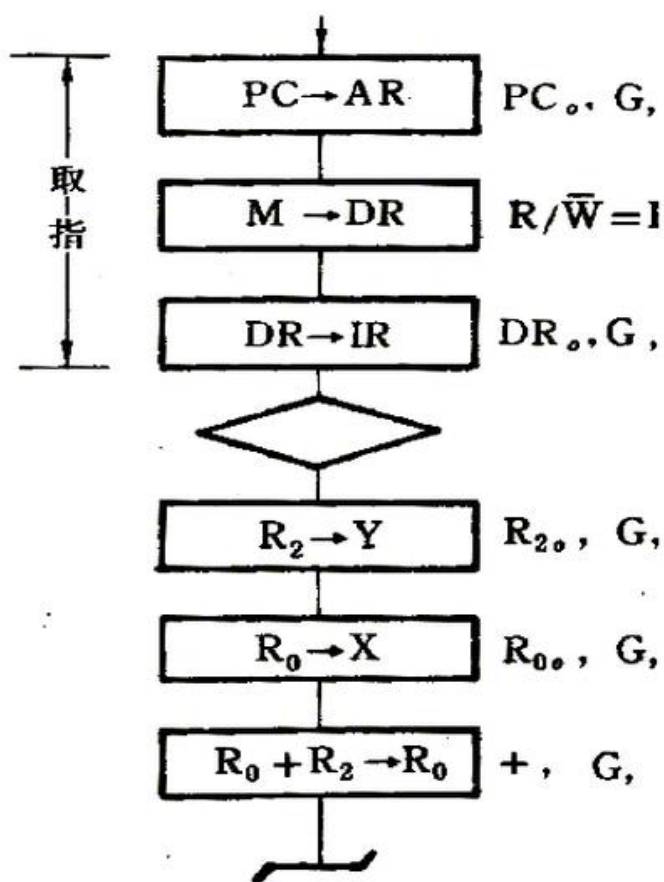


图 2

(2) 改变数据通路，将 PC 直接传送至 AR，DR 直接送至 IR，R0 和 R2 通过多路开关直接送至 ALU 的输入端，此时 SUB 指令的执行周期为 2 个 CPU 周期，执行速度是情况 (1) 的 3 倍



机器指令“STO R1, (R2)”实现的功能是：将寄存器 R1 中的数据写入到以 (R2) 为地址的数存单元中。请画出该存数指令周期流程图，并在 CPU 周期框外写出所需的微操作控制信号。（一个 CPU 周期含 $T_1 \sim T_4$ 四个时钟信号，寄存器打入信号必须注明时钟序号）

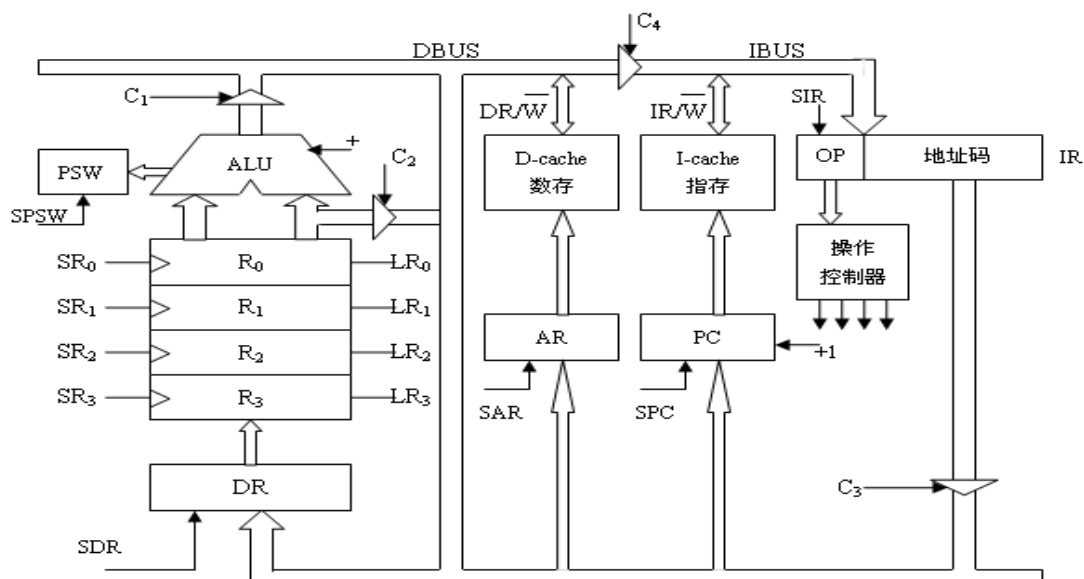


图 1 CPU 的数据通路

```

graph TD
    subgraph 取指 [取指]
        A[PC->I-cache->IBUS  
->IR PC+1] --> B{译码}
    end
    subgraph 执行 [执行]
        B --> C[R2->DBUS->AR]
        C --> D[R1->DBUS->D-cache]
    end
    A --> B
    B --> C
    C --> D

```

取指

PC→I-cache→IBUS
→IR PC+1

IR/ \overline{W} =1
SIR(T3) PC+1(T4)

译码

执行

R2→DBUS→AR

LR2, C2
SAR(T4)

R1→DBUS→D-cache

DR/ \overline{W} =0

3、图1所示为双总线结构的机器，IR为指令寄存器，PC为程序计数器（具有加1功能），M为主存（受R/W#读写信号控制），AR为主存地址寄存器，DR为数据缓冲寄存器，ALU内+控制信号决定完成何种操作信号，控制信号G控制的一个门电路。所有箭头在线的小圈表示控制信号的输入/输出点。例如 R_{1i} 表示寄存器 R_1 的输入， R_{1o} 表示寄存器 R_1 的输出。未标信号的线表示直通，不受控制。

① “ADD R2, R0”指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作。画出其指令周期流程图。

② 若将主存M分成数存和指存两个存储器，通用寄存器 $R_0 \sim R_3$ 的输出直接连到x或y暂寄存器。请修改数据通路，画出“ADD R2, R0”指令的指令周期流程图。

③ 执行同一个ADD指令，第②种情况下机器速度提高多少倍？

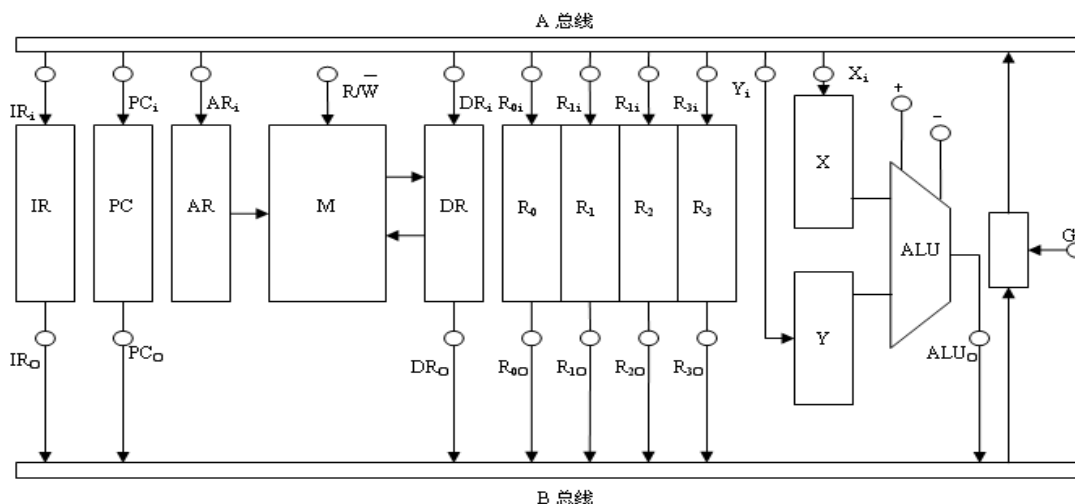
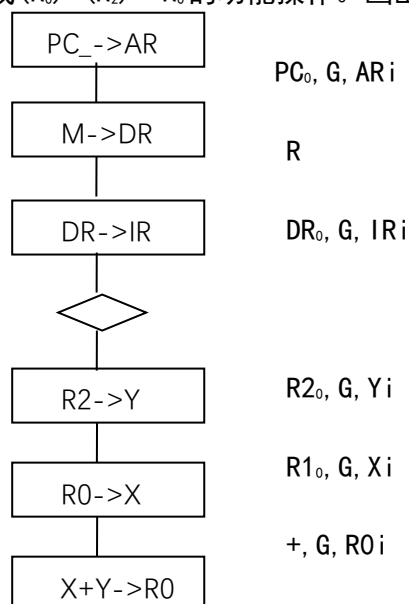


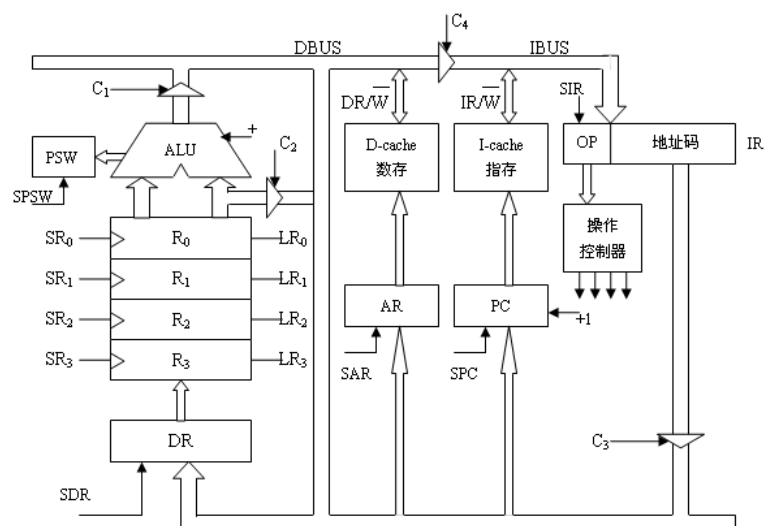
图2

解析：

① “ADD R2, R0”指令完成 $(R_0) + (R_2) \rightarrow R_0$ 的功能操作。画出其指令周期流程图。



② 若将主存M分成数存和指存两个存储器，通用寄存器 $R_0 \sim R_3$ 的输出直接连到x或y暂寄存器。请修改数据通路，画出“ADD R2, R0”指令的指令周期流程图。



(2) 寻址模式字段变成 3 位, 可以支持更多的寻址方式, 可以增加相对寻址方式, $EA=PC+D$, 也可以使用内存间接寻址 $E=(D)$ 。

2

15. 设某机字长为 32 位，CPU 中有 16 个 32 位通用寄存器，设计一种能容纳 64 种操作的指令系统。如果采用通用寄存器作基址寄存器，则 RS 型指令的最大存储空间是多少？

16 个通用寄存器占 4 位，64 种占 6 位，就剩下 22 位用于存储器地址

Op (6)	R (4)	D (22)
--------	-------	--------

R 为基址寄存器寻址， $E = (R) + D$

当基址最大，D 也最大时候，寻址能力最强，而寄存器为 32 位，最大存储空间为：4GB+4MB。

3、

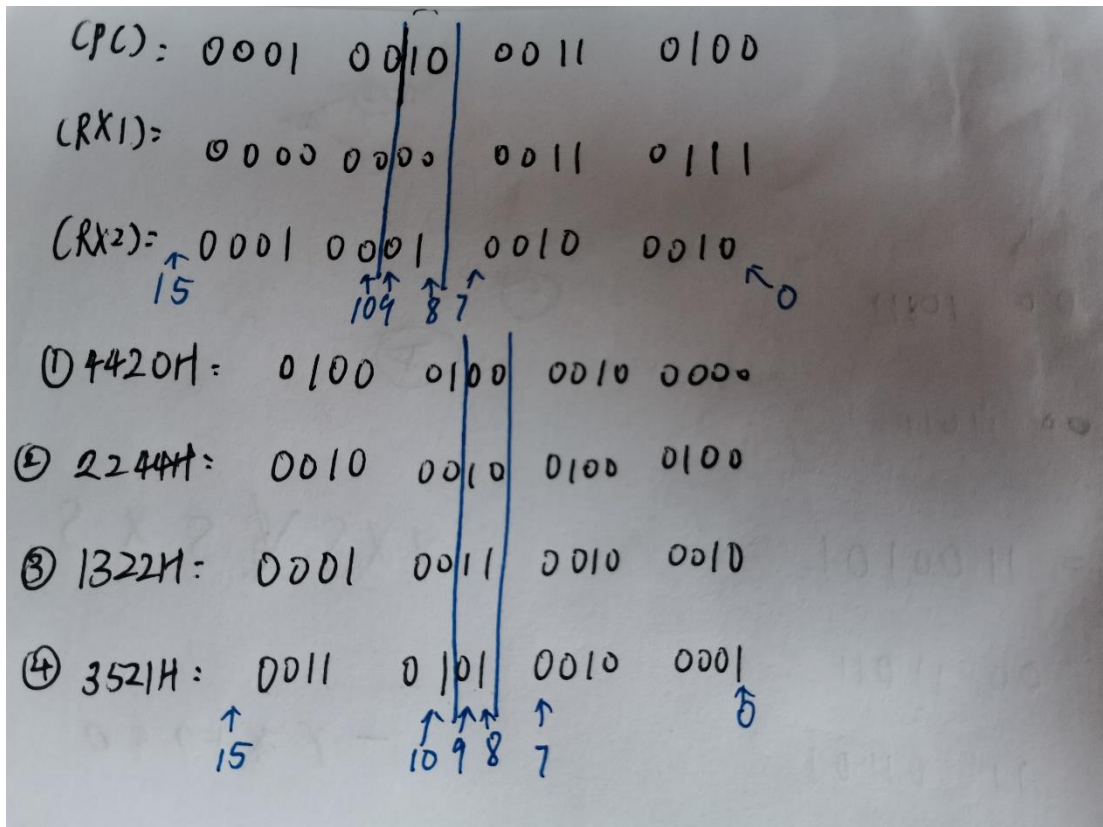
某机的指令格式如下所示

15	10	9	8	7	0
操作码 OP			X		位移量 D

X 为寻址特征位：X=00：直接寻址；X=01：用变址寄存器 R_{X1} 寻址；X=10：用变址寄存器 R_{X2} 寻址；X=11：相对寻址

设 $(PC) = 1234H$, $(RX1) = 0037H$, $(RX2) = 1122H$ (H 代表十六进制数)，请确定下列指令中的有效地址：

① 4420H ② 2244H ③ 1322H ④ 3521H
答：①有效地址：0020H ②有效地址：1166H ③有效地址：1256H ④有效地址：0058H



把 8-9 位对应的基地址+0-7 位的二进制数得到的就是答案

(三) 指令的寻址方式

1、一种二进制 RS 型 32 位的指令结构如下：

6 位	3 位	6 位	17 位
OP	X	通用寄存器	位移量 D

其中 OP 为操作码字段，X 为寻址模式字段，D 为偏移量字段，其寻址模式定义为有效地址 E 算法及说明列表如下：

寻址方式

寻址方式	X	有效地址 E 算法	说明
(1)	000	$E=D$	
(2)	001	$E=(PC)+D$	PC 为程序计数器
(3)	010	$E=(R_2)+D$	R_2 为变址寄存器
(4)	011	$E=(R_1)+D$	R_1 为基址寄存器
(5)	100	$E=(D)$	
(6)	111	$E=(R_3)$	

请写出 6 种寻址方式的名称。

解：1. 直接寻址方式

2. 相对寻址方式

3. 变址寻址方式

4. 基址寻址方式

5. 间接寻址方式

6. 寄存器间接寻址方式

七、 Cache 存储器

1、CPU 执行一段程序时，cache 完成存取的次数为 2420 次，主存完成的次数为 80 次，已知 cache 存储周期为 $40ns$ ，主存存储周期为 $200ns$ ，求 cache/主存系统的效率和平均访问时间。

$$h = 2420/2500 = 0.968$$

$$t_a = h \cdot t_c + (1-h) \cdot t_m = 45.12 \text{ ns}$$

$$e = t_c / t_a = 88.65\%$$

2、某计算机的存储系统由 cache、主存和磁盘构成。cache 的访问时间为 $15ns$ ；如果被访问的单元在主存中但不在 cache 中，需要用 $60ns$ 的时间将其装入 cache，然后再进行访问；如果被访问的单元不在主存中，则需要 $10ms$ 的时间将其从磁盘中读入主存，然后再装入 cache 中并开始访问。若 cache 的命中率为 90% ，主存的命中率为 60% ，求该系统中访问一个字的平均时间。

$$\text{cache 直接访问: } t_1 = 15 \cdot 90\% = 13.5ns;$$

在主存 5261 中，说明 cache 没有直接命中，但主存命中， $10\% \cdot 60\%$ 吧，所以

$$4102 \text{ 时间: } t_2 = 10\% \cdot 60\% \cdot (60+15) = 4.5ns$$

在硬盘中，说明 cache 每名中 1653，主存也没命中，必定在硬盘里，故概率是 $10\% \cdot 40\%$ ，所以时间是： $t_3 = 10\% \cdot 40\% \cdot (10^7+60+15) \text{ ns} = 400003ns$

平均时间: $T_a = t_1 + t_2 + t_3 = 4000021\text{ns}$

访问 cache 时要加上 cache 的时间的, 我觉得这内其容实是一道概率题, 有个计组的背景。

3、某计算机系统的内存存储器又 cache 和主存构成, cache 的存储周期为 30ns, 主存的存取周期为 150ns。已知在一段给定的时间内, CPU 共访问记忆体 5000 次, 其中 400 次访问主存。问:

- ① cache 的命中率是多少? $H=4600/5000=92\%$
- ② CPU 访问记忆体的平均时间是多少纳秒? $30*92\%+150*8\%=39.6$
- ③ cache-主存系统的效率是多少? $30/39.6=75.8\%$

4、已知 cache 存储周期 40ns, 主存存储周期 200ns, cache/主存系统平均访问时间为 50ns, 求 cache 的命中率是多少?

$$h*t_c + (1-h)*t_m = t_a$$

$$h = \frac{t_a - t_m}{t_c - t_m} = \frac{50 - 200}{40 - 200} = 93.75\%$$

八、 输入输出系统

1、参见图 1, 这是一个二维中断系统, 请问:

- ① 在中断情况下, CPU 和设备的优先级如何考虑? 请按降序排列各设备的中断优先级。
- ② 若 CPU 现执行设备 C 的中断服务程序, IM_2, IM_1, IM_0 的状态是什么? 如果 CPU 执行设备 H 的中断服务程序, IM_2, IM_1, IM_0 的状态又是什么?
- ③ 每一级的 IM 能否对某个优先级的个别设备单独进行屏蔽? 如果不能, 采取什么方法可达到目的?
- ④ 若设备 C 一提出中断请求, CPU 立即进行回应, 如何调整才能满足此要求?

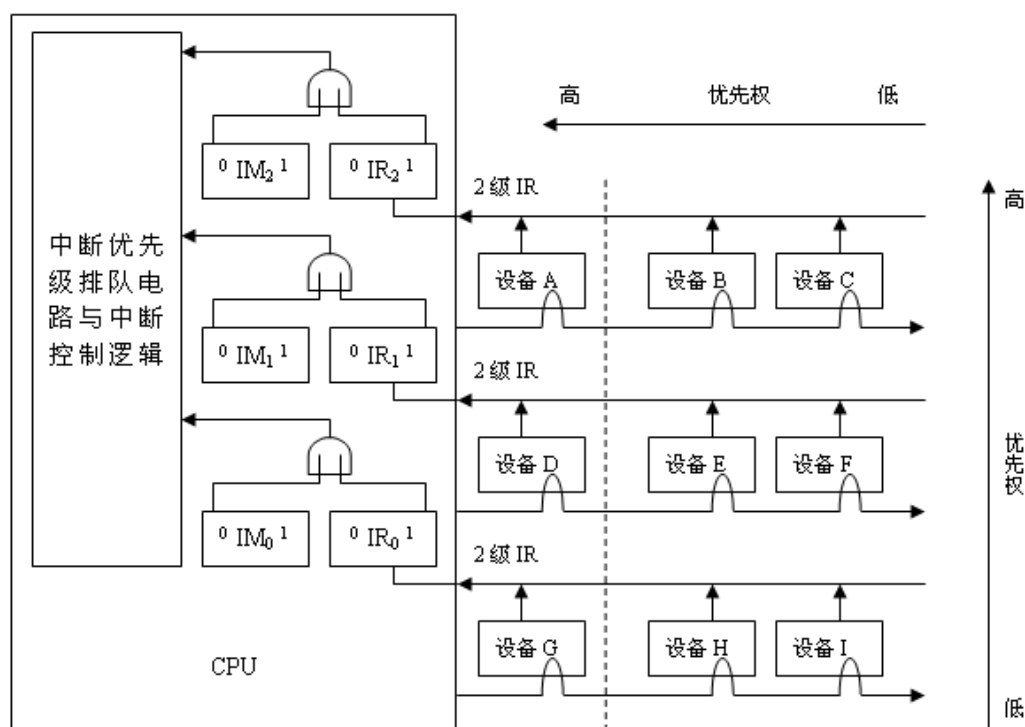
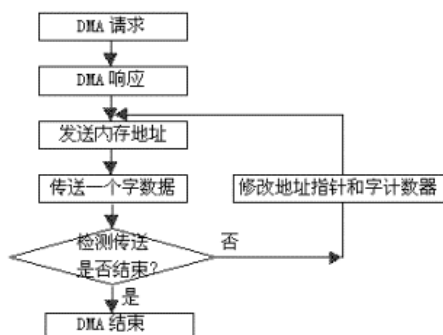


图 1

解：

- (1) 在中断情况下，CPU 的优先级最低。各设备的优先次序是：A - > B - > C - > D - > E - > F - > G - > H - > I - > CPU。
- (2) 执行设备 C 的中断服务程序时， $IM_2IM_1IM_0 = 111$ ；CPU 执行设备 H 的中断服务程序时， $IM_2IM_1IM_0 = 001$ 。
- (3) 每个级的 IM 标志不能对某个优先级的个别设备进行单独屏蔽。可将接口中的 EI（中断允许）标志清零，它禁止设备发出中断请求。
- (4) 要使 C 一提出中断请求，CPU 立即进行响应，可将设备 C 从第 2 级取出来，单独放在第 3 级上，使得第 3 级的优先级最高，即令 $IM_2 = 0$ 即可。

2、画出 DMA 传送数据流程图。



九、 外围设备

10、一盘组共 11 片，记录面为 20 面，每面上外道直径为 14 英寸，内道直径为 10 英寸，分 203 道。数据传输率为 983040B/S，磁盘转速为 3600 转/分。假定每个记录块记录 1024B，且系统可挂多达 16 台这样的磁盘，请给出适当的磁盘地址格式，并计算盘组总的存储容量。

有效存储区域：7-5=2 英寸

内层磁道周长为 $2\pi R=2*3.14*5=31.4$ 英寸

柱面有 203 个

每道信息量= $D_r/n=983040/60$ 转/s=16384B

每面信息量=16384*203=3325952B

盘组总容量=3325952B*20=66519040B

十、 其他

1、**静态** RAM 是靠双稳态触发器来记忆信息的;动态 RAM 是靠 MOS 电路中的栅极电容来记忆信息的。

2、物理地址:实际的**主存储器**的地址称为“真实地址”

3、采用 DMA 方式传送数据时，每传送一个数据要占用**存储周期**的时间。

4、一个 512KB 的存储器,其地址线和数据线的总和是____。512kB=2 的 19 次方 则地址线有 19 根 数据线要看你是几位机,要是一般单片机就是 8 位啊,还有 16 位, 32 位, 8 位就是 8 根线了, 依此类推。

5、

磁盘上不同盘面相同半径的同心圆所构成的磁记录轨迹集合称为 _____。

A、扇区

B、磁道

C、磁带

D、圆柱面

6、计算机指令指定的访问主存储器所用的地址叫做_____。

A、逻辑地址

B、物理地址

C、真实地址

D、扇区地址

7、

38. 在浮点机中，判断补码规格化形式的原则是_____。 C

A. 尾数的第一数位为1，数符任意；

B. 尾数的符号位与第一数位相同；

C. 尾数的符号位与第一数位不同；

D. 阶符与数符不同。