



UNIVERSIDAD DE BUENOS AIRES
FACULTAD DE INGENIERÍA
Año 2025 - 1^{er} cuatrimestre

Taller de Diseño de Circuitos Electrónicos (TA138)

Proyecto de diseño: Sistema de alimentación para aplicaciones industriales y automotrices

Checkpoint 2

Integrantes Grupo N°6		
Nombre y apellido	Padrón	Correo
Amddy Erly Zambrano Mercado	106540	azambranom@fi.uba.ar
Rocio Nicole Heredia Piñon	107621	rherediap@fi.uba.ar
Amalia Ochoa	107129	amochoa@fi.uba.ar
Juan Ignacio Biancuzzo	106005	jbiancuzzo@fi.uba.ar

Índice

1. Introducción	2
2. Mejoras del limitador de corriente	2
3. Implementación de la tensión de referencia	4
4. Compensación del lazo de tensión	5
4.1. Análisis Del Nodo Dominante	7
4.1.1. Nodo 1	8
4.1.2. Nodo 2	8
4.1.3. Nodo 3	8
4.1.4. Nodo 4	8
4.1.5. Nodo 5	9
4.2. Análisis	9
4.3. Compensación	9
5. Compensación del lazo de corriente	10
6. Análisis térmico	11
6.1. Disipador	11
6.2. Diseño de pistas	12
7. Diseño del PCB	12
8. Conclusión	14
9. Anexo	15

1. Introducción

En el desarrollo de este trabajo, se buscará mejorar ciertos puntos del Checkpoint 1 que quedaron pendientes. Entre estos se encuentra la mejora del limitador de corriente, buscando una corriente de cortocircuito menor y la implementación de la tensión de referencia utilizando un zener programable. Con estas modificaciones, se realiza un extensivo análisis en frecuencia para poder compensar el circuito. Hasta ahora, se logró la estabilización de la tensión a la salida esencialmente por la realimentación negativa lograda en el circuito. Sin embargo, manejando ganancias de lazo altas puede suceder que la fase rote 180° cuando la ganancia es todavía mayor a la unidad, pasando a una realimentación positiva y convirtiendo al circuito en uno inestable.

Además, al análisis de la compensación del circuito se suma el análisis térmico. Es importante asegurarse que ningún componente supere la temperatura máxima de funcionamiento, principalmente aquellos que manejen altas corrientes. Para esto, se estudiará si será necesario un disipador y en tal caso de que valor.

Para finalizar el checkpoint 2, se modifica el diseño de PCB previamente presentado tomando en cuenta no solo las modificaciones por diseño del circuito sino aquellas que se consideraron necesarias para facilitar su correcto funcionamiento en la práctica.

2. Mejoras del limitador de corriente

Uno de los requerimientos del Checkpoint 2 fue mejorar el limitador de corriente con una I_{CC} menor que la lograda en la versión anterior. Previamente, se tenía que $I_{CC} = 555$ mA sin embargo la requerida es de 400 mA, con una tolerancia del 10 %. Esto quiere decir que I_{CC} deberá estar entre 360 mA y 440 mA. Previamente, en el checkpoint 1, se tuvo el esquemático mostrado en la figura 1 y la expresión de I_{CC} en la ecuación 1.

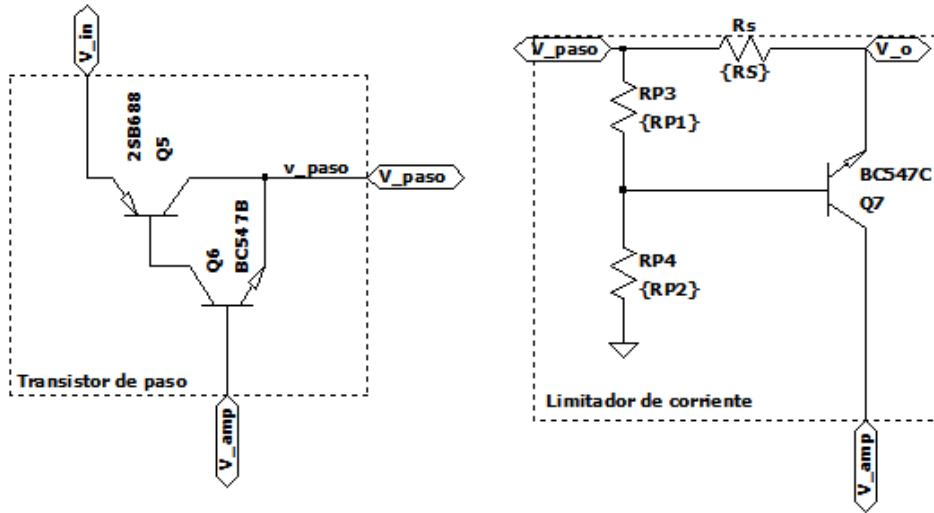


Figura 1: Esquemático del limitador de corriente

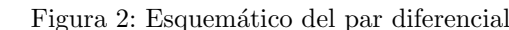
$$I_{CC} = \frac{V_{BE_{ON}}}{R_S} \left(1 + \frac{R_{P3}}{R_{P4}} \right) \quad (1)$$

Para disminuir I_{CC} , a partir de la expresión, se podría disminuir la relación de resistencias $\frac{R_{P3}}{R_{P4}}$ ya sea aumentando R_{P4} o disminuyendo R_{P3} . Otra opción es aumentar R_S , así como disminuir la $V_{BE_{ON}}$ que en la teoría lo tomamos como 0,7 V. En situación de cortocircuito, la corriente en la salida proviene del transistor del limitador y del transistor de paso. Si estas corrientes se logran disminuir, también disminuye la I_{CC} . Si se piensa con la expresión anterior, lo que se logra de esta manera es disminuir V_{BE} . Se probaron varias soluciones hasta encontrar aquella que optimice el funcionamiento del regulador de tensión.

Una de las soluciones que se plantearon fue disminuir $\frac{R_{P3}}{R_{P4}}$. Sin embargo, esta solución llevó a la disminución por fuera del rango tolerable de I_{MAX} . No se encontró un punto medio donde ambas corrientes estén dentro del rango tolerable.

Otra situación que se observó en la simulación es que mientras mayor sea R_S , menor es la corriente que circula a través de la misma. De esta forma no llegará a la carga la corriente que se necesita para mantener la tensión constante ante variaciones en la carga. El regulador lineal resultará menos estable.

A partir de estos resultados, se optó por disminuir la corriente proveniente del amplificador. Al tener que manejar corrientes más bajas, el uso de la etapa amplificadora perdió el sentido. Con esta etapa se debían colocar resistencias en la fuente de corriente del par muy altas para poder disminuir lo suficiente la corriente hasta llegar a un I_{CC} en el rango deseado. Sin embargo, pueden utilizarse resistencias más chicas y ahorrarse el uso de más componentes para llegar a este mismo resultado, quitando la etapa amplificadora.



3

optimice el funcionamiento del regulador.

Tanto la ganancia de lazo como la regulación de línea y carga empeoraron respecto a la versión del Checkpoint 1. Este fue el costo de lograr disminuir la I_{CC} . De todas formas, ante variaciones de V_{IN} o de R_L , V_o se sigue manteniendo entre 4,9 V y 5,1 V, cumpliendo con el requerimiento del proyecto. En la tabla 1 se muestran los cálculos de las propiedades que caracterizan al regulador en esta nueva versión mejorada.

Regulación de línea	$2,6 \times 10^{-3}$
Regulación de carga	12,8 mΩ
Ganancia de lazo	43,6 dB
I_{CC}	433,3 mA
I_{MAX}	1,58 A

TABLA 1: PARÁMETROS DEL REGULADOR

3. Implementación de la tensión de referencia

Para implementar una tensión de referencia estable se utiliza un diodo zener programable, de modelo TL431CLP. Para poder realizar la simulación, se buscó el modelo spice correspondiente. El esquemático resultante se muestra en la figura 3.

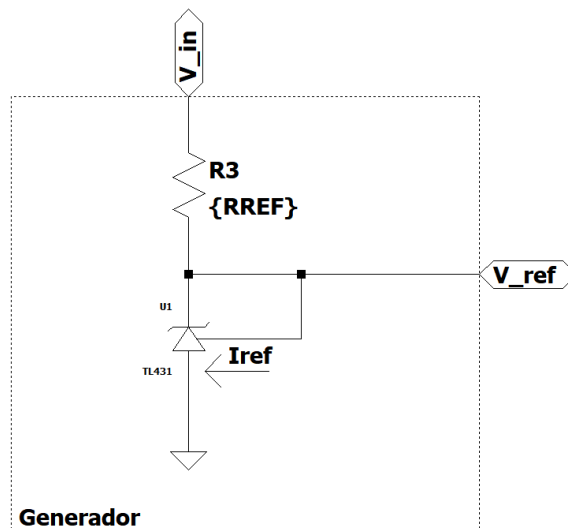


Figura 3: Implementación de la tensión de referencia

Existen muchas formas para poder implementar la tensión de referencia. En este caso, se optó por el diseño más simple, con menos componentes, logrando una tensión de referencia distinta a la implementada en el checkpoint 1. Debido a este cambio, se modificó el bloque de realimentación del circuito para que la tensión de salida se estabilice en 5 V. Con una tensión de referencia de 2,5 V y una tensión de salida de 5 V se requiere que en el divisor resistivo, ambas resistencias tengan el mismo valor. Por más que cumplan ser iguales, el valor que tomen modifica el comportamiento del circuito. Se simuló la regulación de línea, de carga y ganancia de lazo para distintos valores de resistencia hasta encontrar el valor comercial que logre el mejor funcionamiento del regulador. Esta modificación en el bloque realimentador, implicó un menor factor de realimentación y por ende una menor ganancia de lazo (en una pequeña medida).

Para poder definir la R_{ref} y polarizar correctamente al zener se analizaron las características eléctricas provistas por el fabricante. Estas se muestran en la tabla 2.

	Mín.	Típ.	Máx.
V_{ref}	2,44 V	2,495 V	2,55 V
I_{ref}	-	1,8 μA	4 μA
$I_{K_{\text{min}}}$	-	0,5 mA	1 mA
$I_{K_{\text{max}}}$	-	100 mA	-

TABLA 2: CARACTERÍSTICAS ELÉCTRICAS DEL TL431CLP

Se busca tener una corriente en el cátodo (I_K) que supere la mínima para poder encender el zener y esté por debajo de la máxima para no dañarlo. Con un $V_{\text{ref}} = 2,5 \text{ V}$ y $V_{\text{in}} = 9,3 \text{ V}$ en R_{ref} caen 6,8 V. Conociendo que la corriente que sale del generador es de unos 830 μA , y tomando una I_{min} de 1 mA basta con una R_{ref} menor a 3,7 k Ω para que funcione correctamente el circuito. Si se elije una resistencia que funcione para este caso de V_{in} , funcionará para todos los valores que puede tomar, por eso se tomó $V_{\text{in}} = 9,3 \text{ V}$.

En este trabajo, se eligió una $R_{\text{ref}} = 2,2 \text{ k}\Omega$, aprovechando que es un valor de resistencia ya utilizado en el proyecto. Se chequeó mediante simulación que las corrientes y tensiones del diodo zener cumplan con las especificaciones de la datasheet. Estos resultados se muestran en la tabla 3.

I_{ref}	2,1 μA
I_K	2,5 mA
V_{ref}	2,4945 V

TABLA 3: RESULTADOS DE LA IMPLEMENTACIÓN DE V_{REF}

4. Compensación del lazo de tensión

Con las mejoras del limitador de corriente y la implementación de la tensión de referencia, se analiza la respuesta en frecuencia del circuito. Se ha mencionado anteriormente que para lograr un regulador de tensión estable, se necesita una alta ganancia de lazo. De esta forma la ganancia del sistema depende principalmente del realimentador y no del amplificador de error que puede presentar dispersiones. Esto implica que cuando se genera una rotación de fase en 180°, la ganancia de lazo podría ser mayor que la unidad, generando que el circuito se torne inestable. La realimentación pasa a ser positiva. Particularmente, si la ganancia de lazo es igual que la unidad el circuito comenzará a oscilar. Para evitar esto, existen mecanismos de compensación. Para que la ganancia pueda ser menor que 0 dB al rotar la fase en 180° se puede agregar un polo a una frecuencia menor que el polo dominante, o mover el polo dominante a una frecuencia de corte menor. De esta forma, la ganancia comenzará a bajar desde antes y podría llegar a ser menor a la unidad al rotar la fase. Otra forma de compensación es por adelanto o atraso de fase, en la cual se agrega un cero que compense el efecto que tiene un polo sobre la fase para que la rotación de 180° llegue más tarde.

Para poder compensar correctamente el circuito, se debe tener en cuenta que R_L y C_L pueden variar. Particularmente, C_L podrá tomar valores entre 1 μF y 15 μF y R_L entre 3,33 Ω y 500 Ω , lo cual se determina a partir de la corriente mínima y máxima en la salida del regulador. Cuando R_L tome valores menores, ya no se analizará la compensación del lazo de tensión sino del lazo de corriente porque se activaría el limitador. El caso donde la ganancia de lazo es mayor al rotar 180° la fase se da cuando $R_L = 500 \Omega$ y $C_L = 1 \mu\text{F}$. La ganancia de lazo en este caso es de 16,6 dB. Con una $R_L = 33,3 \Omega$ y $C_L = 15 \mu\text{F}$ se obtiene la mejor respuesta en frecuencia, con una ganancia de lazo de -30 dB al rotar la fase. Sin embargo, compensar el circuito podría permitir mejorar el margen de fase, que en este caso resulta en 17°. El margen de fase es la fase que se mide cuando la ganancia es de 0 dB e indica los grados que puede disminuir la fase sin descompensarse el circuito (es lo que le falta para rotar en la frecuencia donde la ganancia es igual a la unidad). Idealmente, se busca un margen de fase mayor a 45° así ante variaciones del circuito este se podrá mantener compensado. Incluso en el mejor caso de respuesta en frecuencia, se requerirá compensar el circuito para aumentar el margen de ganancia.

Para poder analizar cuál es el nodo dominante, se calculan primero los parámetros de señal para cada transistor. Se considera para esto las dispersiones que presenta β , según el datasheet de cada transistor y las variaciones de R_L . Se tiene en cuenta que con las variaciones del circuito, los nodos que se planteen dominantes podrían ir variando. En las siguientes tablas se expresan los valores mínimo y máximo de estos parámetros, además de los valores de capacitancias de los transistores. En las figuras 1 y 2 se muestra cómo se enumeran los transistores.

Q_1 de modelo BC547C, tiene una variación de β entre 420 y 800. En este caso, la corriente I_C varía entre $402,7\mu\text{A}$ y $452,6\mu\text{A}$ y se toma $V_A = 52,6\text{V}$ como se especifica en el modelo spice. El transistor tiene una $f_T = 300\text{MHz}$ y un C_μ expresado en la tabla que es dado por el fabricante. Los parámetros calculados se expresan en la tabla 4.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	15.5	24.0	116.3	8.3	3.5
Máx.	17.5	51.5	130.7	9.3	6.0

TABLA 4: PARÁMETROS DE SEÑAL DE Q_1

Q_2 es el mismo modelo que Q_1 . Lo que varía es la corriente que circula a través del transistor, que se encuentra entre $362,8\mu\text{A}$ y $413,0\mu\text{A}$. Los resultados se muestran en la tabla 5.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	14.0	26.3	127.5	7.4	3.5
Máx.	15.9	57.1	145.1	8.5	6.0

TABLA 5: PARÁMETROS DE SEÑAL DE Q_2

Q_3 es un TBJ PNP de modelo BC557B. Según especificaciones del fabricante, β varía entre 200 y 450, $f_T = 150\text{MHz}$ y $C_\mu = 6\text{pF}$. Además, se tiene que $400,4\mu\text{A} < I_C < 449,8\mu\text{A}$ y $V_A = 21,11\text{V}$. Los resultados de los cálculos se expresan en la tabla 6.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	15.5	11.5	46.9	16.4	-
Máx.	17.4	29.1	52.7	18.4	6.0

TABLA 6: PARÁMETROS DE SEÑAL DE Q_3

Para Q_4 se utiliza el mismo modelo que Q_3 y se tiene que $413,7\mu\text{A} < I_C < 448,8\mu\text{A}$. Los parámetros de señal se expresan en la tabla 7.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	16.0	11.5	47.0	17.0	-
Máx.	17.3	28.2	51.0	18.4	6.0

TABLA 7: PARÁMETROS DE SEÑAL DE Q_4

El transistor utilizado para Q_5 es de modelo BC547B, con $200 < \beta < 450$, $f_T = 300\text{MHz}$ y un C_μ como el especificado en la tabla. Además, se simuló I_C con las variaciones en R_L y se observó que este varía entre $193,8\mu\text{A}$ y $21,0\text{mA}$. Según el modelo spice utilizado, $V_A = 63,2\text{V}$. Los resultados se muestran en la tabla 8.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	7.5	0.2	3.0	4.0	3.5
Máx.	812.0	60.1	326.1	431.0	6.0

TABLA 8: PARÁMETROS DE SEÑAL DE Q_5

Para Q_6 el modelo utilizado es el **2SB688**, con un $55 < \beta < 160$, $f_T = 10\text{MHz}$ y $C_\mu = 280\text{pF}$. De la simulación también se obtiene que $V_A = 100\text{V}$ y $14,1\text{mA} < I_C < 1,5\text{A}$. Los resultados se muestran en la tabla 9.

	g_m [S]	r_π [Ω]	r_o [Ω]	C_π [nF]	C_μ [pF]
Min.	0.5	1.0	67.6	8.7	-
Máx.	57.1	294.0	7090.0	909.5	280.0

TABLA 9: PARÁMETROS DE SEÑAL DE Q_6

Para Q_7 el modelo utilizado es de BC547C. Este transistor maneja corrientes muy pequeñas para el análisis de compensación de lazo de tensión dado que el limitador no se encuentra activado. Se manejarán resistencias muy altas, del orden de los $M\Omega$, $G\Omega$, con un C_π prácticamente nulo y un C_μ entre 3,5 pF y 6 pF, como es especificado en la datasheet.

Para el caso de los transistores Q_8 y Q_9 , que conforman la fuente de corriente, el modelo utilizado es BC547C (como los transistores Q_1 , Q_2 y Q_7). Por ambos transistores circula prácticamente la misma corriente $I_C = 820 \mu A$, que se mantiene aprox. constante con las variaciones de carga. Como los modelos y las corrientes son iguales, el cálculo de parámetros será el mismo en cada caso. Esto se muestra en la tabla 10.

	g_m [mS]	r_π [k Ω]	r_o [k Ω]	C_π [pF]	C_μ [pF]
Min.	-	13.3	-	-	3.5
Máx.	31.7	25.3	64.2	16.8	6.0

TABLA 10: PARÁMETROS DE SEÑAL DE Q_8 Y Q_9

4.1. Análisis Del Nodo Dominante

Previo a hacer un análisis en detalle de los nodos dominantes, se realizó un análisis cualitativo para determinar los nodos candidatos a ser dominantes. Los nodos de la fuente de corriente no se tomaron, dado que no transporta señal. Tampoco se tomó en cuenta el nodo en la base del transistor en el limitador de corriente, dado que no está activado. Más allá de esto, se tomaron valores promedios de los parámetros de señal para poder observar la resistencia y capacitancia equivalente en cada nodo y así resolver utilizando el método de constantes de tiempo para altas frecuencias. Como análisis básico se tuvo más que nada en cuenta el orden de magnitud de estos valores. El análisis se realizó a “ojo”, despreciando resistencias cuando se creyó correcto. De esta manera se tuvo una idea del comportamiento en frecuencia del circuito, y se eligieron los nodos que podían ser dominantes. Estos nodos elegidos se muestran en la figura 4.

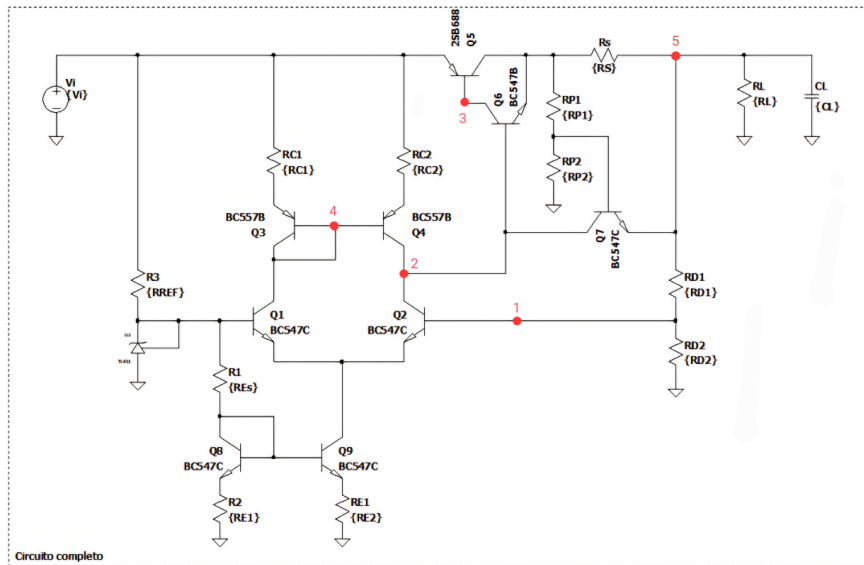


Figura 4: Circuito Completo con nodos a analizar.

A diferencia del caso anterior, se vuelve a utilizar el método de constantes de tiempo sobre estos nodos pero con un desarrollo más extenso. La idea es analizar los polos ficticios asociados a las capacidades equivalentes

en cada nodo y evaluar cuál es el polo que impone la frecuencia de corte, el que tiene menor frecuencia. Este será el polo de interés para poder compensar el circuito.

4.1.1. Nodo 1

$$\begin{aligned} R_1 &= r_{\pi_2} // (R_{D_2} // (R_{D_1} + R_L // R')) \\ R' &= R_s + (R_{P_1} + R_{P_2}) // \left(R_{O_{eq}} // \left(\frac{1}{g_{m_{eq}}} + \frac{R_{O_2}}{B_{eq}} \right) \right) \\ C_1 &= C_{\pi_2} + C_{\mu_2} \cdot \left(1 - \frac{v_{c_2}}{v_{b_2}} \right) \\ \frac{v_{c_2}}{v_{b_2}} &= -g_{m_2} \cdot \left(R_{O_2} // \left(r_{\pi_{eq}} + \frac{R_{E_{eq}} \cdot (B_{eq} \cdot R_{O_{eq}})}{R_{E_{eq}} + R_{O_{eq}}} \right) \right) \end{aligned}$$

4.1.2. Nodo 2

$$\begin{aligned} R_2 &= R_{O_2} // \left(r_{\pi_{eq}} + \frac{R_{E_{eq}} \cdot (B_{eq} \cdot R_{O_{eq}})}{R_{E_{eq}} + R_{O_{eq}}} \right) \\ R_{E_{eq}} &= (R_{P_1} + R_{P_2} // (R_s + R_L // (R_{D_1} + R_{D_2} // r_{\pi_2}))) \\ C_2 &= C_{\mu_2} + C_{\mu_4} + C_{\mu_7} + C_{\pi_6} \left(1 - \frac{v_{e_6}}{v_{b_6}} \right) + C_{\mu_6} \cdot \left(1 - \frac{v_{c_6}}{v_{b_6}} \right) \\ \frac{v_{c_6}}{v_{b_6}} &= -\frac{g_{m_6} \cdot r_{\pi_5}}{1 + g_{m_6} \cdot (R_{O_5} // R_{E_{eq}})} \\ \frac{v_{e_6}}{v_{b_6}} &= \frac{g_{m_6} \cdot (R_{O_5} // R_{E_{eq}})}{1 + g_{m_6} \cdot (R_{O_5} // R_{E_{eq}})} \end{aligned}$$

4.1.3. Nodo 3

$$\begin{aligned} R_3 &= r_{\pi_5} // (R_{O_6} + (r_{\pi_6} // R_{O_5} // R_{E_{eq}}) \cdot (g_{m_6} \cdot R_{O_6} + 1)) \\ C_3 &= C_{\pi_5} + C_{\mu_6} + C_{\mu_5} \cdot \left(1 - \frac{v_{c_6}}{v_{b_6}} \right) \end{aligned}$$

4.1.4. Nodo 4

$$\begin{aligned} R_4 &= (r_{\pi_4} + R_c) // \left(\frac{1}{g_{m_5}} + R_c \right) \\ C_4 &= C_{\pi_3} \cdot \left(1 - \frac{v_{e_3}}{v_{b_3}} \right) + C_{\pi_4} \cdot \left(1 - \frac{v_{e_4}}{v_{b_4}} \right) + C_{\mu_4} \cdot \left(1 - \frac{v_{c_4}}{v_{b_4}} \right) \\ \frac{v_{c_4}}{v_{b_4}} &= -\frac{g_{m_4} \cdot \left(R_{O_2} // \frac{R_{E_{eq}} \cdot (B_{eq} \cdot R_{O_{eq}})}{R_{E_{eq}} + R_{O_{eq}}} \right)}{1 + g_{m_4} \cdot R_c} \\ \frac{v_{e_4}}{v_{b_4}} &= \frac{g_{m_4} \cdot R_c}{1 + g_{m_4} \cdot R_c} \\ \frac{v_{e_3}}{v_{b_e}} &= \frac{\beta_3 \cdot R_{O_1}}{R_{\pi_3} // R_{O_3} + \beta_3 \cdot R_{O_1}} \end{aligned}$$

4.1.5. Nodo 5

$$R_5 = R_L // (R_{D1} + R_{D2} // r_{\pi 2}) // R'$$

$$R' = R_s + (R_{P1} + R_{P2}) // \left(R_{o_{eq}} // \left(\frac{1}{g_{m_{eq}}} + \frac{R_{o2}}{B_{eq}} \right) \right)$$

$$C_5 = C_L$$

4.2. Análisis

Se realizó un script, detallado en el anexo, en el cual se analiza cada nodo variando la resistencia R_L y obteniendo las frecuencias asociadas a cada nodo en cuestión, como también la f_h . Esto permite observar la influencia de los nodos con mayor claridad. La imagen 5 permite ver estos resultados.

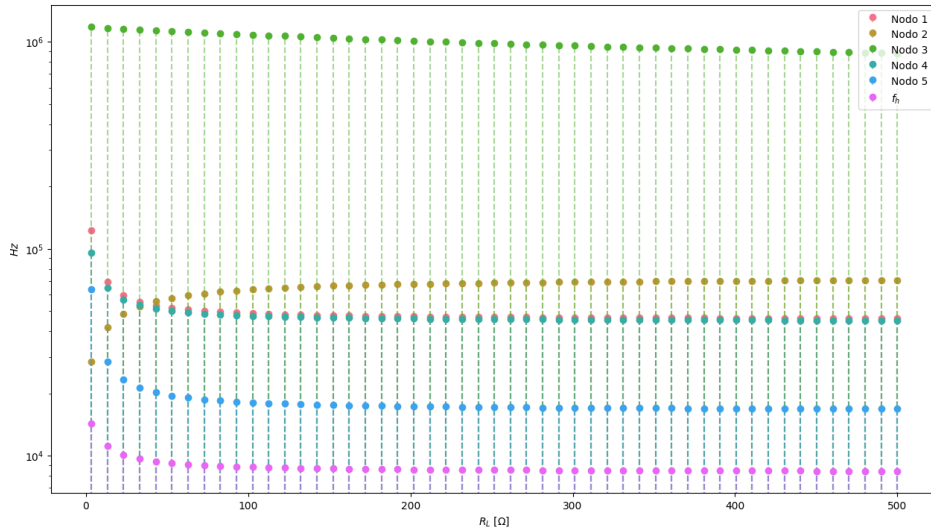


Figura 5: Análisis de frecuencia por nodo variando R_L , con $C_L = 1 \mu F$

Se puede apreciar cómo para el caso con $C_L = 1 \mu F$, el nodo de la salida, nombrada Nodo 5 en la figura, es un nodo dominante. Los nodos 1, 2 y 4, como se mencionó a lo largo de este análisis, son los dominantes dentro de nuestro circuito.

4.3. Compensación

Se logró ver que no hay exactamente un nodo dominante, por lo cual existen múltiples maneras de compensar el sistema. Entre las posibles soluciones está colocar un capacitor de compensación en paralelo a las capacidades $C_{\mu 2}$ y $C_{\mu 4}$, ya que, debido a las altas ganancias al realizarse la reflexión por Miller, estos presentan el mayor efecto capacitivo en sus correspondientes nodos.

También agregando un capacitor entre el nodo 2 y tierra se consigue mejorar fuertemente la compensación, ya que este contribuye a la compensación de los demás nodos. Se optó por realizar la compensación en este nodo.

Para el circuito sin compensar se tiene un margen de fase de -30° y un margen de ganancia de 16,7 dB al rotar la fase -180° .

Se desplazó el nodo dominante a frecuencias más bajas para lograr obtener un mayor margen de fase y buscar no perder tanto ancho de banda. Para esto, el objetivo fue desplazarlo alrededor de una década, con

lo cual se obtuvo mediante una capacidad de 12 nF, logrando así un margen de fase de $37,2^\circ$. No se optó por capacidades mayores para llegar a los 45° , dado que para ciertas combinaciones de R_L y C_L , el margen de fase resultaba muy grande pudiendo llevar a una sobrecompensación. Esto llevaría a respuestas lentas en el circuito. Considerando el tiempo de respuesta, el ancho de banda y el margen de fase se intentó llegar a un punto medio. Se logró de esta manera un circuito mucho más estable ante variaciones.

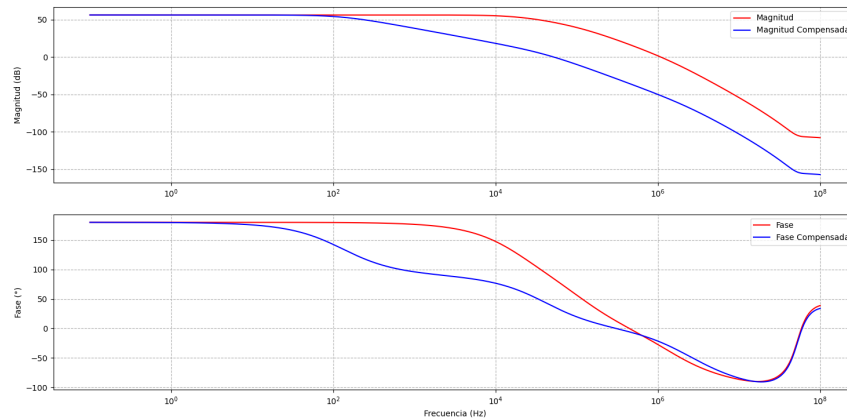


Figura 6: Bode Lazo de Tensión Compensado y sin Compensar.

5. Compensación del lazo de corriente

Con la compensación realizada para el lazo de tensión, se observa el análisis en frecuencia del lazo de corriente. Para poder realizar esto, se toma una resistencia de carga menor a $2,7 \Omega$, asegurando que el lazo de corriente esté activado. Se tomó particularmente una $R_L = 0,1 \text{ m}\Omega$, para que la salida sea prácticamente un cortocircuito, y la corriente se mantenga constante. Para calcular la ganancia de lazo, se “abre” el lazo en un punto arbitrario y se mide de la misma manera que se realizó con el lazo de tensión. Con el capacitor de compensación ya colocado, se observó que el lazo de corriente también resulta estar compensado, para toda resistencia menor a $2,7 \Omega$ que se le coloque. De esta manera, no resultó necesario agregar más modificaciones al circuito. En la figura 7 se muestra el análisis en frecuencia con una $R_L = 0,1 \text{ m}\Omega$ y $C_L = 1 \mu\text{F}$ en el circuito compensado y sin compensar.

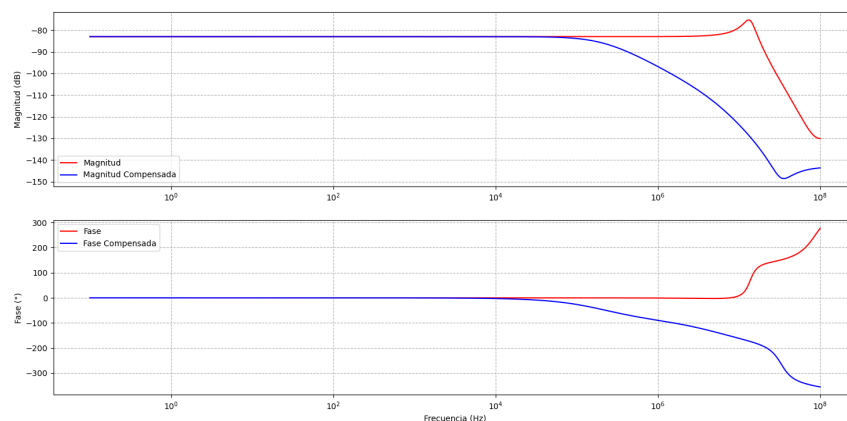


Figura 7: Bode lazo de Corriente Compensado y sin Compensar.

Con la compensación, el pico que se observa en la ganancia de lazo se aplana, estabilizando el circuito.

6. Análisis térmico

6.1. Disipador

En esta sección se va a realizar el cálculo del disipador para el transistor de potencia Q_5 , el cual va a manejar corrientes de hasta 1,57 A.

En primer lugar, se quiere estudiar la potencia que va a disipar el transistor para distintas corrientes, es decir, a diferentes valores de I_{R_L} con un $V_o = 5$ V. Esto va a mostrar el punto de mayor potencia disipada que se da para cierto R_L , lo cual va a servir como parámetro de potencia máxima disipada.

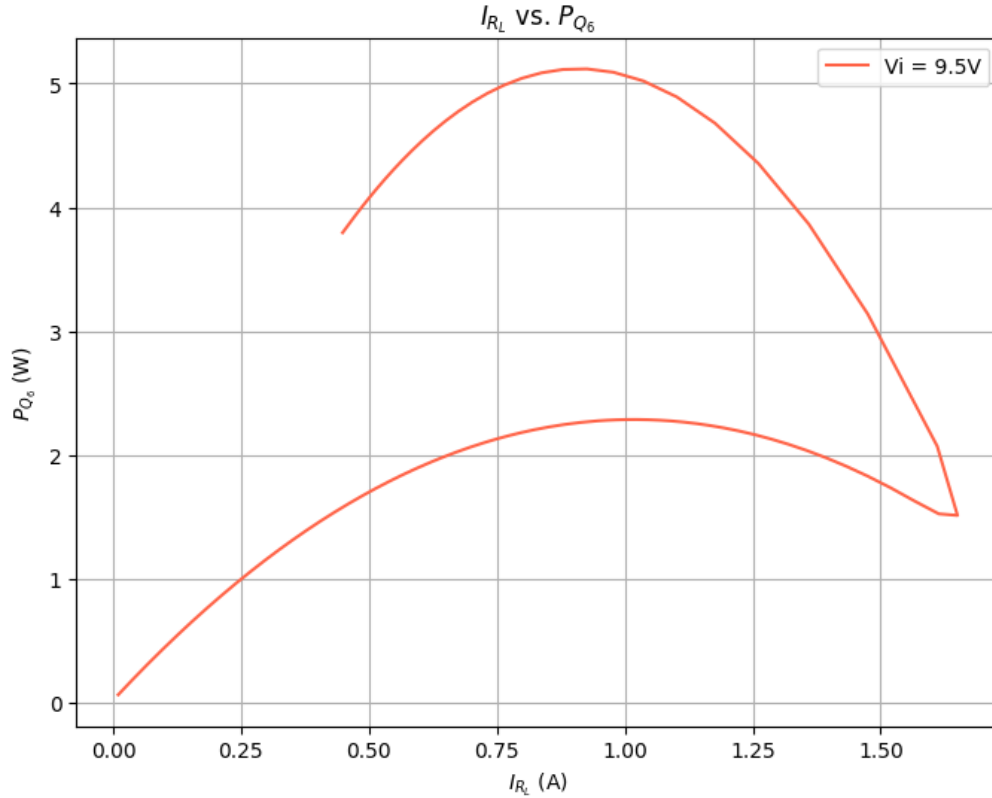


Figura 8: I_{R_L} vs. $P_{Q_6} = V_{CE} \cdot I_C$

El gráfico 8 se logra barriendo R_L entre $0,1 \Omega$ y 500Ω con incrementos de $0,05 \Omega$. Se exportaron los datos de LTSpice, y se realizó el gráfico en *Python*, calculando además el valor de potencia máxima logrado. Se obtuvo que $P_{MAX} = 5,12$ W, a una corriente de $I_{R_L} = 0,93$ A y $R_L = 5,4 \Omega$. Este será el parámetro que corresponde a P_{Cmax} , potencia de carcasa máxima.

Teniendo en cuenta la Ley de Ohm térmica, se cumple que:

$$\theta_{ja} = \frac{T_j - T_a}{P_{Cmax}} \quad (2)$$

De la hoja de datos del transistor de potencia **2SB688**, se tiene que se garantiza su funcionamiento para el rango $55^\circ\text{C} < T_j < 150^\circ\text{C}$. Asumiendo una resistividad térmica carcasa-ambiente en contacto con el aire $\theta_{ja} = 35 \frac{^\circ\text{C}}{\text{W}}$, tomando $T_a = 50^\circ\text{C}$ y reemplazando en (2) se tiene que:

$$T_j = T_a + \theta_{ja} \cdot P_{Cmax} = 50^\circ\text{C} + 35 \frac{^\circ\text{C}}{\text{W}} \cdot 5,12 \text{ W} = 228^\circ\text{C} \quad (3)$$

Dado que para este circuito se excede la T_j especificada por el fabricante, se procede a diseñar un disipador adecuado. Se puede calcular la resistividad térmica θ_{ja} juntura-ambiente del disipador necesario tomando los valores críticos $T_j = 150^\circ\text{C}$, $T_a = 50^\circ\text{C}$:

$$\theta_{ja} = \frac{150^{\circ}\text{C} - 50^{\circ}\text{C}}{5,12\text{ W}} \approx 19,54 \frac{^{\circ}\text{C}}{\text{W}} \quad (4)$$

Luego, dada la relación entre las resistencias térmicas entre la junta (j) - cápsula (c) - disipador (s):

$$\theta_{ja} = \theta_{jc} + \theta_{cs} + \theta_{sa}, \quad \theta_{ca} \gg \theta_{cs} + \theta_{sa} \quad (5)$$

Se obtiene la resistencia térmica del disipador-ambiente. De la hoja de datos del **2SB688**, $\theta_{jc} = 1,56 \frac{^{\circ}\text{C}}{\text{W}}$ y $\theta_{cs} = 1,5 \frac{^{\circ}\text{C}}{\text{W}}$ como valor típico de la interfaz disipador-carcasa sin grasa. Entonces,

$$\theta_{ja} = 19,54 \frac{^{\circ}\text{C}}{\text{W}} - 1,56 \frac{^{\circ}\text{C}}{\text{W}} - 1,5 \frac{^{\circ}\text{C}}{\text{W}} = 16,48 \frac{^{\circ}\text{C}}{\text{W}} \quad (6)$$

Reemplazando en (2),

$$T_j = T_a + \theta_{ja} \cdot P_{Cmax} = 50^{\circ}\text{C} + 16,48 \frac{^{\circ}\text{C}}{\text{W}} \cdot 5,12\text{ W} = 134^{\circ}\text{C} \quad (7)$$

Que resulta bastante menor al límite superior indicado por el fabricante. Comercialmente se tiene que comprar una de menor valor, ya que a menor temperatura disipa mejor la potencia. Se eligió el **D-6225D** que disipa $10 \frac{^{\circ}\text{C}}{\text{W}}$ y tiene un tamaño pequeño para soldar.

6.2. Diseño de pistas

Para el diseño de las pistas, se toma de referencia que para la mayoría de las aplicaciones comerciales se usa un grosor de $1,0\text{ oz/ft}^2$ y a ese grosor se recomienda un mínimo de ancho de $1,0\text{ mm/A}$. Entonces, para las etapas de potencia se usará 2 mm de ancho de la pista y para las etapas de baja potencia, 1 mm de ancho. Luego, para que los efectos capacitivos sean despreciables se diseña el circuito tal que la distancia entre pistas sea por lo menos una pista.

7. Diseño del PCB

Se tomó el PCB del Checkpoint 1 y se le agregó el capacitor de compensación y se modificó el ancho de las pistas. Por otro lado, se eliminó el plano a tierra por simplicidad y la etapa amplificadora por diseño. En relación al diseño anterior, se optó por una distribución de componentes más espaciada para que sea mas amigable a la vista, que luego se puede comprimir a la hora de la implementación de ser necesario. Una vez que el circuito esté armado, al realizar pruebas para comprobar su correcto funcionamiento puede ser necesario medir en distintos lugares de la placa. Al no observar lo que uno esperaría en la salida, puede ir recorriendo el circuito observando las señales en el osciloscopio para tener una mejor idea de qué está pasando y dónde se encuentra el problema. Entonces, para los puntos que consideramos importante para las mediciones, se agregó el espacio para soldar pines que faciliten la medición.

Además, podría ser importante dejar desconectado el emisor de la fuente de corriente en uno de los transistores del par diferencial. Con esto se asegura de poder agregar una resistencia para compensar la tensión de offset si lo fuera necesario. Sino, se pondrá un cable.

El plano del circuito diseñado se muestra a continuación:

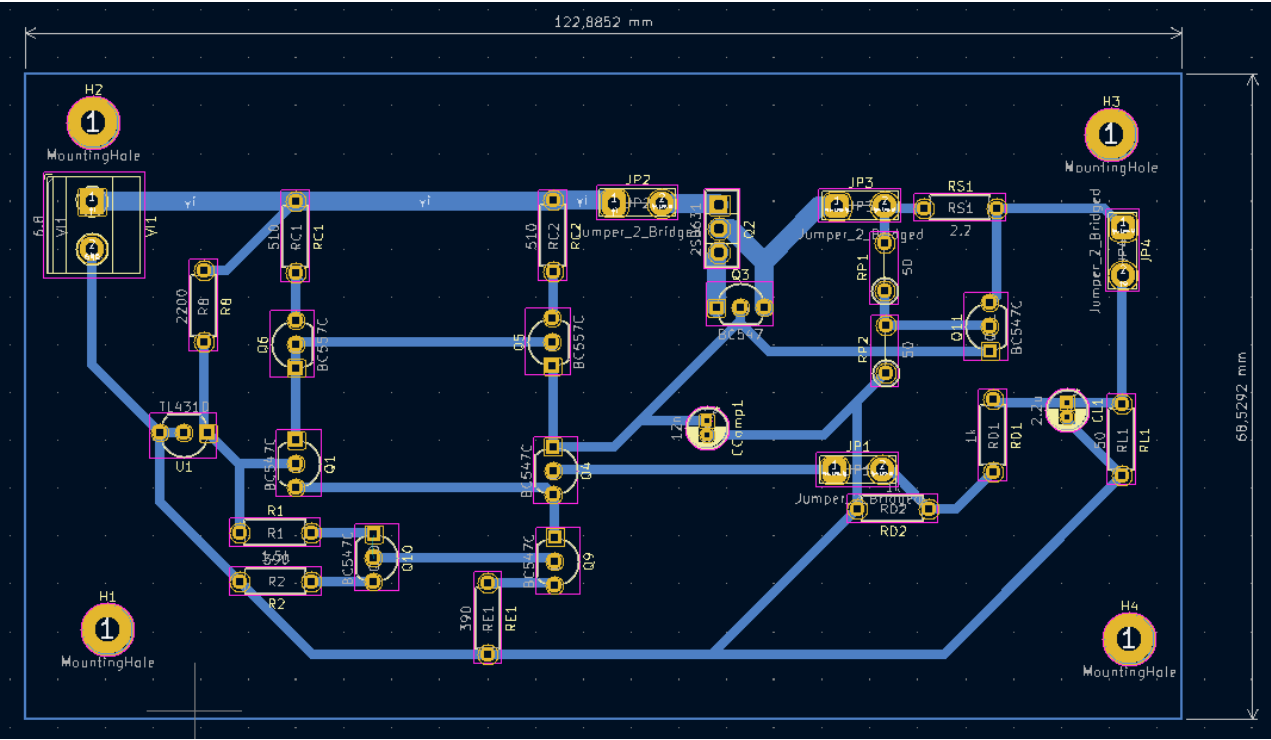


Figura 9: Plano del PCB diseñado

La vista 3D es la siguiente:

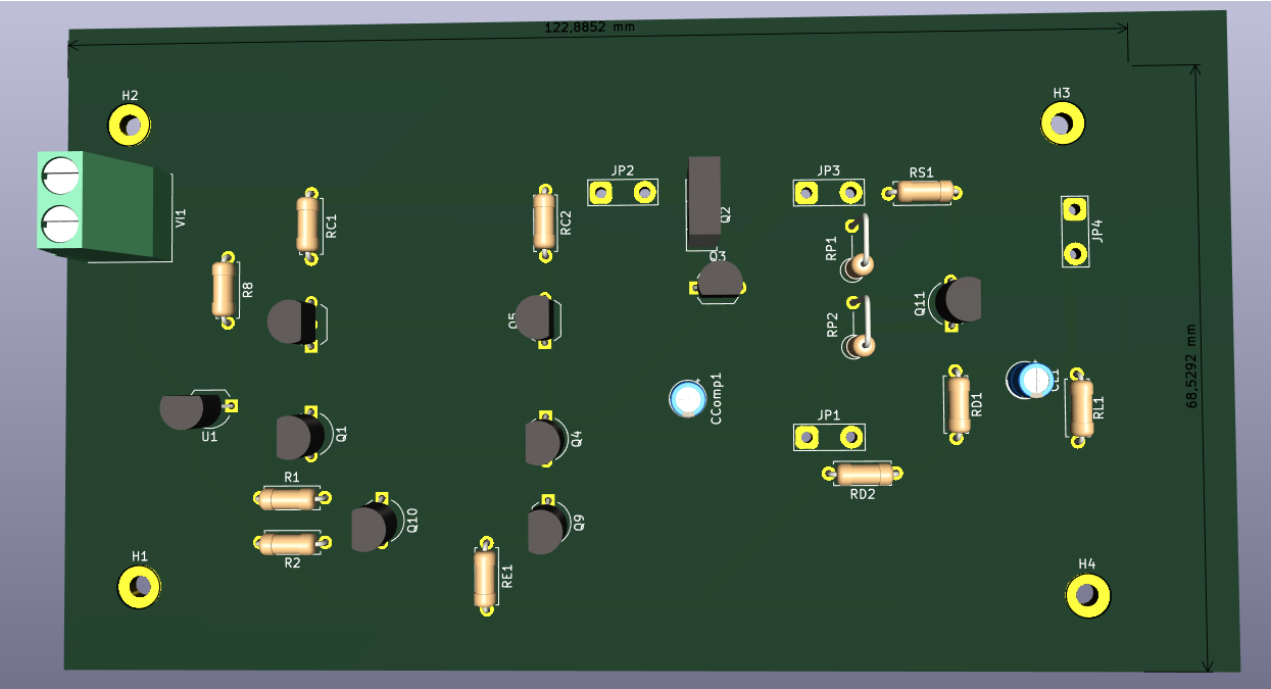


Figura 10: Frente del PCB diseñado

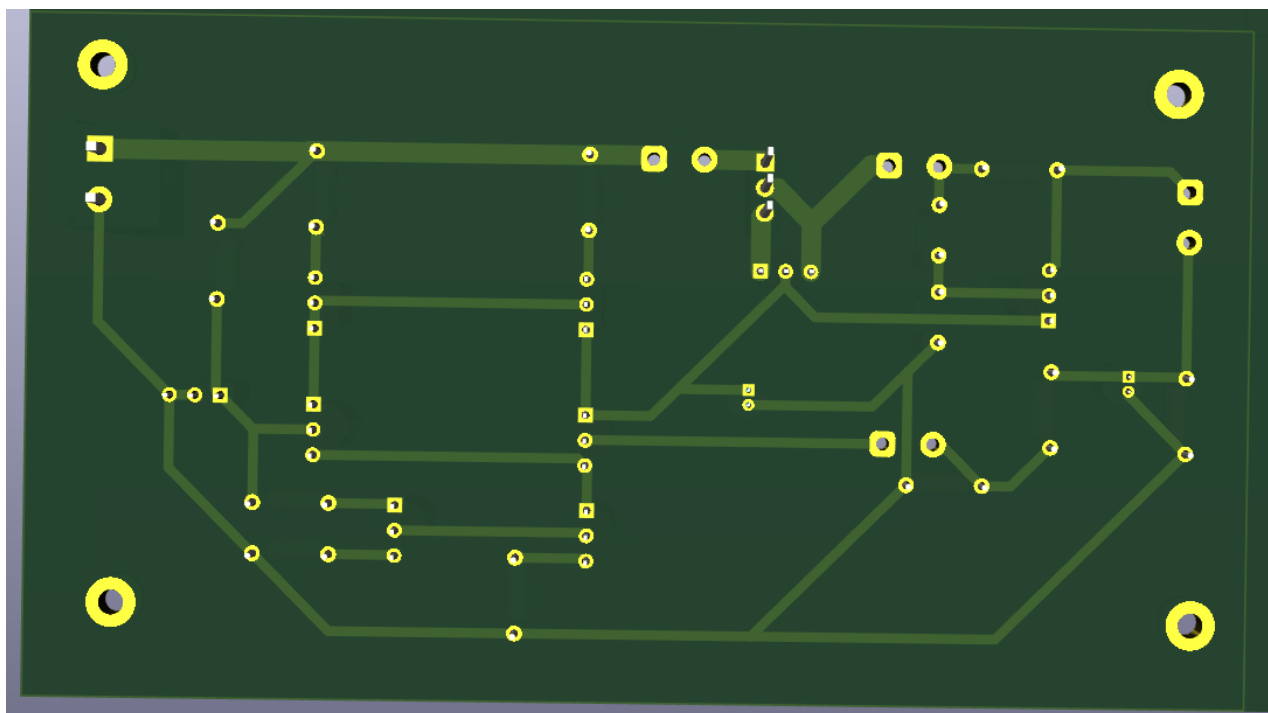


Figura 11: Dorso del PCB diseñado (Espejado)

8. Conclusión

Lo primero que se realizó para este checkpoint fue mejorar el limitador de corriente, logrando disminuir I_{CC} dentro del rango tolerable. Esto se puede lograr de varias formas, pero se eligió aquella que no aumentara en gran medida la regulación de línea, de carga y la ganancia de lazo. Modificando las resistencias que se utilizaron en este caso, se podría disminuir aún más I_{CC} con el costo de empeorar la regulación. En este punto, se tiene la posibilidad de optar qué resulta más conveniente. Dado que el transistor de paso está fabricado para que le circulen altas corrientes, podría no generarle un sobre estrés mantener una I_{CC} un poco más alta con el beneficio de una mayor estabilización a la salida del regulador.

Asimismo, la implementación de la tensión de referencia podía encararse de distintas maneras. Con este diseño, la tensión de referencia debe ser de 2,5 V. Sin embargo, si se quisiera otra tensión de referencia se deberían agregar componentes a la implementación. Optando por mantener el diseño simple, se modificó el bloque de realimentación ante la variación de la tensión de referencia respecto al trabajo práctico anterior. Si se necesitara lograr otro valor de referencia, ya se conoce que se puede implementar de distintas formas, agregando más resistencias para lograrlo.

A lo largo de este trabajo se logró analizar en profundidad la respuesta en frecuencia del circuito, y cómo modificarlo para obtener un margen de fase y un margen de ganancia adecuados para un correcto funcionamiento del circuito, logrando que este sea estable incluso con las dispersiones que pueden haber sobre los parámetros de los componentes. Durante este análisis se observaron distintas formas de poder encarar esta compensación dado que no era un único polo el dominante. De igual forma, tomando un nodo para compensar existen distintas formas para conectar el capacitor de compensación. En caso de ser necesario, se tienen en cuenta estas posibilidades para modificar el circuito. Esta compensación implicó un menor ancho de banda, por lo que se buscó llegar a un punto medio en donde se logre un margen de fase medianamente alto sin perder tanto ancho de banda. Sin embargo, si este se buscara aumentar ya se conoce que se puede aumentar el valor del capacitor de compensación para lograrlo. Tampoco se eligió un valor muy alto de capacitancia para aumentar el margen de fase porque implicaría una respuesta más lenta del circuito.

Finalmente, existe mucha libertad en cuánto a cómo diseñar el PCB. Se puede optar por un diseño más compacto o más espaciado así como el agregado o no de pines. Sin embargo, para no estar ante una situación de necesitar modificar la placa en un futuro, se busca tener espacio y pines de más para poder medir cómodamente los parámetros del circuito. Y de esta manera lograr finalmente su correcto funcionamiento.

9. Anexo

Para la compensación se escribió un script de *Python*, el cual es el siguiente

```
1 import sys
2 import numpy as np
3 import pandas as pd
4
5 RC = 220
6 RD1 = 1*10**3
7 RD2 = 1*10**3
8 RP1 = 1*10**3
9 RP2 = 1.8*10**3
10 RS = 2.2
11
12 CL = 1*10**(-6)
13
14 Vth = 25.9*10**(-3)
15
16 BETA = "beta"
17 GM = "gm"
18 RPI = "Rpi"
19 RO = "Ro"
20 CMU = "Cmu"
21 CPI = "Cpi"
22
23 TIPO_NPN = "N"
24 TIPO_PNP = "P"
25
26 class TransistorPNP:
27     def __init__(self, nombre, beta, fTMh, va, cmupF):
28         self.nombre = nombre
29         self.beta = beta
30         self.fT = fTMh * 10**6
31         self.va = va
32         self.cmu = cmupF * 10**(-12)
33
34     def parametros(self, Ic):
35         gm = -Ic / Vth
36         return {
37             BETA: self.beta,
38             GM: gm,
39             RPI: self.beta / gm,
40             RO: -self.va / Ic,
41             CMU: self.cmu,
42             CPI: gm / (2 * np.pi * self.fT ),
43         }
44
45     def __str__(self):
46         fTMHz = self.fT * 10**(-6)
47         cmu = self.cmu * 10**12
48
49         return f"{self.nombre}-PNP: [b:{self.beta} VA:{self.va:.2f} fTMHz:{fTMHz:.2f} CmuF:{cmu:.2f}]"
50
51 class TransistorNPN:
52     def __init__(self, nombre, beta, fTMh, va, cmupF):
53         self.nombre = nombre
54         self.beta = beta
55         self.fT = fTMh * 10**6
56         self.va = va
57         self.cmu = cmupF * 10**(-12)
58
59     def parametros(self, Ic):
60         gm = Ic / Vth
61         return {
62             BETA: self.beta,
63             GM: gm,
64             RPI: self.beta / gm,
65             RO: self.va / Ic,
66             CMU: self.cmu,
```



```

67         CPI: gm / (2 * np.pi * self.fT ),
68     }
69
70     def __str__(self):
71         fTMHz = self.fT * 10**(-6)
72         cmu = self.cmu * 10**12
73
74         return f"{self.nombre}-NPN: [b:{self.beta} VA:{self.va:.2f} fTMHz:{fTMHz:.2f} CmuPF:{cmu:.2f}]"
75
76     def paral(R1, R2):
77         return 1 / ( (1 / R1) + (1 / R2) )
78
79     def calculoDeNodos(RL, pQ1, pQ2, pQ3, pQ4, pQ5, pQ6):
80         # Resistencias importante
81         roeq = pQ5[R0]
82         rpieq = pQ6[RPI] + (pQ6[BETA] + 1) * pQ5[RPI]
83         gmeq = pQ5[GM] * (1 + pQ6[BETA])
84         beq = pQ5[BETA] * (1 + pQ6[BETA])
85
86         Rprima = RS + paral(RP1 + RP2, paral(roeq, (1 / gmeq) + (pQ2[R0] / beq)))
87         Reeq = paral(RP1 + RP2, RS + paral(RL, RD1 + paral(RD2, pQ2[RPI])))
88
89         # Ganancia
90         Avcb2 = -pQ2[GM] * paral(pQ2[R0], rpieq + (Reeq * beq * roeq) / (Reeq + roeq))
91         Avcb6 = -pQ6[GM] * pQ5[RPI] / (1 + pQ6[GM] * paral(pQ5[R0], Reeq))
92         Aveb6 = pQ6[GM] * paral(pQ5[R0], Reeq) / (1 + pQ6[GM] * paral(pQ5[R0], Reeq))
93
94         Avcb4 = -pQ4[GM] * paral(pQ2[R0], rpieq + (Reeq * beq * roeq) / (Reeq + roeq)) / 1 + (pQ4[GM] * RC)
95         Aveb4 = pQ4[GM] * RC / (1 + pQ4[GM] * RC)
96         Aveb3 = ( pQ3[BETA] * pQ1[R0] ) / ( paral(pQ3[RPI], pQ3[R0]) + pQ3[BETA] * pQ1[R0] )
97
98         # Calculo de nodos en si
99         datosN1 = {
100             "nodo": "Nodo 1",
101             "R": paral(pQ2[RPI], paral(RD2, RD1 + paral(RL, Rprima))),
102             "C": pQ2[CPI] + pQ2[CMU] * (1 - Avcb2),
103         }
104
105         datosN2 = {
106             "nodo": "Nodo 2",
107             "R": paral(pQ2[R0], rpieq + (Reeq * beq * roeq) / (Reeq + roeq)),
108             "C": pQ2[CMU] + pQ4[CMU] + pQ6[CMU] * (1 - Avcb6) + pQ6[CPI] * (1 - Aveb6),
109         }
110
111         datosN3 = {
112             "nodo": "Nodo 3",
113             "R": paral(pQ5[RPI], pQ6[R0] + paral(pQ6[RPI], paral(pQ5[R0], Reeq)) * (pQ6[GM] * pQ6[R0] + 1)),
114             "C": pQ5[CPI] + pQ6[CMU] + pQ5[CMU] * (1 - Avcb6),
115         }
116
117         datosN4 = {
118             "nodo": "Nodo 4",
119             "R": paral(pQ4[RPI] + RC, RC + (1 / pQ3[GM])),
120             "C": pQ3[CPI] * (1 - Aveb3) + pQ4[CPI] * (1 - Aveb4) + pQ4[CMU] * (1 - Avcb4),
121         }
122
123         datosSalida = {
124             "nodo": "Nodo 5",
125             "R": paral(RL, paral(Rprima, RD1 + paral(RD2, pQ2[RPI]))),
126             "C": CL,
127         }
128
129         return datosN1, datosN2, datosN3, datosN4, datosSalida
130
131     def generarTransistor(nombre, tipo, dispBeta, dispFTMh, va, dispCmuPF):
132         transistores = []
133
134         for beta in dispBeta:

```

```

135         for fTMh in dispFTMh:
136             for cmuPF in dispCmuPF:
137                 if tipo == TIPO_NPN:
138                     transistores.append(TransistorNPN(nombre, beta, fTMh, va, cmuPF))
139                 elif tipo == TIPO_PNP:
140                     transistores.append(TransistorPNP(nombre, beta, fTMh, va, cmuPF))
141
142     return transistores
143
144 class GenerarConfiguracion:
145     def __init__(self, grupoDeTransistores):
146         self.grupoDeTransistores = grupoDeTransistores
147
148     def __iter__(self):
149         self.contadores = []
150         for _ in self.grupoDeTransistores:
151             self.contadores.append(0)
152
153         self.salir = len(self.contadores) == 0
154
155         return self
156
157     def __next__(self):
158         if self.salir:
159             raise StopIteration
160
161         configuracion = []
162         for posibleTransistor, contador in zip(self.grupoDeTransistores, self.contadores):
163             configuracion.append(posibleTransistor[contador])
164         configuracion = tuple(configuracion)
165
166         for i in range(len(self.contadores) - 1):
167             self.contadores[i] += 1
168             if self.contadores[i] < len(self.grupoDeTransistores[i]):
169                 return configuracion
170             self.contadores[i] = 0
171
172         self.contadores[-1] += 1
173         if self.contadores[-1] >= len(self.grupoDeTransistores[-1]):
174             self.salir = True
175
176         return configuracion
177
178 def main(argumentos):
179     if len(argumentos) < 2:
180         return
181
182     archivoPath = argumentos[1]
183     corrientes = np.genfromtxt(archivoPath, dtype = np.float64, delimiter = "\t", skip_header
184                               = 1)
185
186     Q1s, Q2s, Q3s, Q4s, Q5s, Q6s = [
187         [
188             generarTransistor("Q1", TIPO_NPN, [420, 458.7, 800], [300, 339], 52.64, [3.5,
189             6]),
190             generarTransistor("Q2", TIPO_NPN, [420, 458.7, 800], [300, 339], 52.64, [3.5,
191             6]),
192             generarTransistor("Q3", TIPO_PNP, [200, 344.4, 450], [150, 284], 21.11, [6]
193             ),
194             generarTransistor("Q4", TIPO_PNP, [200, 344.4, 450], [150, 284], 21.11, [6]
195             ),
196             generarTransistor("Q5", TIPO_PNP, [55, 70, 160], [10, 82.8], 100, [280]
197             ),
198             generarTransistor("Q6", TIPO_NPN, [200, 294.3, 450], [300, 362.5], 63.2, [3.5,
199             6]),
200         ],
201         [ # Modelo tipico
202             generarTransistor("Q1", TIPO_NPN, [458.7], [339], 52.64, [3.5]),
203             generarTransistor("Q2", TIPO_NPN, [458.7], [339], 52.64, [3.5]),
204             generarTransistor("Q3", TIPO_PNP, [344.4], [284], 21.11, [6] ),
205             generarTransistor("Q4", TIPO_PNP, [344.4], [284], 21.11, [6] ),

```

```

199     generarTransistor("Q5", TIPO_PNP, [70], [82.8], 100, [280] ),
200     generarTransistor("Q6", TIPO_NPN, [294.3], [362.5], 63.2, [3.5]),
201 ],
202 ][1]
203
204 resultado = {}
205 for datos in corrientes:
206     RL = datos[0]
207     resultado[RL] = {
208         "configuracion": "Nada",
209         "frecuencias": "Nadie",
210         "fTotal": 10**100,
211     }
212
213 generador = GenerarConfiguracion([Q1s, Q2s, Q3s, Q4s, Q5s, Q6s])
214 contador = 0
215 for Q1, Q2, Q3, Q4, Q5, Q6 in iter(generador):
216     contador += 1
217
218     for RL, IC1, IC2, IC3, IC4, IC5, IC6 in corrientes:
219         listaTransistores = [(Q1, IC1), (Q2, IC2), (Q3, IC3), (Q4, IC4), (Q5, IC5), (Q6,
220 IC6)]
221
222         datos = calculoDeNodos(
223             RL, *map(lambda dato: dato[0].parametros(dato[1]), listaTransistores)
224         )
225
226         f = 1 / (2 * np.pi * sum(map(lambda dato: dato["R"] * dato["C"], datos)))
227
228         if resultado[RL]["fTotal"] > f:
229             resultado[RL] = {
230                 "configuracion": f"{Q2}; {Q3}; {Q4}; {Q6}; {Q5}",
231                 "frecuencias": list(map(lambda dato: 1 / (2 * np.pi * dato["R"] * dato["C
232 "]), datos)),
233                 "fTotal": f,
234             }
235
236 tabla = []
237 for RL in resultado:
238     valores = resultado[RL]
239     tabla.append([RL, valores["fTotal"], *valores["frecuencias"]])
240
241 tabla = pd.DataFrame(tabla, columns = [
242     "RL",
243     "Frecuencia total",
244     "Frecuencia Nodo 1",
245     "Frecuencia Nodo 2",
246     "Frecuencia Nodo 3",
247     "Frecuencia Nodo 4",
248     "Frecuencia Nodo Salida"
249 ])
250 tabla.to_csv(argumentos[2])
251
252 if __name__ == "__main__":
253     main(sys.argv)

```